

**S**<sup>E</sup>  
**I** Studiengruppe für  
Elektronische Instrumentierung  
der Helmholtz-Zentren

# 106. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2015

vom 2. März - 4. März 2015

am



**Deutsches Elektronen-Synchrotron, Zeuthen**



Editor: Peter Göttlicher (DESY)

Verlag Deutsches Elektronen-Synchrotron

## Impressum

### **106. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2015 2.-4. März 2015, Zeuthen, Deutschland**

Conference Homepage

<https://indico.desy.de/conferenceDisplay.py?ovw=True&confId=10944> oder

[https://indico.desy.de//event/SEI\\_2015](https://indico.desy.de//event/SEI_2015)

Online Proceedings auf

<http://www-library.desy.de/confprocs.html>

The copyright is governed by the Creative Commons agreement, which allows for free use and distribution of the articles for non-commercial activity, as long as the title, the authors' names and the place of the original are referenced.

Editor:

Peter Göttlicher

Juni 2015

DESY-PROC-2015-01

ISBN 978-3-935702-96-6

ISSN 1435-8077

Published by

Verlag Deutsches Elektronen-Synchrotron

Notkestraße 85

22607 Hamburg

Germany

Printed by

Kopierzentrale Deutsches Elektronen-Synchrotron

# 106. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2015

SEI - Studiengruppe elektronische Instrumentierung  
der Helmholtz-Zentren  
Zeuthen (DESY), 2. März - 4. März 2015

## Inhaltsverzeichnis

### Allgemeines und Zusammenfassendes

Eröffnung und Ausblick	P. Göttlicher	3
Bild der Teilnehmer		4
Tagungsprogramm		5

### Vorträge

Überblick DESY/Hamburg	P. Göttlicher	10
Überblick über aktuelle Projekte im DESY, Zeuthen	F. Tonisch	15
Vorstellung des Servicezentrums Elektronik DESY Hamburg	O.-C. Zeides	21
Flip Chip Technologie am Desy	S. Arab	36
CE-Zertifizierungen für elektronische Geräte - zentral durchgeführt durch DESY ZE	J. Voigt	43
Ein VHDL basierter Gigabit Ethernet Protokollstapel für FPGAs	F. Födisch	52
Digitaler Kameratrigger für das Cherenkov Teleskop Array	K.-H. Sulanke	77
Das Triggersystem in der Hess1 Upgrade Camera	A. Kretzschmann	96

Datenverbindung zwischen Schiffen und Zeppelin zur Erkundung von Strömungswirbeln	O. Listing	113
IP-basierende Messgeräte auf Basis von FPGA (Spartan 6) und HTML5/JSON	J. Plewka	118
MTCA.4 RTM Modul basierend auf dem DRS-4 CapacitorArray	A. Menshikov	127
Basis Designregeln	S. Döhl	139
Integrated phase locked loop design	N. Parkalian	146
Machine Protection System for XFEL and FLASH II	S. Karstensen	155
General Machine Timing FAIR: Status	Dietrich Beck	171
MTCA.4 Based Reference and Clock Distribution Module for the European XFEL	U. Mavric	182
Das Steuerungssystem des MST, ein 12m-Cherenkov-Teleskop	R. Sternberger	189
Lüftersteuerung für VDC-Kammern am Versuch CMS (CERN)	F. P. Zantis	204
Implementierung eines TANGO-Servers zur Anbindung des Mythen-Detektors beim Experiment GALAXI	A. Steffens	214
PiLC, ein flexibler Controller für Steuer- und Messaufgaben mit FPGA-Performance	T. Spitzbart, H. Zink	226
Messung wichtiger Strahlparameter des LHCs mit Diamantsensoren	W. Lange	236
ATLAS Strip Tracker Upgrade: Recent Developments for the Electronics	M. Stanitzki	253
Flexibles elektromagnetisches Aktuatorssystem für die Turbulenzforschung	M. Schiek	?267
Prototyp Entwicklung für das CALICE Analoge Hadronische Kalorimeter	M. Reinecke	284
<b>Workshop</b>		
	P. Göttlicher	293
Kurze Zusammenfassung des Workshops zu analoger und mixed-Mode Simulation		

Peter Göttlicher  
DESY-FEB  
3. Juni 2015

## Eröffnung

Jährlich treffen sich Mitarbeiter und Mitarbeiterinnen der Helmholtz-Zentren, die an Elektronik in der Forschung arbeiten. Die Tagung ist organisiert von den Helmholtz-Zentren, steht aber auch anderen Interessierten zur Teilnahme, Vorträgen und Ausstellung offen. Dieses Jahr nahmen 82 Personen teil. Diese reisten von den Helmholtz-Zentren DESY, FZJ, GSI, HZB, HZG, HZDR und KIT sowie Universitäten und Firmen an.

Bei den Vorstellung kristallisierten sich folgende Vortragsblöcke heraus:

- Fertigung und Test
- Datenaufnahme/-prozessierung/-transfer
- Schaltungsdesign und -realisierung
- Elektronik für Beschleuniger
- Steuerung und Kontrollen
- Detektoren und Geräte

Auf einer Exkursion zum Funckerberg bei Königswusterhausen lernten wir die Anfänge des Rundfunks in Deutschland kennen. Dabei wurde uns der Rundfunk und die dazu entwickelten Elektronik-Bauteile, Schaltungskonzepte und Strom-Generatoren gezeigt.

Das Tagungsprogramm ist auf dem Internet einzusehen:

<https://indico.desy.de/conferenceDisplay.py?confId=10944> oder

<https://indico.desy.de//event/SEI.2015>

Die Homepage der Studiengruppe ist auf <http://sei.desy.de/> zu finden.

Im Anschluss an die Tagung haben sich viele Teilnehmer noch zu einem halbtägigen Workshop zusammengesetzt und über eingesetzte Techniken zu analoger und Mixed-Mode Simulation zu diskutieren

## Ausblick

Die nächste Tagung wird für das Frühjahr 2016 in Darmstadt an der GSI geplant.

SEI-Tagung, Frühjahr 2015, DESY Zeuthen



Teilnehmer der SEI-Tagung 2015, DESY(Zeuthen), © DESY-Zeuthen, PR-Abteilung

## SEI Tagung

Studiengruppe elektronische Instrumentierung der Helmholtz-Zentren

# Tagungsprogramm

from Monday 02 March 2015 at 12:30 to Wednesday 04 March 2015 at 17:00 (Europe/Paris)  
at DESY, Zeuthen ( S3 )

### Description



Support [martina.mende@desy.de](mailto:martina.mende@desy.de)

[Go to day](#) ▾

### Monday 02 March 2015

- 12:30 - 13:30 Registrierung
- 13:30 - 14:10 Begrüßung
- 13:30 **Eröffnung und Überblick DESY/Hamburg 25'**  
...  
Speaker: Peter goettlicher (DESY)
- 13:55 **Überblick über aktuelle Projekte im DESY, Zeuthen 15'**  
Speaker: Frank Tonisch (DESY)
- 14:10 - 15:40 Montag 1: Fertigung und Test
- 14:10 **Vorstellung des Servicezentrums Elektronik DESY Hamburg 20'**  
*Das Servicezentrum Elektronik DESY Hamburg stellt Standardverfahren und Abläufe für die Konstruktion, Arbeitsvorbereitung, Fertigung und Prüfung von elektronischen Baugruppen und Geräten für DESY bereit. Der Vortrag stellt die Organisation, Ausstattung und Leistungen des Servicezentrums vor.*  
Speaker: Otto-Christian Zeides (DESY Hamburg)
- 14:40 **Flip Chip Technologie am Desy 20'**  
...  
Speaker: Shaghayegh Arab (DESY FEC)
- 15:10 **CE-Zertifizierungen für elektronische Geräte - zentral durchgeführt durch DESY ZE 20'**  
*Vor allem durch die internationale Zusammenarbeit am DESY ist das Thema CE-Zertifizierungen im Bereich der Elektronik täglich präsent: Damit ein Gerät in Verkehr gebracht werden darf, muß es eine Reihe von Sicherheits- und Fertigungsstandards einhalten und entsprechend geprüft werden. Für die Zertifizierung ist der Hersteller selbst verantwortlich. Wie eine solche Zertifizierung aussieht und was dabei zu beachten ist, wird in diesem Vortrag vorgestellt.*  
Speaker: Julia Voigt (DESY)
- 15:40 - 16:10 Kaffee\_Montag
- 16:10 - 18:30 Montag-2: Datenaufnahme/-prozessierung/-transfer
- 16:10 **Ein VHDL basierter Gigabit Ethernet Protokollstapel für FPGAs 20'**  
*Mit diesem Beitrag wird ein Protokollstapel für einen ethernet-basierten Datenaustausch mit einem FPGA vorgestellt. Für den schnellen und verbindungslosen Datenaustausch ist das User Datagram Protocol (UDP) ein schlankes Protokoll der Transportschicht. Die dynamische Erzeugung der UDP Paketrahmen benötigt eine vollständige Abbildung der zugrunde liegenden Netzwerkschichten (Internetschicht und Netzwerkschicht). Es wird eine VHDL basierte Architektur für einen Protokollstapel vorgestellt, welche die Protokolle UDP, IP, ICMP und ARP in einem FPGA integriert. Der Schichtenaufbau soll den maximalen Datendurchsatz ermöglichen. Es werden die Ergebnisse der Implementierung und Tests auf unterschiedlichen FPGA Plattformen gezeigt.*  
Speaker: Philipp Födisch (HZDR)
- 16:35 **Digitaler Kameratrigger für das Cherenkov Teleskop Array 20'**  
*Die Kameras des Cherenkov Teleskop Arrays werden mit Lokaler Trigger Logik ausgerüstet. Ziel ist es, bei gleichzeitiger Unterdrückung des Störspektrums (Night Sky Background), die durch kosmische Strahlung in der*

## SEI-Tagung, Frühjahr 2015, DESY Zeuthen

Atmosphäre verursachten Ereignisse, zu detektieren. Es wird ein möglicher Kameratrigger beschrieben, der auf der Verarbeitung überlappender Pixelregionen basiert. Der Trigger besteht aus drei Stufen. Ein präziser, sehr schneller Diskriminator von PMT-Pulsen bildet die erste Stufe (L0). Die zweite Stufe (L1), besteht aus einer einfachen (low cost) FPGA, die die L0-Signale von 37-Pixel Regionen verarbeitet. Einfache Trigger-Algorithmen wie 3NN (Three Next Neighbor), aber auch komplexere, können implementiert werden oder sogar parallel laufen. Neben der Flexibilität, ist die Möglichkeit, die individuellen L0-Signalverzögerungen im Subnanosekunden-Bereich zu kalibrieren, eines der Hauptvorteile der FPGA-basierenden Trigger-Implementierung. Das minimal mögliche Zeitfenster für den Trigger ist eine Nanosekunde weit. Die dritte Stufe (L2), die letztlich das Kamera-Triggersignal generiert, ist ein separates 19 Zoll Crate.

Speaker: Karl-Heinz Sulanke (DESY)

Material:   

### 17:00 Das Triggersystem in der Hess1 Upgrade Camera 20'

Es wird ein Überblick über die Funktionalität des Triggersystems der Hess1-Upgrade-Camera gegeben. Es werden die Komponenten und deren Leistungsfähigkeit vorgestellt und mit denen aus der original Kamera verglichen. Ein zentrales Element ist ein neu entwickelter DAC in differentieller Technik. Vor- und Nachteile des Systems werden diskutiert.

Speaker: Axel Kretzschmann (DESY)

### 17:25 Datenverbindung zwischen Schiffen und Zeppelin zur Erkundung von Strömungswirbeln 20'

Ziel ist es relativ kurzlebige Wasserwirbel zu untersuchen. Diese werden zunächst vom Zeppelin geortet. Anhand der Position werden anschließend die Schiffe zum Wirbel geleitet, um mit der Untersuchung desselben zu beginnen. Problemstellung ist hier der Aufbau der Funkstrecke zwischen dem Zeppelin und den Schiffen. Mögliche Konzepte hierzu werden derzeit bei uns evaluiert.

Speaker: Oliver Listing (HZG)

### 17:50 IP-basierende Messgeräte auf Basis von FPGA (Spartan 6) und HTML5/JSON 20'

Speaker: Jörn Plewka (HZG)

19:00 - 21:00 Abendessen Montag  
Location: Restaurant Olympia

## Tuesday 03 March 2015

### 08:30 - 10:00 Dienstag-1: Schaltungsdesign und -realisierung

#### 08:30 MTCA.4 RTM Modul basierend auf dem DRS-4 CapacitorArray 20'

Viele Experimente erfordern eine Digitalisierung zeitlich kurzer Signale. Im KIT wurde speziell dafür ein 16-Kanal-Digitalisierungsmodul auf Basis von vier DRS-4 ICs entwickelt. Der DRS-4-IC beinhaltet 9 kapazitive Arrays mit jeweils 1024 Zellen zum Speichern der analogen Signale mit einer Abtastfrequenz von 700 MHz bis 5 GHz. Nach einer Triggerung werden die kapazitiven Speicherelemente sequentiell ausgelesen und mit einem 12-Bit-ADCs bei 30 MHz digitalisiert. Zwei DRS-4 ICs bilden eine Funktionsgruppe, die im Wechselspeicherprinzip verwendet werden, um die Totzeit zu minimieren. Jeder analoge Eingangskanal ist mit einem einstellbaren Komparator ausgerüstet und in einem FPGA ist die dazugehörige Triggerlogik und die Auslesesteuerung implementiert. Das Modul ist nach dem MTCA.4 Rear Transition Modul Spezifikation gebaut. Die Präsentation stellt das Design und die ersten Ergebnisse sowie die Implementierung in ein MTCA.4 System vor.

Speaker: Alexander Menshikov (KIT)

#### 09:00 Basis Designregeln 20'

....

Speaker: Sebastian Döhl (HEIDENHAIN-MICROPRINT GmbH)

#### 09:30 Integrated phase locked loop design 20'

A phase locked loop structure will be presented, which generates the sampling clock for an ADC in an on-chip pulse detection receiver.

Phase locked loops generate output clocks with the same phase as and a multiple of the frequency of a reference clock. The main blocks of a PLL are a phase frequency detector (PFD), a charge pump, a loop filter, a voltage controlled oscillator (VCO) and a frequency divider. The output clocks are generated through a four stage voltage controlled ring oscillator with 2GHz center frequency. The reference frequency is in the range of 20MHz-100MHz, so a frequency divider is necessary in the feedback path of the PLL to generate lower frequency clocks to synchronize with reference frequency. The PFD determines the phase and frequency difference between two inputs of the PLL. The phase and frequency difference is converted to a proportional current through the charge pump. The low pass filter extracts the dc amount of current to generate an appropriate control voltage for the oscillator to adjust the phase and frequency of the output clocks. In general, frequency dividers are divided into two categories of integer and fractional. Both of these frequency dividers are implemented as design alternatives for this structure. The division ratio of an integer frequency divider is a constant power of two. For some applications, in which the reference frequency changes, a fractional divider is a good option. In a fractional structure, the division ratio can be changed and is controlled by binary bits. The proposed structure is simulated in 65nm TSMC technology. Layout design currently is done for the VCO and according to post layout simulation, the VCO shows -92dB/Hz phase noise at 1MHz offset from the center frequency. The simulation results indicate 11.1mW power consumption from 1.2V supply voltage for the whole structure using integer frequency divider and 16mW power consumption using fractional divider.

Speaker: Nina Parkalian (Forschungszentrum Jülich, GmbH)

### 10:00 - 13:53 Ausstellung

#### 10:00 CAEN-Produkte 2h00'

...

Speaker: Nico v. Düring (CAEN GmbH)

#### 10:01 Test- und Meßtechnik von Tektronix und Keithley 1h59'

Speaker: Holger Baessler (CALPLUS)

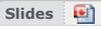
#### 10:03 Hochspannung 1h57'

Hochspannung

## SEI-Tagung, Frühjahr 2015, DESY Zeuthen

	Speaker: Maik Donix (ISEG Spezialelektronik GmbH)
10:04	<b>High Speed Digitizer 1h56'</b> .... Speaker: Hans Dieter Spelthann (Keysight Technologies S.A. - Acqiris Operation)
10:05	<b>National Instruments - FPGA Technologie 1h55'</b> <i>Ansatz für FPGA-basiertes Design bei NI</i>  <i>Bisher konnten nur die Anwender FPGA-Technologie nutzen, die über fundiertes Wissen im Bereich digitales Hardwaredesign verfügten. Der verstärkte Einsatz anspruchsvoller Systemdesignwerkzeuge wie NI LabVIEW vereinfacht auch die FPGA-Programmierung, da neue Technologien grafische Blockdiagramme und sogar C-Programmcode in digitale Hardwarearchitekturen konvertieren können. Alle NI-FPGA-Hardwareprodukte beruhen auf einer rekonfigurierbaren I/O-Hardwarearchitektur (RIO) mit leistungsstarken Fließkommaprozessoren, rekonfigurierbaren FPGAs und modularer I/O. Die RIO-Hardware von NI ermöglicht in Verbindung mit der Software für das Graphical System Design, NI LabVIEW, eine vereinfachte Entwicklung komplexer Steuer-, Regel-, Überwachungs- und Prüfanwendungen sowie kürzere Markteinführungszeiten.</i>  Speaker: Christian Menzel (National Instruments)
10:06	<b>MTCA.4 Starter Kits 1h54'</b> <i>By several requests from "NEW" MicroTCA Users powerBridge Computer offers complete integrated &amp; tested MTCA.4 Starter Kits. These system will have all necessary cables, adapter and filler modules, as well as an installed Ubuntu 14.04 LTS...to start immediately.</i>  <i>In addition powerBridge Computer can offer consultancy services for new product and system designs for the HEP community.</i>  Speaker: Kay Klockmann (powerBridge Computer)
10:07	<b>Professional Power Supplies 1h53'</b> <i>Schulz-Electronic ist führender Anbieter von professionellen Stromversorgungen - vom klassischen Herstellerprodukt bis hin zur hochspeziellen Sonderlösung.</i>  Speaker: Michael Neeb (Schulz-Electronic)
10:08	<b>MTCA.4 Digitizer und assoziierte Rear Transition Module 1h52'</b> <i>Struck wird den aktuellen Stand der SIS8300 10 Kanal 125 MSPS 16-bit Digitizer Familie und der zugehörigen RTMs (Rear Transition Modules) für den Einsatz im Beschleuniger- und anderen Bereichen zeigen. Darüberhinaus stellen wir die 2 Kanal 1.6 GSPS 12-bit PCI Express SIS1332 Lösung mit optionalem Einkanal 3.2 GSPS Betrieb vor.</i>  Speaker: Kirsch Matthias (Struck Innovative Systeme GmbH)
10:09	<b>Stromversorgungen 1h51'</b> <i>Stromversorgungen</i>  Speaker: Thomas Berner (W-IE-NE-R Plein & Baus GmbH)
10:00 - 11:00	Kaffee Dienstag
12:00 - 13:00	Dienstag-2: Elektronik für Beschleuniger I 12:00
<b>ausgefallen</b>	
12:30	<b>Machine Protection System for XFEL and FLASH II 20'</b> <i>For the operation of a machine like the 3 km long linear accelerator XFEL at DESY Hamburg, a safety system keeping the beam from damaging components is obligatory. This machine protection system (MPS) must detect failures of the RF system, magnets, and other critical components in various sections of the XFEL as well as monitor beam and dark current losses, and react in an appropriate way by limiting average beam power, dumping parts of the macro-pulse, or—in the worst case—shutting down the whole accelerator. It has to consider the influence of various machine modes selected by the timing system.</i> <i>The MPS provides the operators with clear indications of error sources, and offers the possibility to mask any input channel to facilitate the operation of the machine. In addition, redundant installation of critical MPS components will help to avoid unnecessary downtime. This document summarizes the requirements on the machine protection system and includes plans for its architecture and for needed hardware components.</i>  Speaker: Sven Karstensen (DESY)
13:00 - 13:45	Mittagessen Dienstag
14:00 - 15:00	Dienstag-3: Elektronik für Beschleuniger II
14:00	<b>General Machine Timing @ FAIR: Status 20'</b> <i>The FAIR facility involves a long chain of accelerators which need to be tightly synchronized. This is achieved by the General Machine Timing (GMT) system, a distributed event generation system based on the notion of time. Time synchronization is achieved by using White Rabbit (WR), a fully deterministic Ethernet-based field bus for clock transfer and synchronization. The key components of the GMT are a so-called Data Master (DM) that schedules actions by broadcasting messages, a WR network and Timing Receiver (TR) nodes executing machine relevant actions on time.</i>  <i>The primary tasks of the timing system are the following.</i> <ul style="list-style-type: none"><li>- Time-Synchronization of ~2000 - 3000 nodes with sub-ns accuracy over fiber lengths of up to 2 km.</li><li>- Distribution of TAI counters with ns accuracy.</li><li>- Generation of timing events for synchronization of equipment.</li><li>- Provide infrastructure for common services of the accelerator (Post Mortem, Interlock,...) and FAIR experiments (time stamps, ...).</li></ul> Speaker: Dietrich Beck (GSI)

## SEI-Tagung, Frühjahr 2015, DESY Zeuthen

- 14:30 **MTCA.4 Based Reference and Clock Distribution Module for the European XFEL** 20'  
*The reference and clock distribution module for the European XFEL is an MTCA.4 based, double-full size, full width module located in Slot 15 on the rear side of a standard MTCA.4 crate. The module makes use of the RF backplane connectivity and delivers 22 differential LVPECL clocks in the range from 10 MHz up to 250 MHz. The LO frequency range spans from 700 MHz up to 6 GHz and is distributed over the RF backplane to 9 slots (4-12).*
- Speaker: Uros Mavric (DESY)  
Material: 
- 15:00 - 18:00 **Exkursion**  
Location: Rundfunkstadt
- 18:00 - 20:00 **Abendessen Dienstag**  
Location: Restaurant Seeblick

### Wednesday 04 March 2015

- 08:30 - 10:10 **Mittwoch 1: Steuerung und Kontrollen**
- 08:30 **Das Steuerungssystem des MST, ein 12m-Cherenkov-Teleskop** 20'  
*Im Rahmen des internationalen Großprojekts 'Cherenkov Telescope Array' (CTA) arbeiten derzeit über 1000 Wissenschaftler aus 25 Ländern zusammen. Innerhalb dieses Projektes werden drei Teleskopgrößen mit 4 m, 12 m und 24 m Durchmesser realisiert. Die Hauptaufgabe der Teleskope liegt in der indirekten Erfassung von Gammastrahlen auf der Erdoberfläche.*
- Das DESY Zeuthen entwickelt in Zusammenarbeit mit anderen Instituten in Europa und Südamerika, ein Cherenkov-Teleskop mit einem Spiegelträger von 12m Durchmesser. DESY Zeuthen übernimmt hier die Verantwortung für den Entwurf und den Bau der mechanischen Struktur, der Antriebs- und Steuerungstechnik, sowie der Auslegung der Sicherheitssysteme.*
- Durch das DESY Zeuthen wurde ein MST-Prototyp in Berlin-Adlershof errichtet. Am Prototyp konnten entworfene Antriebskonzepte integriert und durch Messungen auf ihre Funktionstüchtigkeit getestet werden. Die Schwingungsanalyse, mittels spezieller Beschleunigungssensoren und einer eigens dafür geschriebenen Software zur Datennahme, führte zu einer Optimierung der Lagemessung und im Weiteren zur Verbesserung der Positionserkennung. Ein integriertes Structure-Health-Monitoring wurde erfolgreich getestet und soll fester Bestandteil der Serienproduktion werden. Im Steuerungssystem des Teleskops ist durch das automatische Umschalten auf alternative Stromnetze oder einer USV ein sicherer Betrieb zu jeder Zeit gewährleistet.*
- Speaker: Ronny Sternberger (DESY Zeuthen)
- 08:55 **Lüftersteuerung für VDC-Kammern am Versuch CMS (CERN)** 20'  
*Zur Untersuchung von Gas, dass bei CMS verwendet wird, werden Drift-Kammern eingesetzt. Die Umgebungsluft dieser Driftkammern muss konstant gehalten werden. Dazu wurde eine Lüftersteuerung basierend auf einer Standard-Interfacekarte (Eigenentwicklung der Elektronikwerkstatt) mit einem Tablet-PC aufgebaut. Die Software wurde mit VisualBasic erstellt.*
- Speaker: Franz Peter Zantis (RWTH-Aachen)
- 09:20 **Implementierung eines TANGO-Servers zur Anbindung des Mythen-Detektors beim Experiment GALAXI** 20'  
*Das Jülich Centre for Neutron Science (JCNS) des Forschungszentrums Jülich betreibt in der Forschungs-Neutronenquelle Heinz-Maier-Leibnitz (FRM II) der Technischen Universität München (TUM) in Garching verschiedene Neutronenstreuexperimente. Der Institutsbereich Systeme der Elektronik (ZEA-2) arbeitet als Systemhaus und Technologielieferant mit zum Teil erheblichen Eigenentwicklungen in Hardware und Software für das JCNS.*
- Bei jedem Experimentensystem sind mehrere Geräte wie Netzteile, Motoren, Detektoren, Zählerkarten oder Blenden im Einsatz und müssen vom Experimentator in vollem Umfang bedient werden können. Zur Steuerung dieser werden daher zuallererst Server benötigt, die für die Kommunikation mit dem jeweiligen Gerät verantwortlich sind. Auf die bereitgestellten Funktionen dieser Server greifen die Programme, die von den Experimentatoren bedient und mit denen die Systeme gesteuert werden, zu.*
- An das Experiment GALAXI soll nun ein weiterer Detektor - der Mythen-Detektor - angeschlossen werden, damit zukünftig bei Messungen größere Streuwinkel erfasst werden können. Da zur objektorientierten Instrumentensteuerung der Neutronenstreuexperimente im JCNS das Kontrollsystem TANGO verwendet wird, muss der Server für den neuen Detektor unter der Verwendung dieses Systems in der Programmiersprache C++ entwickelt werden. Als Schnittstelle zur Kommunikation wird dabei das TCP/IP-Protokoll dienen.*
- Im Vortrag werden das Röntgenstreuexperiment GALAXI sowie die Implementierung des TANGO-Servers zur Anbindung des Detektors und eines Simulationsservers zu Testzwecken vorgestellt. Die dadurch zur Verfügung gestellten Funktionalitäten als auch weitere darauf aufbauende Projekte werden erläutert.*
- Speaker: Alexander Steffens (Forschungszentrum Jülich GmbH)
- 09:45 **PiLC, ein flexibler Controller für Steuer- und Messaufgaben mit FPGA-Performance** 20'  
....  
Speakers: Tobias Spitzbart (DESY), Horst Zink (DESY)
- 10:20 - 10:30 **Gruppen-Foto**
- 10:30 - 11:00 **Kaffee Mittwoch**
- 11:00 - 13:00 **Mittwoch-2: Detektoren und Geräte**
- 11:00 **Messung wichtiger Strahlparameter des LHCs mit Diamantsensoren** 20'  
*Zwei Detektoren mit jeweils 4 Einkristall-Diamantsensoren auf beiden Seiten des Wechselwirkungspunktes im Experiment CMS dienten in der ersten Betriebsperiode des LHCs am CERN zur Überwachung der Strahlqualität im Experiment. Gemessen wurde die Teilchenrate nahe am Strahlrohr. Mit sehr guter Zeitauflösung*

## SEI-Tagung, Frühjahr 2015, DESY Zeuthen

wurden die Raten von Strahluntergrund und Teilchen aus Proton-Proton-Wechselwirkungen bestimmt. Überdies wurden entlang des Beschleunigertrahrs 4 weitere Mess-Stationen mit gleicher Technologie installiert und betrieben. Nach dem überaus erfolgreichen Einsatz wurden die Detektoren im Experiment CMS während des gegenwärtigen Technischen Stopps des Beschleunigers bedeutend erweitert. Jeder Detektor enthält nunmehr 12 Sensoren, unterteilt in jeweils zwei Pads. Neu entwickelte Front-End-ASICs mit sehr kurzen Ausgangssignalen wurden entwickelt und in strahlungsfester 130 nm-CMOS-Technologie hergestellt. Im Januar 2015 wurden die neuen Detektoren im Experiment CMS eingebaut.

Der Vortrag beschreibt ihr Messprinzip, die Sensoren und den Aufbau des erweiterten Systems, das sowohl Untergrund- als auch Luminositätsmessungen erlaubt.

Speaker: Wolfgang Lange (DESY Zeuthen)

11:30 **ATLAS Strip Tracker Upgrade: Recent Developments for the Electronics** 20'

....

Speaker: Marcel Stanitzki (DESY)

12:00 **Flexibles elektromagnetisches Aktuatorssystem für die Turbulenzforschung** 20'

Im Rahmen der DFG-Forschergruppe FOR1779 „Aktive Widerstandsreduktion durch Wellen-förmige Oberflächenoszillation“ wurde ein neuartiges leistungsstarkes elektromagnetisches Aktuatorssystem entwickelt. Dieses ermöglicht die Erzeugung von transversalen Oberflächenwellen auf einer bis zu 0.5 mm starken Aluminiumplatte in einem flexiblen Amplitudenbereich von 45 µm bis 1 mm. Dabei können mit diesem ersten Prototyp minimale Wellenlängen von 4 cm mit Frequenzen von bis zu 100 Hz generiert werden. Mit diesem Aktuatorssystem konnte erstmals die Verringerung des turbulenten Reibungswiderstandes über einem flächigen Versuchsaufbau experimentell nachgewiesen werden. In dem Vortrag werden der Aufbau des Aktuatorsystems und die ersten Windkanalexperimente vorgestellt. Zum Abschluss wird die Weiterentwicklung des Systems im Rahmen der zweiten Förderperiode der Forschergruppe FOR1779 skizziert.

Speaker: Michael Schiek (ZEA-2, Forschungszentrum Jülich GmbH)

12:30 **Prototyp Entwicklung für das CALICE Analoge Hadronische Kalorimeter** 15'

In der CALICE Kollaboration werden neue Kalorimeterkonzepte für den International Linear Collider (ILC) entwickelt, in Prototypen realisiert und im Teststrahlbetrieb untersucht. In diesem Beitrag wird die Entwicklung verschiedener Ausbaustufen von Prototypen für das analoge hadronische Kalorimeter beschrieben, welche auf der Verwendung von neuartigen Silizium Photomultipliern als Detektoren in Szintillatorplättchen basieren. Neben der analogen Front-End Elektronik wird auch die digitale Steuerung und Datenerfassung erläutert, sowie die besondere Betriebsart „power pulsing“, bei der zur Reduktion der Verlustleistung die Front-End Elektronik mit hoher Rate ein- und ausgeschaltet wird.

Speaker: Mathias Reinecke (DESY)

12:50 **Abschluss und Ausblick** 10'

Speaker: Peter Göttlicher (DESY)

13:00 - 14:00 Mittagessen Mittwoch

14:00 - 15:30 Workshop 1

15:30 - 16:00 Kaffee Workshop

16:00 - 17:00 Workshop 2

## Kurzvorstellung DESY-Hamburg

### Allgemeines und Blickrichtung Elektronik



<http://www.desy.de/>

Peter Göttlicher  
DESY,  
2.März 2015



## Inhaltsübersicht

- Forschungsschwerpunkte
- Standort
- Großprojekte
- Struktur für die Arbeit an Elektronikentwicklung/-bau

Hier gibt es nur eine Übersicht.  
Details folgen in Vorträgen der Beteiligten.



## Forschungsschwerpunkte

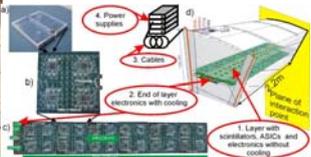
<p>Forschung, Bau, Betrieb für neue <b>Beschleuniger</b></p> <ul style="list-style-type: none"> <li>- Elektronen</li> <li>- supraleitend</li> <li>- linear/kreisförmig</li> <li>- kleinste Pakete</li> <li>- Zeitgenauigkeit 100fs</li> </ul>	<p>Forschung mit <b>Photonen</b></p> <ul style="list-style-type: none"> <li>- Röntgen</li> <li>- Ultra-Violett (VUV)</li> </ul> <p>Streuung an Proben</p> <ul style="list-style-type: none"> <li>- Bildaufnahmen mit (speziell entwickelten) Kameras</li> <li>- Teilchennachweis/-vermessung</li> </ul>	<p><b>Teilchenforschung</b></p> <p>Beteiligung an Erweiterung und neuen Detektoren an anderen Standorten CERN/BELLE/ILC</p> <ul style="list-style-type: none"> <li>- Proton-Proton</li> <li>- Elektron-Positron</li> </ul> <p>Astroteilchen, siehe F.Tonisch</p> <ul style="list-style-type: none"> <li>- Höhere Kanalzahl</li> <li>- Höhere Datenraten</li> <li>- Strahlenfestigkeit</li> </ul>
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------



DESY-Jahresbericht 2013, Accelerators



Broschüre, FLASH, DESY-2007



CALICE, P.Göttlicher et al., Jinst 8 C01054 (2013)



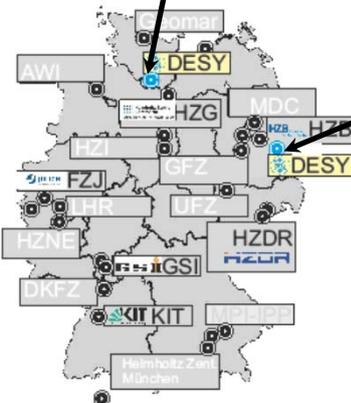
Peter Göttlicher | SEI 2015 | 2.März 2015 | Page 3

## Standorte



DEUTSCHES ELEKTROEN-SYNCHROTRON BESS WAMBLAG  
DEUTSCHE BUNDESPOST 80

**SEI-Tagung 2010**  
1959 gegründet



Map showing various research locations: AWI, DESY, HZG, MDC, HZB, HZI, HZB, FZJ, GFZ, DESY, HR, UFZ, HZNE, IGS, HZDR, DRFZ, KIT, KIT, Helmholtz Zentrum München.

**SEI-Tagung jetzt**  
Seit 1992 Teil des DESY  
Davor: ..... siehe F.Tonisch




Peter Göttlicher | SEI 2015 | 2.März 2015 | Page 4

## Großprojekte

**Synchrotron mit Undulatoren: PETRA-III**



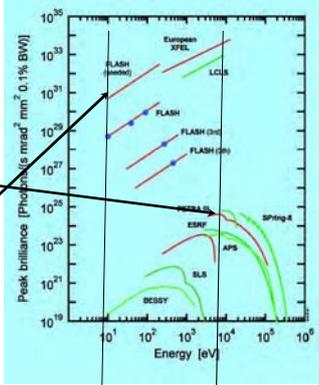
Web-Seiten des DESY: www.desy.de

**Freier Elektronen Laser:  
FLASH für ultraviolettes Licht (VUV)**



Web-Seiten des DESY: www.desy.de

Leuchstärke in physikalischem Phasenraum



Ultra-Violett      Röntgen

Broschüre, FLASH, DESY-2007



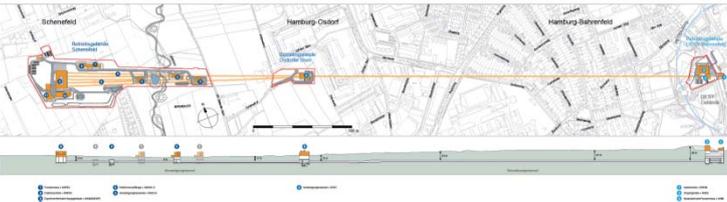
Peter Göttlicher | SEI 2015 | 2.März 2015 | Page 5

## Großprojekt der Zukunft ..... Im Bau und Entwicklung






**Unsere größte Baumaßnahme: Freier Elektronenlaser für Röntgenlicht**  
 - 2017 soll Benutzer-Betrieb starten  
 Geht weit über das DESY-Gelände hinaus: 4km lang.  
 Rechtlich als XFEL-GmbH mit großer Beteiligung DESY's

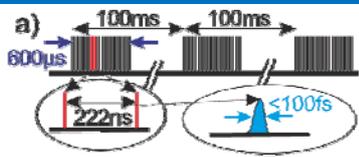


Bilder von  
www.xfel.eu/de/

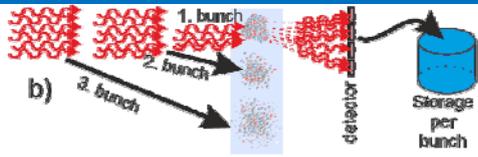


115 | 2.März 2015 | Page 6

## Das typisches Experiment dazu

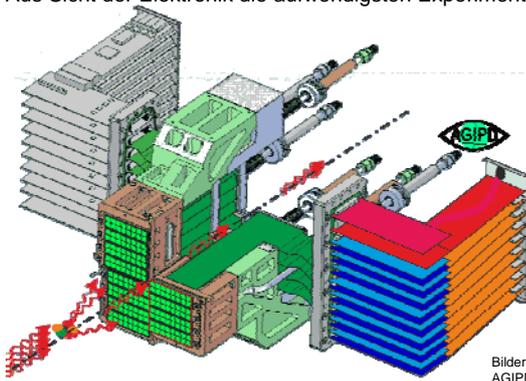


a)



b)

Aus Sicht der Elektronik die aufwendigsten Experimente:



- Bilder getrennt für jedes Paket
- 30000 Pakete/Sekunde
- Aber Bild-zu-Bild 222ns
- Datenrate nach draußen ~50Gbit/s

→ Internationale Konsortien zur Entwicklung

Bilder, siehe AGIPD, A.Allahgholi et al. PoS (TIPP2014) 253



Peter Göttlicher | SEI 2015 | 2.März 2015 | Page 7

## Hochenergiephysik

Beteiligungen bei den Erweiterungen für Experimente am CERN: CMS + ATLAS

Detektorentwicklung für Einen künftigen linearen Elektron-Positron-Kollider

Beteiligung bei BELLE-II (in Japan)

ALPS:  
Basierend auf der supraleitende Magnet-Technologie von HERA  
Suche nach sehr schwach Wechselwirkenden Teilchen.

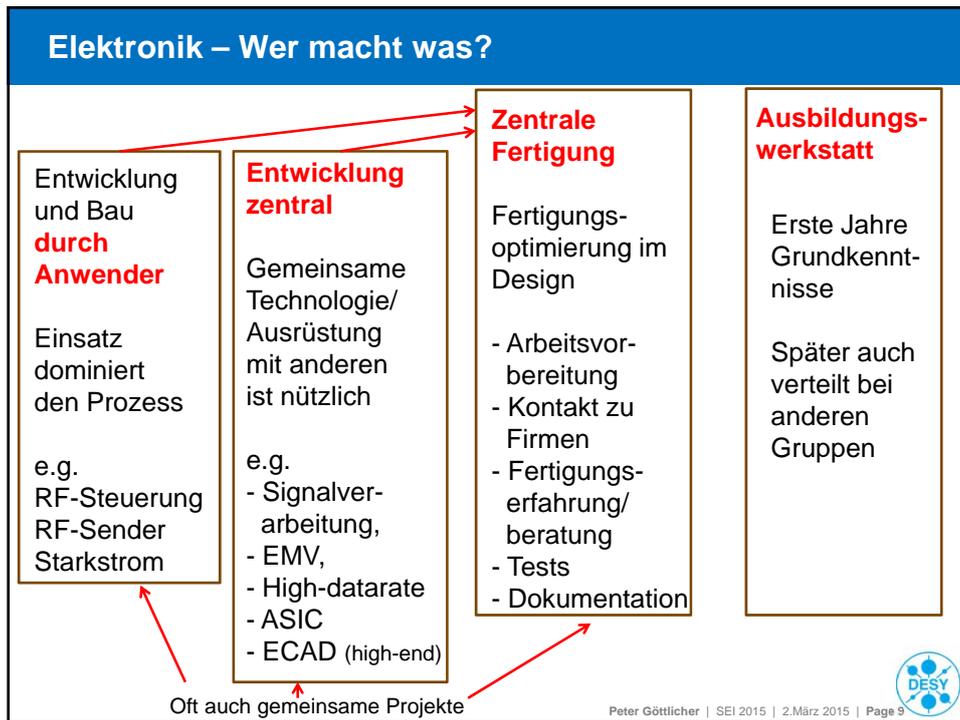


Bild: WWW-Seite des DESY: <http://www.desy.de>

ILD Detektor als typisches Beispiel Für künftiges Experiment an einen Elektron-Positron Kollider



Peter Göttlicher | SEI 2015 | 2.März 2015 | Page 8



### So weit zur Übersicht.....

Ich hoffe, das gab einen ersten Eindruck von DESY-Hamburg

Zeuthen folgt gleich ..... F.Tonisch

Details kommen in den nächsten Tagen durch die direkt Beteiligten.

Peter Göttlicher | SEI 2015 | 2.März 2015 | Page 10

# HERZLICH WILLKOMMEN.



## DESY in ZEUTHEN Überblick über aktuelle Projekte

F.Tonisch



Beschleuniger | Forschung mit Photonen | Teilchenphysik  
Deutsches Elektronen-Synchrotron  
Ein Forschungszentrum der Helmholtz-Gemeinschaft



## DESY in Zeuthen



### > Gliederung

- Zur Geschichte des Instituts
- Forschungsthemen
- Infrastruktur
- Aktuelle Projekte
- Struktur und Aufgaben speziell der Elektronikgruppe

Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2. März- 4. März 2015



## DESY in Zeuthen



- > ist eines der größten Forschungsinstitute in Brandenburg
- > und beschäftigt über 200 Mitarbeiterinnen und Mitarbeiter
- > Der jährlicher Etat beträgt etwa 20Mio €, getragen zu 90% vom Bund und zu 10% vom Land Brandenburg

Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2.März- 4.März.2015



## Zur Geschichte

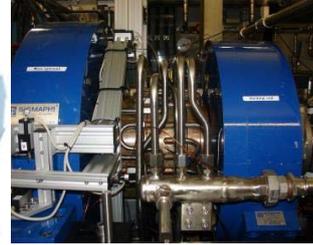
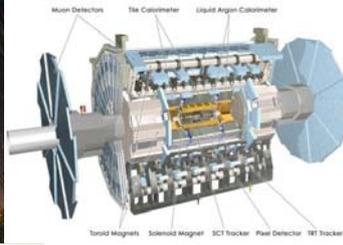
- > 1940–45 Institut beim Amt für Physikalische Sonderfragen (APS)
- > 1950–62 Kernphysikalisches Institut (X, Miersdorf, Atom u. Kernphysik)
- > ab 1962 Forschungsstelle für Physik hoher Energien
- > ab 1968 Institut f. Hochenergiephysik der Akademie der Wissenschaften
- > 1990–91 „Wendezeit“ Evaluation durch den Deutschen Wissenschaftsrat, sehr positive Empfehlung
- > 1991 Unterzeichnung des Staatsvertrages zwischen dem Bund und den Ländern Brandenburg und Hamburg
- > seit 1992 zweiter Standort von DESY



Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2.März- 4.März.2015



## Forschung und Wissenschaft



### > Astroteilchenphysik

- Gamma-Astronomie (CTA, H.E.S.S, MAGIC, VERITAS, FERMI)
- Neutrino-Astronomie (IceCube)

### > Elementarteilchenphysik

- Beteiligung an ATLAS und CMS am LHC im CERN

### > Beschleunigerphysik

- Photoinjektor Teststand in Zeuthen (PITZ)

Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2.März- 4.März.2015



## Infrastrukturgruppen

### > Elektronik

- Entwicklung
- Werkstatt
- Ausbildung

### > Mechanik

- Konstruktion
- Werkstatt
- Ausbildung

### > Rechenzentrum

- High-Performance-Computing, TIER-Zentrum für IceCube und LHC
- Allgemeiner Service (PC's, Drucker etc.)
- Array Control Software für CTA
- Embedded & Real-Time Systeme für PITZ

### > Allgemeine Dienste

- Verwaltung, Bibliothek, Experimente-Support, Technische Infrastruktur

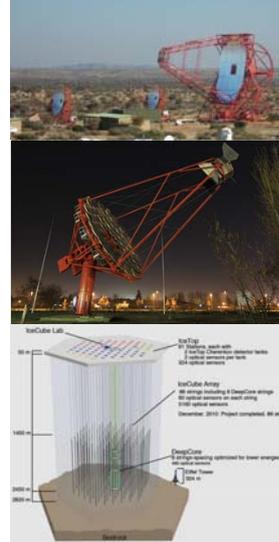


Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2.März- 4.März.2015



## Projekte in der Astroteilchenphysik

- > H.E.S.S.
  - Upgrade der HESS1-Kamera
- > CTA
  - Antriebssteuerung eines MST (Mid Size Telescope)
  - Erarbeitung eines generellen Sicherheitskonzepts
  - Entwicklung eines Digitalen Kamera Triggers
- > IceCube
  - Vorbereitung zur Entwicklung einer Ausleseelektronik für neue optische Module (PINGU)
- > Allgemeine Astro R&D
  - Auslese und Triggerelektronik für Large Area Detectors

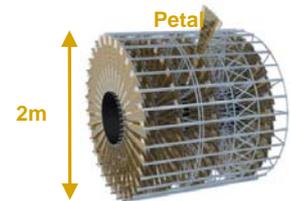


Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2.März- 4.März.2015



## Projekte in der Elementarteilchenphysik

- > CMS
  - Schneller Beam Conditions Monitor auf Diamantbasis
  - Front-End-Elektronik (Chip-Ausleseboard)
  - Back-End-Elektronik (RHU, LUT für Trigger, Gate&Delay Generator)
- > ATLAS
  - Beteiligung am Silicon Tracker Upgrade
  - Modul Assembly und Bonden der Petals
- > FCAL
  - R&D-Projekt für einen Detektor am ILC
  - Fast Calorimeter auf der Basis von GaAs- oder Saphir Detektoren
  - Elektronik für Test Runs am DESY und am CERN
  - Studien zur Ablöse des Bondens durch andere Fan-Out-Technologie



Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2.März- 4 März.2015

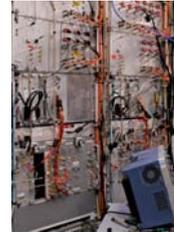


## Projekte in der Beschleunigerphysik



### > PITZ

- HF-Stationen für Gun, Booster und TDS
- Modulator Teststand (MTF)
- Steuerungselektronik für Aktuatoren der Schirm- und Kamerastationen
- Ausleseelektronik für Diagnose (BPM, ITC, Slow-Control), Timing System
- Klimatechnik und Wasserregelung für Gun und Booster



### > FLASH / XFEL

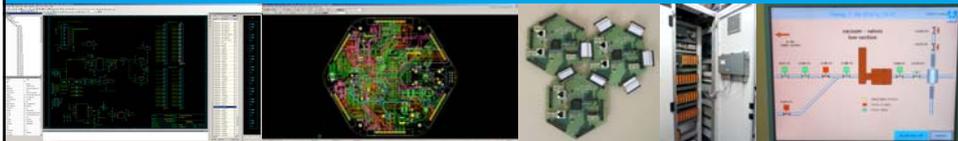
- Interlock-System für die HF-Stationen (Version 4)
- Verschiedene Kartentypen wurden entwickelt
- Entwicklung einer speziellen Backplane
- Karten front- und rückseitig steckbar
- Ca. 30 Systeme wurden nach Hamburg geliefert



Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2.März- 4.März.2015



## Elektronikgruppe



### > Elektronikentwicklung

- 16 Mitarbeiter (Ingenieure & Techniker)
- Sehr breites Aufgabenspektrum:
  - Entwurf und Simulation komplexer Leiterplatten (Mentor Graphics DxDesigner/Expedition Flow)
  - FPGA – Firmware (XILINX, ALTERA)
  - Hardwarenahe Programmierung (C++)
  - Schaltschrankprojektion
  - Regelungs- und Steuerungssysteme mit SPS (Step7 von Siemens, IndraWorks von Bosch-Rexroth)
  - Aufbau und Betreuung von HF-Systemen (Modulatoren von PPT und Ampegon (früher Thomson))
  - Aufbau und Test von Detektoren auf Halbleiter- und Diamantbasis
- Spezialausrüstung für Tests von Halbleiterchips
  - Klimatisierte Probestation zum Testen von Halbleiterchips
  - Manueller und automatischer Bonder
  - Hochauflösendes 3D-Mikroskop

Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2.März- 4.März.2015



## Elektronikgruppe



### > Elektronikwerkstatt

- 6 Mitarbeiter (Techniker und Facharbeiter)
- Prototypenbau und Einzelstückfertigung
  - Leiterplattenbestückung mit SMD und bedrahteten Bauelementen (Handmanipulator, Bestückungsautomat)
  - Lötten im Dampfphasenofen
  - BGA Re-Workstation
  - mechanische Bearbeitung von Frontplatten (CNC Maschine)
  - Manuelles und automatisches Drahtbönen
  - Installationsarbeiten an Anlagen und Baugruppenfertigung
  - Bau und Verdrahtung von Schaltschränken
  - Kabelkonfektionierung
  - Betreuung von Auszubildenden

### > Elektroniklehrwerkstatt

- Lehrmeister und 8 Auszubildende (Ausbildung dauert 3,5 Jahre)
- Ab dem 3. Lehrjahr Einsatz in der Werkstatt (berufspraktische Ausbildung)

Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2. März- 4. März. 2015



## DESY in Zeuthen



Vielen Dank für Ihre Aufmerksamkeit.

Frank Tonisch | DESY in Zeuthen: Überblick über aktuelle Projekte | SEI-Tagung vom 2. März- 4. März. 2015



## SEI-Frühjahrstagung 2015, DESY Zeuthen

### Vorstellung des Servicezentrums Elektronik DESY Hamburg



Dr.-Ing. Otto-Christian Zeides  
Leiter Servicezentrum Elektronik DESY Hamburg

SEI-Tagung, 2.3. – 4.3.2015, DESY Zeuthen



## Tätigkeitsschwerpunkte bei DESY in Hamburg

- > Weiterentwicklung der Teilchenbeschleuniger-Technologien
- > Forschung auf dem Gebiet der Synchrotronstrahlung und der Nutzung dieser in verschiedenen Wissenschaftsdisziplinen
- > Entwicklung auf dem Gebiet der Detektoren für Teilchenbeschleuniger
- > Entwicklung auf dem Gebiet der Signalverarbeitung und –auswertung beim Betrieb von Teilchenbeschleunigern
- > Forschung auf dem Gebiet der Teilchenphysik
- > Ausbau und Betrieb der Teilchenbeschleuniger PETRA III, FLASH II und XFEL
- > Betrieb eines Testbeams für Entwicklung



## Elektronik-Bedarf zur Erfüllung der Aufgaben von DESY

Für den Betrieb, die Steuerung und die Überwachung von Teilchenbeschleunigern sowie für die Signalerfassung, -auswertung und -speicherung wird ein breites Spektrum von Spezialelektronik aus Gebieten wie z.B. :

- Leistungselektronik
- HF-Technik
- Steuerungstechnik
- Sicherheitstechnik
- analoge und digitale Hochgeschwindigkeits-Signalverarbeitung

benötigt.

Diese muss in der Regel individuell entwickelt und gefertigt werden.



## Elektronik-Entwicklung bei DESY in Hamburg

### Wo findet diese Elektronik-Entwicklung bei DESY statt ?

DESY ist in verschiedene Forschungsbereiche aufgeteilt:

- **M** Teilchenbeschleuniger (Maschine)
- **FS** Forschung mit Photonen (Synchrotronstrahlung)
- **FH** Hochenergiephysik

Diese Bereiche sind wieder in viele einzelne Gruppen aufgeteilt.

Die Elektronik-Entwicklung findet einmal in den einzelnen Gruppen entsprechend ihres Schwerpunktes statt.

Darüber hinaus existiert eine eigenständige Elektronik-Entwicklungs-Gruppe **FE**, die im Auftrag anderer Gruppen DESY-weit Elektronik-Entwicklung betreibt.



## Elektronikfertigung für DESY Hamburg

### Wo wird die Elektronik für DESY gefertigt ?

- DESY besitzt eine eigene Elektronik-Fertigung, das Servicezentrum Elektronik in Hamburg (Gruppe ZE)



- Das Servicezentrum Elektronik vergibt Arbeiten auch an externe EMS-Dienstleister



- Die Gruppen vergeben Fertigungs-Aufträge selbständig an externe EMS-Dienstleister



- Die Gruppen fertigen selbst

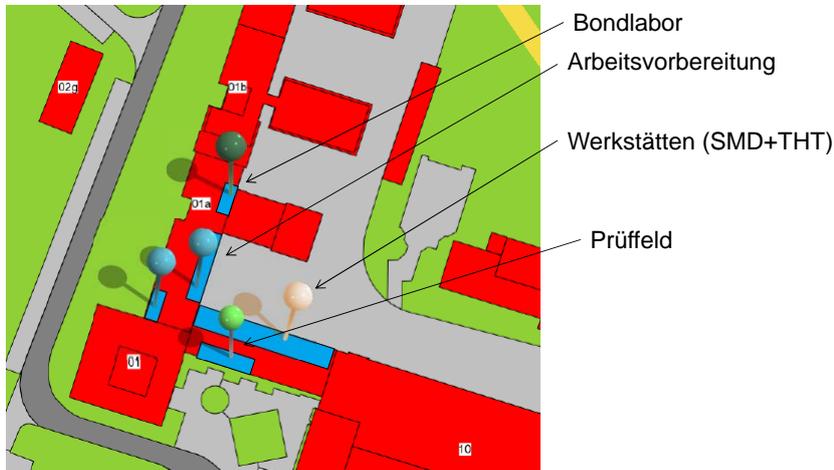


## Vorteile eines eigenen Servicezentrums Elektronik

- Konzentration des Fertigungs-Know-hows in einer Gruppe
  - + z.B. Erfahrung, Redundanz, Schulungsaufwand
- Konzentration der Fertigungs-Einrichtungen
  - + lieber einmal investieren, dafür aber richtig
  - + Auslastung
- Enger Kontakt zwischen Entwickler, Layouter und Fertiger
  - + Know-how Transfer
  - + fertigungsgerechte Konstruktion
- Enger Kontakt zwischen Fertiger und Anwender
  - + z.B. Reparaturen, Änderungen, Prüfungen, Dokumentation



## Standort des Servicezentrums DESY / Hamburg



Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 7

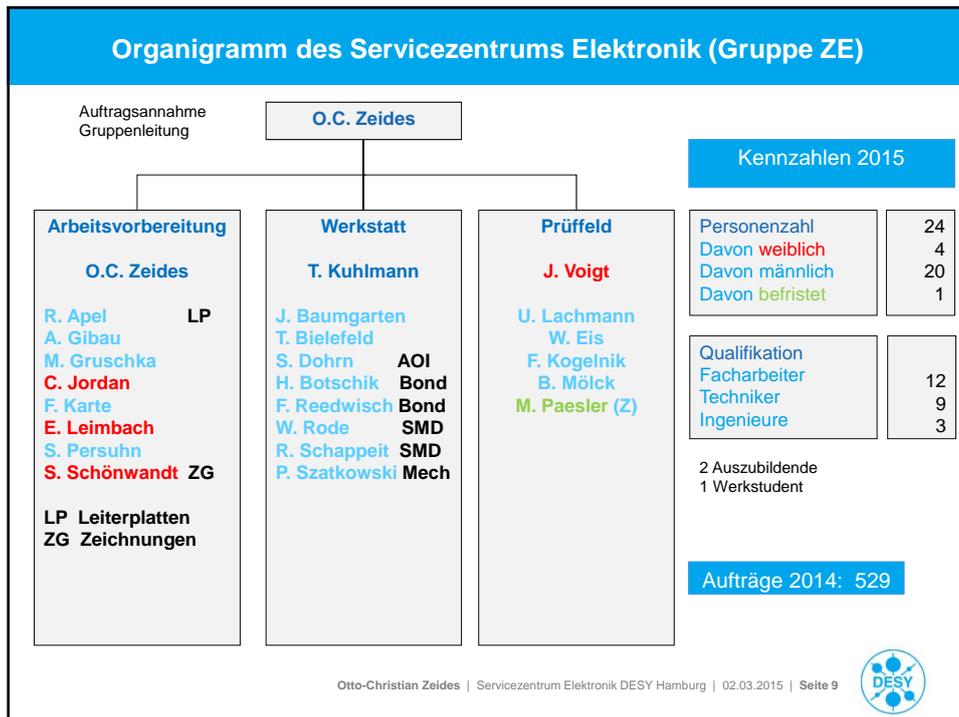


## Kernkompetenzen des Servicezentrums Elektronik

- > Fertigung von elektronischen Baugruppen und Geräten
  - SMD ( surface mounted devices)
  - Konventionell bedrahtet, Verkabelung
  - Ultraschall-Bonden
- > Zentrale Beschaffung von Leiterplatten
  - Prüfung von Leitplattendesign
  - Marktübersicht von Herstellern
- > Prüfung von elektronischen Baugruppen und Geräten
  - Elektrische Sicherheit
  - Funktionsprüfung
- > CE-Zertifizierung von elektronischen Baugruppen und Geräten
  - Entwicklungsbegleitend
  - Interne Prüftechnologien
- > Fertigung von Front- und Rückplatten für elektr. Baugruppen
- > Reparatur von elektronischen Baugruppen und Geräten
- > Beratung und Unterstützung zu Themen rund um Entwicklung und Fertigung von LP, Baugruppen und Geräten

Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 8





### Weitere Kennzahlen

- > **Ausbildung**
  - 2 Auszubildende (Elektronikfertigung und Prüffeld)
  - 1 Werkstudent (Anpassung Bibliotheken für EAGLE-ECAD-System)
  - 1 Bachelor-Arbeit (Aufbau eines Labview-Prüfplatzes)
  - 2 Schülerpraktikanten
- > **Mitarbeit in Gremien**
  - Elektrische Gerätesicherheit
  - KITE-Orgateam
  - Lagernormausschuss
  - „Fachgruppe“ Zentrale Elektronikfertigung
- > **Publikationen**
  - Intern: Richtlinien für die Fertigung von Flachbaugruppen bei DESY

DESY ZE  
Service-Zentrum Elektronik  
HAMBURG  
2014

zentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 10



## Werkstattsteuerung durch ERP-System orderbase

**Job Informationen**

- Prod.-Auftragsnr.: 390295
- Sachbearbeiter: Schappet
- Kunde:
- Jobbeschreibung: SMD-Top LP8979-00
- Beschreibung: XFEL Timing Receiver
- Zeichnungsnr.:
- Projekt: 37264601 -
- Startzeit: 09.04.2014 10:06:00
- Endzeit: 18.04.2014 14:06:00
- Dauer: 18:00:00
- Physikalische Dauer: 148:00:00
- Belastung: 90%
- Menge: 100
- Vorgänger: 390295 SMD-Top LP8979-00 (RZ)...
- Nachfolger: 390295 Baugruppe fertigen (THT) LP8979-00 (RZ)...

Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 13

## Artikelverwaltung in ERP-System orderbase

> Auftraggeber liefern Stücklisten als EXCEL-Datei:

überwiegend schon automatisch generiert durch Entwicklungssysteme (EAGLE, Mentor)

Pos.	Erlös	Beschreibung	Menge	Einheit	Material	Menge	Einheit	Material	Menge	Einheit	Material
1	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...

> Diese werden in ERP-System importiert:

Erlös/Nettol	Bedarf	Sammelmenge	Stücklisten Menge	Bestellte Menge	Gelieferte Menge	Nr.	Art	Beschreibung
...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...

## SMD-Fertigung und –Reparatur bei DESY

- Der Trend geht zu immer kleineren und hochintegrierten Bauelementen
- Zusammen mit der Forderung RoHS führt das zu immer höheren Anforderungen an die Fertigungstechnologie (u.a. Pad-Geometrien, Pin-Zahl, Vias usw.)
- Der direkte Kontakt zwischen Elektronik-Entwickler, Layouter und Fertiger wird immer wichtiger
- DESY muss hier Kern-Kompetenzen erhalten und ausbauen
- Für Prototypen-Bau, Kleinserien und Reparaturen besitzt das Servicezentrum Elektronik eine leistungsfähige SMD-Fertigung und –Reparatur

Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 15



## Ausstattung SMD-Fertigung und -Reparatur



SMD-Lotpastendrucker



SMD-Bestückungsautomat



Dampfphasen-Lötöfen



Autom. Optisches Inspektionssystem



Ein-/Auslötsystem für BGA-Bauelemente



SMD-Reparaturplatz



BGA-Inspektion

Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 16



## Automatisches optisches 2D-Inspektions-System

- > Prüfung der Qualität von SMD-Lötverbindungen nach Reflow-Prozeß:



2D-AOI-System Göpel OptiCon



Quelle: Göpel

Mit drehbarem Schrägblickmodul "Chameleon"

Quelle: Göpel

Mit drehbarem Schrägblickmodul "Chameleon"

Quelle: Göpel

Mit Beleuchtungskonzept der OptiCon-Systeme



## THT-Fertigung (bedrahtete Bauelemente)

- > Baugruppenmontage
- > Bestückung und bleifreies Löten von THT-Bauelementen von Hand und mit Wellenlötanlage
- > Einpressen von Steckverbindern auf elektr. Baugruppen
- > Kabelkonfektionierung
- > Verdrahtung von elektronischen Baugruppenträgern
- > Reparaturen und Modifikationen von Baugruppen

Wellenlötanlage (wird Mitte 2015 ersetzt durch leistungsfähige Selektivlötelle)



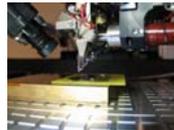
## Mechanische Fertigung

- > Fertigung von Alu-Front- und Rückplatten mit numerisch gesteuerter Fräsmaschine DATRON M3:



## Bondlabor

**Automatischer Dünndrahtbonder**  
**Serie DELVOTEC G5**  
für Single- und Multichip Dünndraht



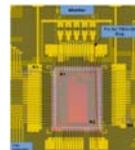
Beispiel ausgeführter Bondarbeiten:  
CMS HDI Pixel-Detektor upgrade



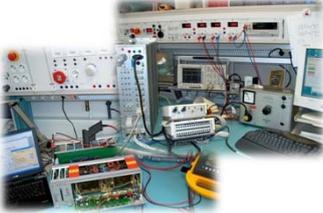
**Pulltester XYZTEC**



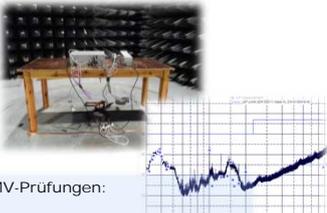
**Bildanalyse-System**  
**ZEISS Axiotech 25 H mit Axio**  
**Vision 3.0**  
Vergrößerung von 50X bis 500X  
Erstellen von Bildarchiven und  
Berichten



## Prüffeld      Leistungen



**Durchführung von Funktionstests:**  
**Es werden alle Ein- und Ausgänge sowie Funktionen - in Absprache mit dem Anwender - im Normal- und Störbetrieb überprüft.**  
**Konstruktionsfehler werden behoben, Unterlagen werden entsprechend geändert. Verbesserungsvorschläge werden nach Absprache eingearbeitet und umgesetzt.**

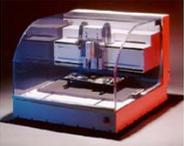


**EMV-Prüfungen:**  
**Funkstörungen und leitungsgebundene Beeinflussung**  
**Störfestigkeit und Störaussendung**  
**\*\*Zusammenarbeit mit zertifizierten Laboren\*\***



**Gerätesicherheits-Prüfungen:**  
**VDE-Test**  
**Prüfung nach Niederspannungsrichtlinie**

**Flying Probe Tester**

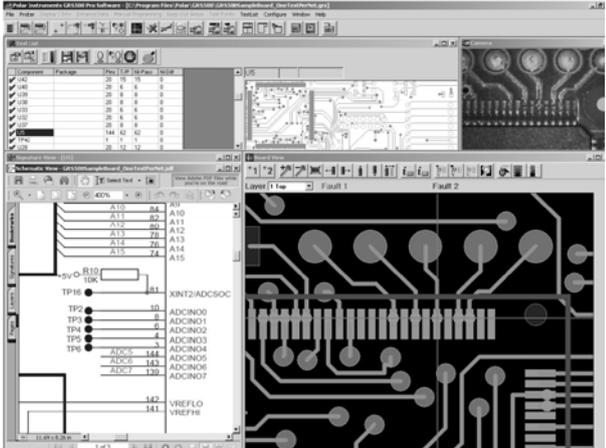




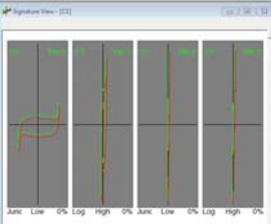
Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 21

## Prüffeld      Flying Probe Tester

> **Knotenimpedanzmessung:**



Bedienoberfläche der PC-Software



Ausgewählte Signaturen



Flying Probe Tester Polar Instruments



Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 22

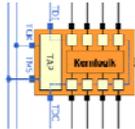
## Prüffeld JTAG Boundary Scan Prüfplatz



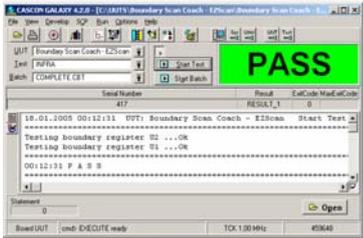
Komplexer Prüfaufbau inklusive aller I/O-Leitungen



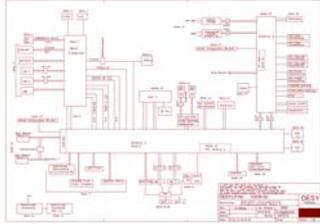
Prüfung Reglerbaugruppe für Korrekturnetzteil



BSCAN fähiges BE



Bedienoberfläche PC-Software



Blockschaltbild Prüfling

Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 23



## Prüffeld EMV-Prüftechnik für leitungsgebundene Störungen



Spektrumanalysator



Wave Simulator 10 kHz – 400 MHz (IEC 61000-4-6)



Burst / Surge Generator Kombigerät (IEC 61000-4-2/4/5/8/9/11)



Koppelzange



Oszillografen



Feldsonden

Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 24



## Gruppenübergreifende Leistungen

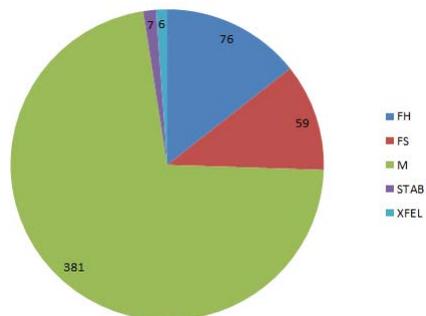
- > Zentraler Einkauf / Prüfung von Leiterplatten für DESY
- > Pflege der Gerber-Datenbank für alle Leiterplatten bei DESY
- > Pflege und Bereitstellung der Bibliotheken für das ECAD-System EAGLE für ganz DESY
- > Pflege der Mechanik-CAD-Datenbank CADBAS für ganz DESY
- > Beratung aller DESY-Gruppen zu Fragen der elektr. Gerätesicherheit (VDE)
- > Beratung aller DESY-Gruppen zu Fragen rund um die CE-Zertifizierung elektr. Geräte
- > Beratung aller DESY-Gruppen zur fertigungsgerechten Konstruktion elektronischer Baugruppen

Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 25



## Aufträge und Auftraggeber

Bearbeitete Werkstattaufträge = 529  
( Zeitraum 07/2013 – 07/2014 )



Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 26



## Beiträge zu aktuellen Forschungsvorhaben bei DESY

> Die Gruppe ZE fertigt eine Vielzahl von Baugruppen und Geräten für die folgenden Forschungsvorhaben (z.B.):

- FLASH II: Beamloss Monitor, Interlock
- PETRA3 Extensions: Chopper-Netzteile, Korrekturnetzteile, Interlock
- Beamlines: Oriental-Treiber, Piezomotoren-Ansteuerung
- XFEL Chopper Netzteile, Korrektur-Netzteile, Interlock,  $\mu$ TCA-BG, Cavity Tuner, OTR-Motorsteuerungen
- ATLAS, CMS Bondarbeiten an Prototypen für Detektoren

Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 27



## Beiträge zu aktuellen Forschungsvorhaben bei DESY

XFEL Cavity Tuner



XFEL Phase Shifter



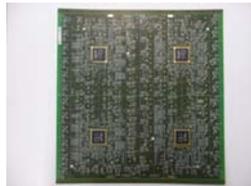
Reglerkarte f. Korrekturnetzteil



XFEL-Chopper Netzteile 200A/60V



Calice HBU3 Board



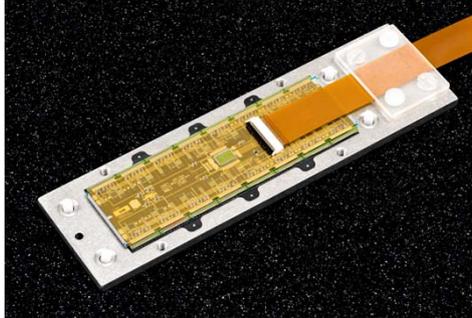
AGIPD Analog Daughter Board



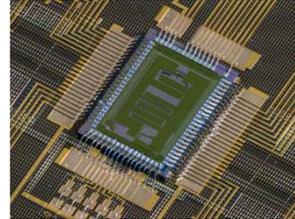
Otto-Christian Zeides | Servicezentrum Elektronik DESY Hamburg | 02.03.2015 | Seite 28



## Beitrag zum CMS Pixeldetektor für LHC CERN



Fertiges CMS BPIX-Modul



Detail Bondverbindung zw. TBM-Chip und HDI-Flexprint



Detail Bondverbindung zw. ROC-Layer und HDI-Flexprint

# Flip-Chip-Bonding am DESY



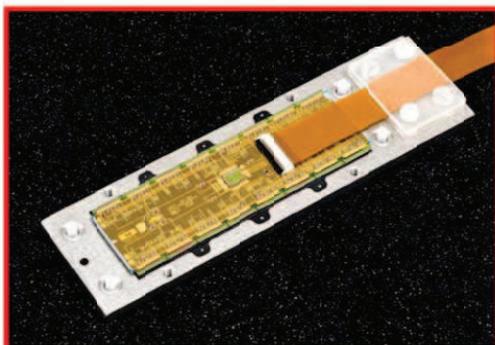
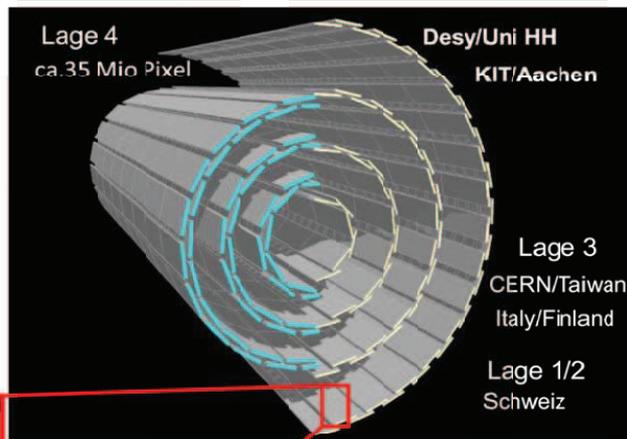
Shaghayegh Arab  
Hamburg, 02.03.2015

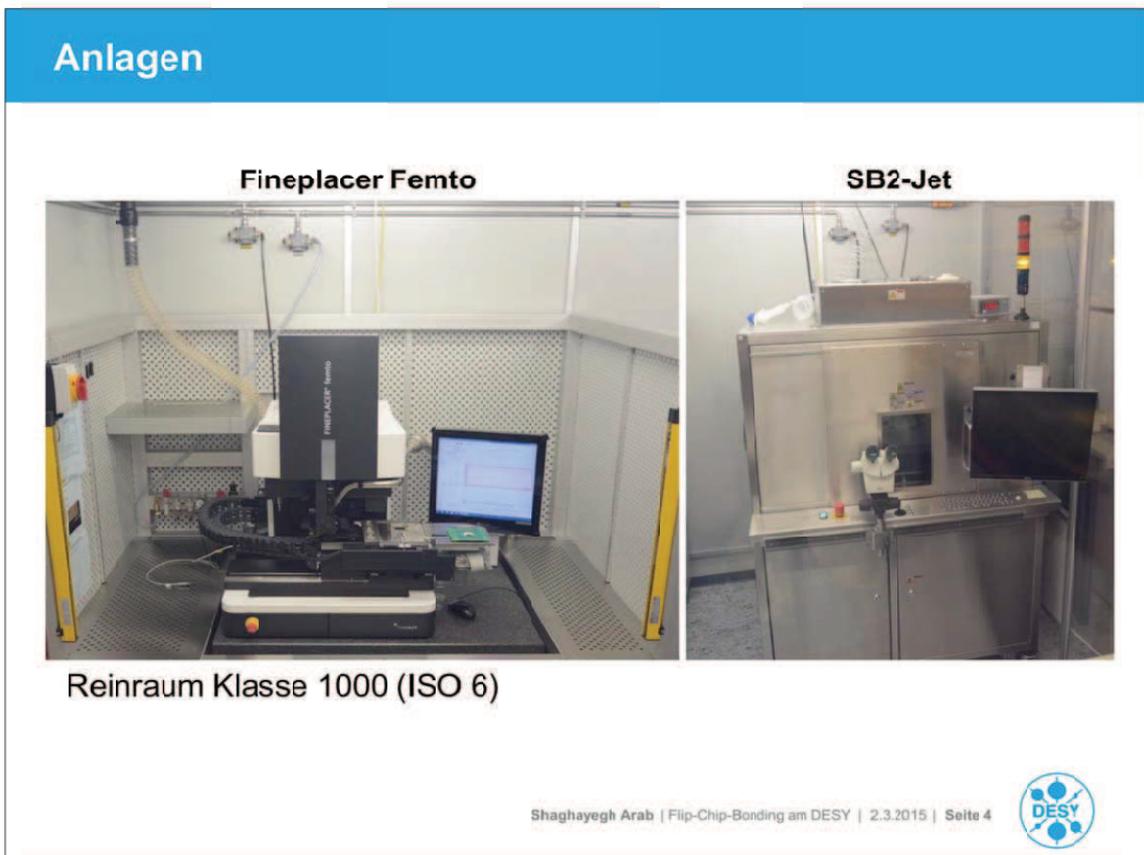
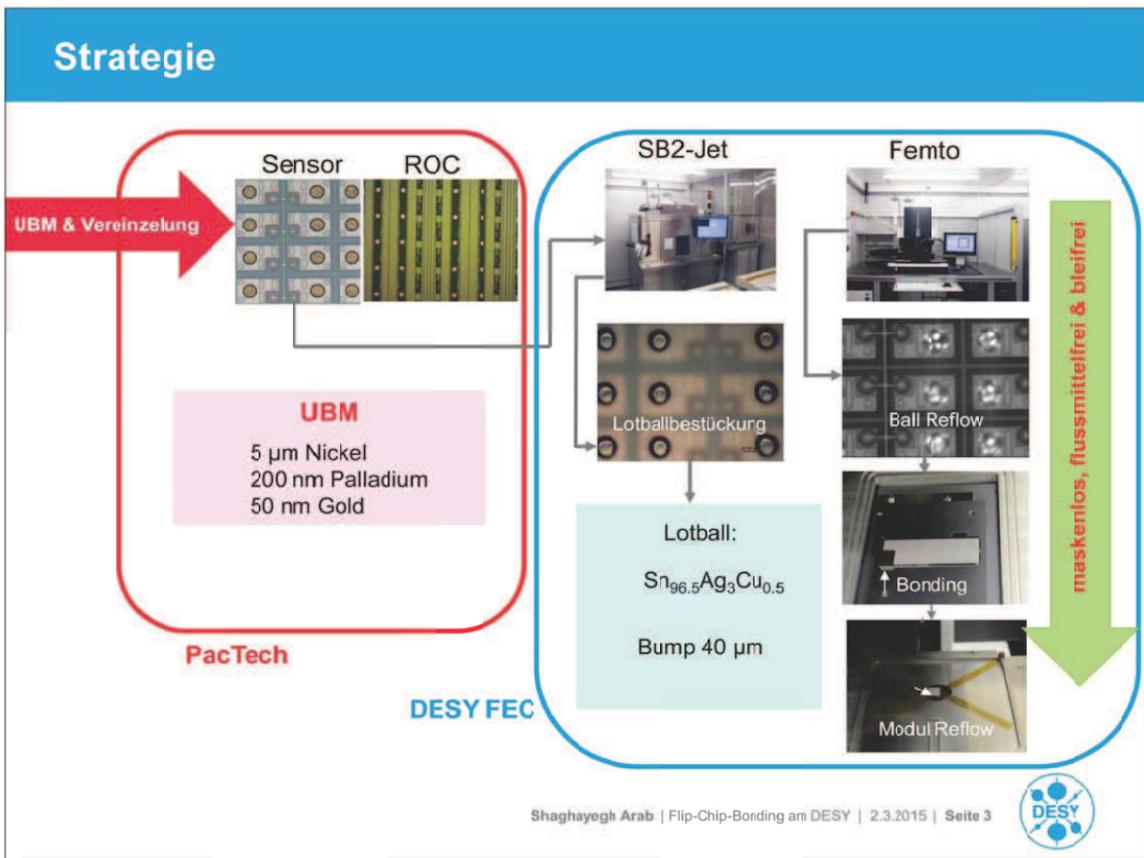


## Motivation

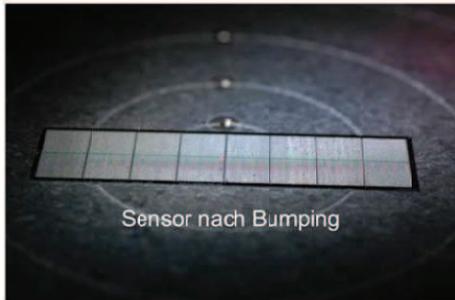
**CMS Pixel Upgrade Phase 1**

**256 Module von Hamburg**



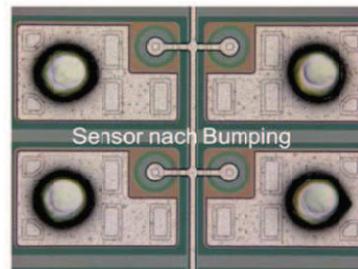
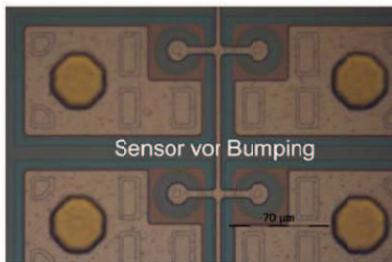


## Lötball-Bestückung mit dem SB2-Jet



Prinzipielle Funktionsweise des Solder-Ball-Bumpers:

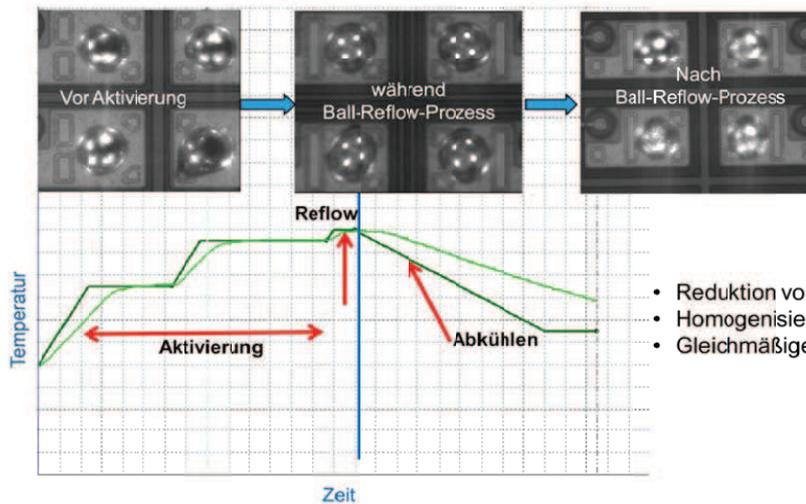
Kleine Lotkugeln aus Reservoir vereinzelt, im Kanal aufgeschmolzen und auf das Bondpad geschossen.



Shaghayegh Arab | Flip-Chip-Bonding am DESY | 2.3.2015 | Seite 5



## Ball Reflow mit Femto

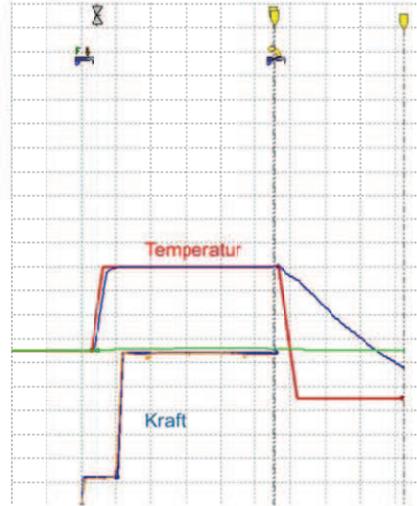
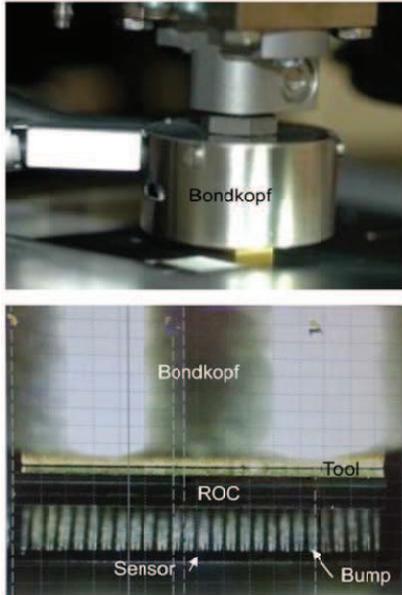


- Reduktion von Oxid
- Homogenisierung der Oberflächenspannung
- Gleichmäßige Temperaturverteilung

Shaghayegh Arab | Flip-Chip-Bonding am DESY | 2.3.2015 | Seite 6



## Flip-Chip-Bonden mit Femto

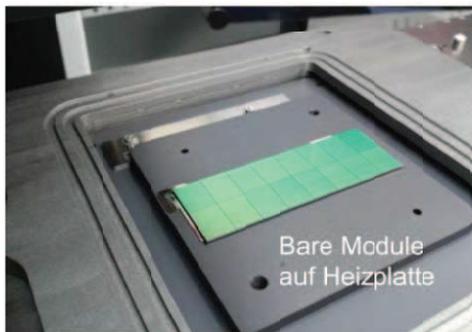


1. Vorheizen
2. Andrücken
3. Bonden (Kraft, Temperatur & Zeit)
4. Abkühlen

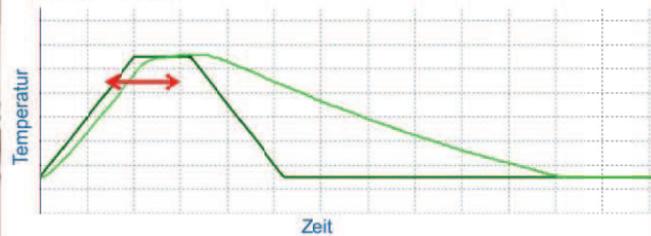
Shaghayegh Arab | Flip-Chip-Bonding am DESY | 2.3.2015 | Seite 7



## Modul Reflow mit Femto



Reflow-Profil

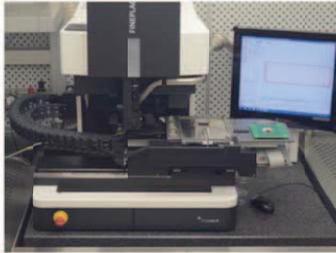


1. Vorheizen
2. Reflow (Temperatur & Zeit)
3. Abkühlen

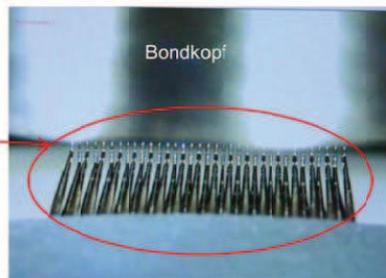
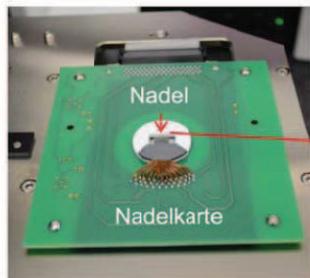
Shaghayegh Arab | Flip-Chip-Bonding am DESY | 2.3.2015 | Seite 8



## Known-Good-Die Test am FEMTO



- Gut / Schlecht - Entscheidung
- Erhöhte Ausbeute

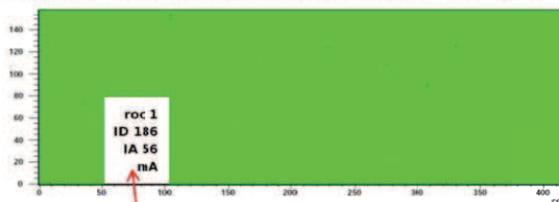


Shaghayegh Arab | Flip-Chip-Bonding am DESY | 2.3.2015 | Seite 9

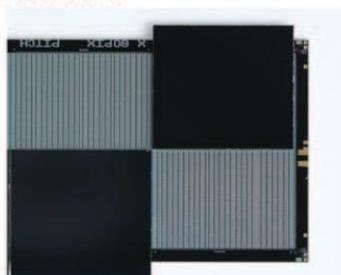


## falls doch einmal etwas kaputt geht...

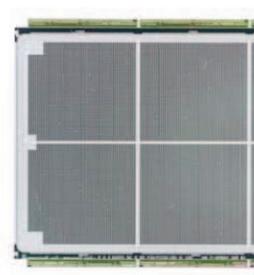
Ergebnis eines Bare-Module-Tests an PA 300:



defekter ROC mit hoher Stromaufnahme



Defekte Chips entfernt

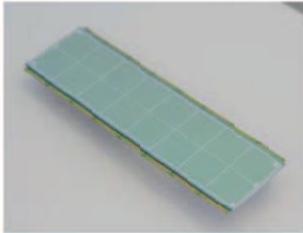


Neue Chips gebondet

Shaghayegh Arab | Flip-Chip-Bonding am DESY | 2.3.2015 | Seite 10



## Elektrische Testergebnisse



Bare-Module-Tests nach Bonding (Testpuls-Trigger)

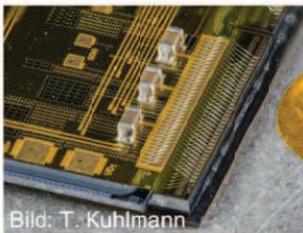
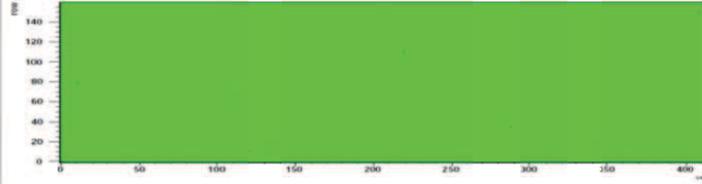
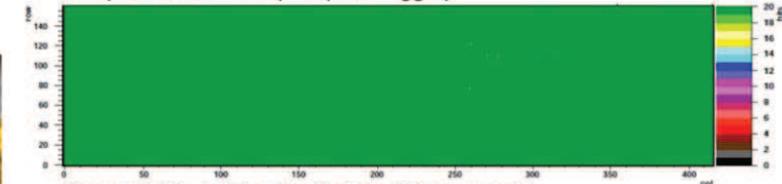
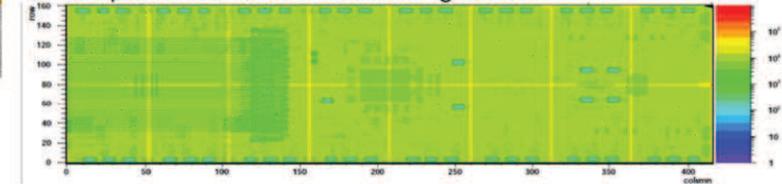


Bild: T. Kuhlmann

Komplett-Modul-Test (Testpuls-Trigger)

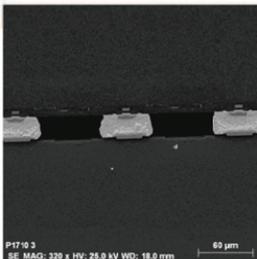


Komplett-Modul-Test im direkten Röntgenstrahl



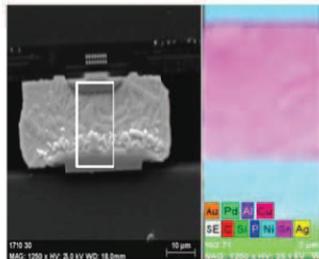
## Andere Untersuchungsmethoden

REM



Lunker, Phasen, Versatz...

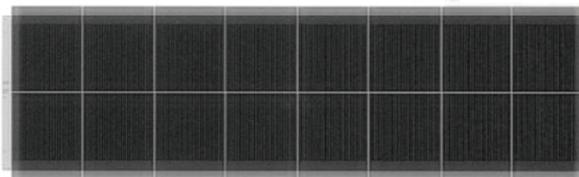
EDX



Materialzusammensetzung...

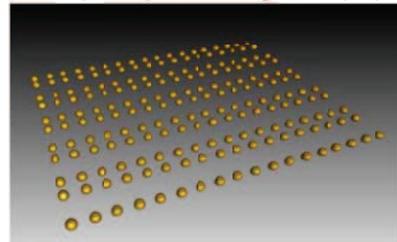
- Schliffproben für REM/EDX (zerstörend)
- Röntgentomographie (nichtzerstörend)

X-Ray in Transmission (2D)



Lunker, fehlende Verbindung Makrobumps...

X-Ray Computer-Tomographie (3D)



Bumpform...



## Zusammenfassung und Ausblick

### Zusammenfassung

- Technologien eingeführt
- Prozessfluss unter Berücksichtigung externer Prozesse definiert
- Hausinterne Prozesse entwickelt
- Funktionsmuster erfolgreich realisiert

### Ausblick

- Hauptziel: Serienproduktion für CMS Upgrade Phase I (2015/2016)
- später Beiträge im Programm „Detector Technologies & Systems“ (2017-2019)



## Flip Chip Bonding am DESY

Vielen Dank für Ihre Aufmerksamkeit!



# CE-Zertifizierungen

Zentral durchgeführt durch DESY ZE

Julia Voigt  
SEI-Tagung 2015  
Zeuthen, 02.03.2015



# Warum CE?



## Warum CE?

- > CE bedeutet „Communauté Européenne“, „Comunidad Europea“, „Comunidade Europeia“ und „Comunità Europea“ - also „Europäische Gemeinschaft“
- > Umdeutung zu „Conformité Européenne“
- > EU-weites Einhalten von Sicherheitsstandards:

Der Hersteller/Inverkehrbringer erklärt mit dem CE-Zeichen, daß das Produkt den geltenden Anforderungen genügt, die in den Harmonisierungsrechtsvorschriften der Gemeinschaft über ihre Anbringung festgelegt sind.
- > kein Prüfsiegel, Gütezeichen, Hinweis auf ein besonders sicheres Produkt...
- > ...sondern ein „**Verwaltungszeichen**, das die Freiverkehrsfähigkeit entsprechend gekennzeichneter Industrieerzeugnisse im Europäischen Binnenmarkt zum Ausdruck bringt“ (Quelle: Wikipedia)

Julia Voigt | SEI Tagung 2015 | 2.März 2015 | Seite 3



## Warum CE?

- > Sicherstellung, daß das Gerät keine anderen Geräte stört, sich nicht stören läßt und betriebssicher ist
- > Sagt aus, daß die **gesetzlichen Mindestanforderungen an die Sicherheit** eingehalten werden:

„daß das Produkt den geltenden Anforderungen genügt, die in den Harmonisierungsrechtsvorschriften der Gemeinschaft über ihre Anbringung festgelegt sind.“ (Quelle: EU-Verordnung 765/2008)
- > **Eine CE-Kennzeichnung ist erforderlich, wenn ein Gerät Dritten überlassen wird.**

Julia Voigt | SEI Tagung 2015 | 2.März 2015 | Seite 4



# Durchführung einer CE-Zertifizierung

Julia Voigt | SEI Tagung 2015 | 2.März 2015 | Seite 5



## Durchführung einer CE-Zertifizierung

### > Woraus besteht das Gerät?

- Elektrische / elektronische Baugruppen...
- drehende Maschinen...
- Druckbehälter...
- Laser...
- Vakuumkomponenten...

### > Feststellung: Welche Normen sind anwendbar?

- "Expertengruppe" zum Thema CE für verschiedene Anwendungsbereiche
- Gründung 2012, Ernennung von Experten durch das Direktorium

[maschinensicherheits-experten@desy.de](mailto:maschinensicherheits-experten@desy.de)

Julia Voigt | SEI Tagung 2015 | 2.März 2015 | Seite 6



## Elektronische Geräte

- > Wenn es sich um ein elektronisches Gerät handelt:
  - Risikoanalyse
  - VDE-Prüfung und Prüfung nach der Niederspannungsrichtlinie
  - EMV-Prüfung
  - Erstellen einer Betriebs- sowie Bedienungsanleitung
  - Zusammenstellung der technischen Dokumentation
  - Anfertigen der CE-Konformitätserklärung und Anbringen der CE-Kennzeichnung am Gerät
  
- > Wichtig: Alles nachvollziehbar dokumentieren!
  
- > Wenn bei der Entwicklung, Konstruktion und Fertigung alles „richtig“ gemacht und lückenlos dokumentiert wird, ist die CE-Zertifizierung nur noch ein **formeller** Schritt!



## Durchführung einer CE-Zertifizierung bei ZE

An Werkstatt	Typ	Werkstattauftrag Nr.	Pos
ZE		0390072	
Ausführende Werkstatt	Geschätzter Gesamtwert	Interne Kosten (Lohn)	Externe Kosten
	€	€	€
Bedarf für	SAP Text (max. 40 Zeichen)		Gewünschter Fertigstellungstermin
<input checked="" type="checkbox"/> Bau, Erweiterung <input type="checkbox"/> Wartung, Instandhaltung, Reparatur <input type="checkbox"/> Ersatz, Verbrauch <input checked="" type="checkbox"/> Entwicklung, Sonstiges	CE - Zertifizierung		sofort
Kostenstelle	Auftrag zur Weiterberechnung an		Ausführende Werkstatt
0815			ZE
Projekt, Anlagen Nr.			Hauptauftrag
CE - Zertifizierung einer höchst komplizierten Kiste, von der niemand weiß, was sie eigentlich tut. Unterlagen sind geheim, Geld nicht vorhanden.			Geplanter Arbeitsbeginn
			gestern
			Geplannt Arbeitsende
			mögl. schnell
			Geplannte interne Kosten (Lohn)
			am besten keine
			Geplannte externe Kosten
			wenn's sein muß
			Geplannte Gesamtkosten
			€
			Unterschrift Werkstatt
Datum	Aussteller/in	Anfordernde Gruppe	Telefon
			Unterschriftsberechtigt
			Auftragsgabe V3



## Durchführung einer CE-Zertifizierung bei ZE

### > 1. Schritt: Risikoanalyse

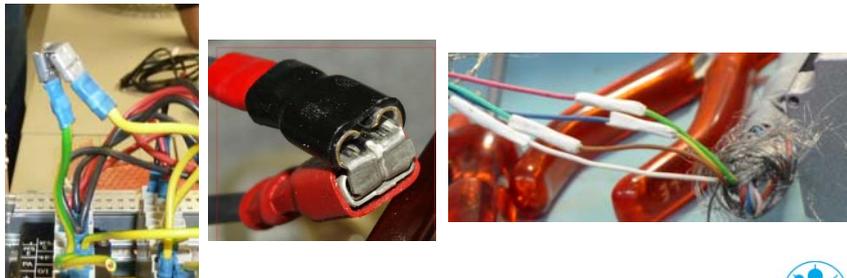
- Welche Gefahren gehen vom Gerät aus?
  - Sachgemäße Benutzung
  - „menschliche“ Benutzung: „Vernünftigerweise vorhersehbare Fehlanwendung“ (Hund in Mikrowelle, Karotten im Wasserkocher...)
- Reduzieren der Gefahr durch konstruktive Maßnahmen
  - Vorrang vor allen anderen Maßnahmen!
- Sinn und Unsinn von Hinweisen und Aufklebern



## Durchführung einer CE-Zertifizierung bei ZE

### > 2. Schritt: VDE- und Niederspannungsrichtlinien-Prüfung

- Sichtprüfung
- Abarbeiten der Anforderungen nach NSpgsRL
- “Rupf- und Rütteltest“, Kontrolle von Erdung und Verdrahtung
- Messung von Differenzströmen, PE-Widerständen, Isolationswiderstand gemäß VDE0701/0702 (enthalten in der EN 61010 Teil 1)



## ...man muß auf alles gefasst sein!!!



Julia Voigt | SEI Tagung 2015 | 2. März 2015 | Seite 11



## Durchführung einer CE-Zertifizierung bei ZE

### > 3. Schritt: EMV-Prüfung

- Messung von Störaussendung und Störeinwirkung
- leitungs- und luftgebunden
- Vorprüfungen sind im ZE-Prüffeld möglich, endgültige Prüfungen nur in Zusammenarbeit mit einem akkreditierten Labor
- Zugrundeliegende Normen: i.d.R. EN 61000-4, EN 61326-1, EN 55014
- Je nach Gerät kann es sein, daß zusätzlich weitere Normen angewandt werden müssen!

### > 4. Schritt: Dokumentation

- Zeichnungen, Schaltpläne, Mess-/Prüfprotokolle...
- Bestellungen, Lieferscheine...
- **Betriebs-/Bedienungsanleitung**

Julia Voigt | SEI Tagung 2015 | 2. März 2015 | Seite 12



## Durchführung einer CE-Zertifizierung bei ZE

- > 5. Schritt: Erstellen der Konformitätserklärung sowie Anbringen der CE-Kennzeichnung am Gerät



Julia Voigt | SEI Tagung 2015 | 2.März 2015 | Seite 13



# Sonderfall: Geräte im Forschungsbetrieb

Julia Voigt | SEI Tagung 2015 | 2.März 2015 | Seite 14



## Geräte im Forschungsbetrieb

- > Oft gehörter Satz: „Mein Gerät muß nicht zertifiziert werden, es wird ja nur in einer Forschungsanlage betrieben!“



## Geräte im Forschungsbetrieb

- > „Die Maschinenverordnung (9.GPSGV) gilt nicht für Maschinen, die für Forschungszwecke konstruiert und gebaut wurden und zur vorübergehenden Verwendung in Laboratorien bestimmt sind.“ (BGI/GUV-I 5139)
- > Dieser Absatz gilt nur, wenn es sich per Definition um eine **Maschine** handelt: „Eine Maschine ist ein Gerät mit durch ein Antriebssystem bewegten Teilen“ (Quelle: Wikipedia)
- > Elektrische/elektronische Geräte sind **KEINE** Maschinen und müssen demnach CE-zertifiziert werden, wenn sie Dritten überlassen werden.
- > Ausnahme: Geräte, die sich in ständiger Entwicklung befinden und in einem Laborraum stehen
- > Laborraum:
  - Gekennzeichnete, abgegrenzter, nicht öffentlich zugänglicher Bereich
  - Nur für unterwiesenes Personal



**Vielen Dank!**

**Vielen Dank für Ihre Aufmerksamkeit!**

Fragen?

[julia.voigt@desy.de](mailto:julia.voigt@desy.de)



## Ein VHDL basierter Gigabit Ethernet Protokollstapel für FPGAs

SEI-Tagung am DESY Zeuthen 02.03.2015

P. Födisch, B. Lange, P. Kaever  
Helmholtz-Zentrum Dresden-Rossendorf



Philipp Födisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | [www.hzdr.de](http://www.hzdr.de)

### Inhalt

1. Motivation / Anforderungen
2. Umsetzung
3. Performance Tests
4. Anwendungen



Seite 2

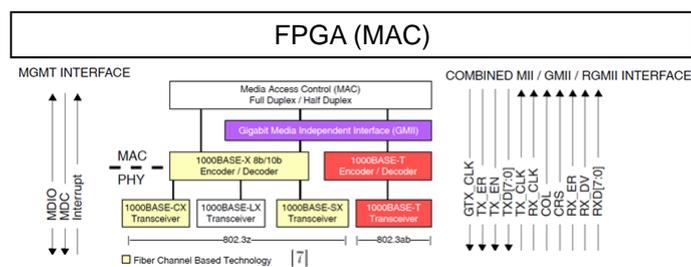
Mitglied der Helmholtz-Gemeinschaft  
Philipp Födisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | [www.hzdr.de](http://www.hzdr.de)

## 1. Motivation

Warum Gigabit Ethernet?

- Stand der Technik, weit verbreitet (Mikrokontroller, FPGAs, PC)
- Schnelle Datenübertragung (UDP)
- Slow Control
- Verteilte Datenerfassungssysteme
- Taktsynchronisierung

## 1. Anforderung Hardware / PHY Layer



Marvell 88E1111



[7] 802.3ah: A Tutorial Presentation. IEEE P802.3ah 1000BASE-T Task Force, <http://groupes.ieee.org/groups/802/3/ah/public/march98/index.html>.

Texas Instruments DP83865



## 1. Anforderung MAC Layer

- Gigabit Ethernet 1000BASE-T  
(kein Support für 10/100Mbit)
- Schnittstelle zwischen FPGA (MAC) und PHY: GMII  
(kein RGMII, ...)
- MDIO für Konfiguration
- 125MHz Logiktakt (Xilinx Spartan 6)

Seite 5



Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | [www.hzdr.de](http://www.hzdr.de)

## 1. Anforderung Protokollstapel

- Punkt-zu-Punkt Verbindung
- Programmierbare Header (MAC-Adresse, IP-Adresse, ...)
- ARP (ARP Response), ICMP (Ping Reply)
- Max Geschwindigkeit in Senderichtung (UDP)
  - ASYNC FIFO
- Sende-/Empfangsrichtung für Slow Control (UDP, ICMP, ARP)
  - SW Schnittstelle (Register Map)

Seite 6



Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | [www.hzdr.de](http://www.hzdr.de)

## 2. Anforderung Gigabit Ethernet 1000Base-T

Takt: 125 MHz (8ns), 8 bits/Takt  
Datenrate:  $10^9$  Bit/s

Ethernet Packet



Ethernet Frame



Payload

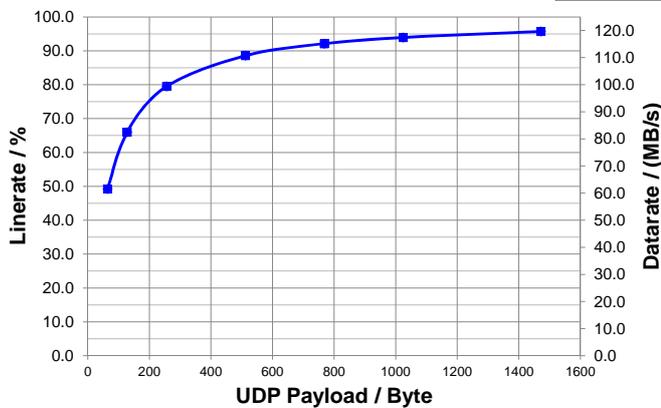


Seite 7

Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

## 1. Anforderung Geschwindigkeit

Pre	MAC Dst	MAC Src	Type	Data (max 1500, min 46)	MTU	PAD	CRC	IFG	Linerate	%		
					1500						UDP	
8	6	6	2	20		8	1472	0	4	12	95,71	114,09 MiB/s 119,64 MB/s
				1518							98,70	ETH
				1538							100,00	MAX
												117,66 MiB/s 123,37 MB/s
												119,21 MiB/s 125,00 MB/s



Jumbo Frames  
(MTU 9000  
UDP Payload: 8972):  
124,1 MB/s (99,3%)



Seite 8

Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

## 2. Umsetzung Xilinx Lösungen

### Xilinx Ethernet Solutions

400G Ethernet	40G/100G Ethernet	25G Ethernet	10 G Ethernet	Gigabit Ethernet	10/100 Ethernet
400G Ethernet	Integrated 100G Ethernet	25G Ethernet	10G EMAC	Tri-mode Ethernet Soft IP (Ethernet AVB)	AXI Ethernet Lite
	40G/100G EMAC		AXI 10G Ethernet with optional 1588	AXI Ethernet with optional 1588	
			10Gigabit Ethernet PCS/PMA with FEC/Auto-Negotiation (10GBASE-KR)	QSGMII	
			10 Gigabit Ethernet PCS/PMA(10GBASE-R)	Ethernet 1000BASE-X PCS/PMA	
			RXAUI		
			XAUI		

- kein Protokollstapel
- Tri-mode MAC (\$4000)

## 2. Umsetzung UDP/IP Lösungen

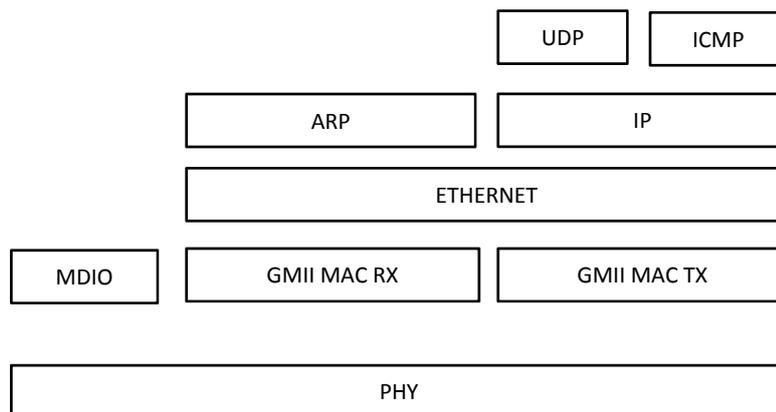
- [1] Löfgren A., „An analysis of FPGA-based UDP/IP stack parallelism for embedded Ethernet connectivity“, 2005
- [2] Dollas A., „An Open TCP/IP Core for Reconfigurable Logic“, 2005
- [3] Kühn W., „FPGA based compute nodes for high level triggering in PANDA“, 2008
- [4] Uchida T., „Hardware-Based TCP Processor for Gigabit Ethernet“, 2008
- [5] Herrmann F., „A Gigabit UDP/IP Network Stack in FPGA“, 2009
- [6] Alachiotis N., „Efficient PC-FPGA Communication over Gigabit Ethernet“, 2010
- [7] Lieber P., „FPGA Communication Framework“, 2011
- [8] Sasi A., „UDP/IP Stack in FPGA for Hard Real-Time Communication of Sonar Sensor Data“, 2013

## 2. Umsetzung UDP/IP Lösungen

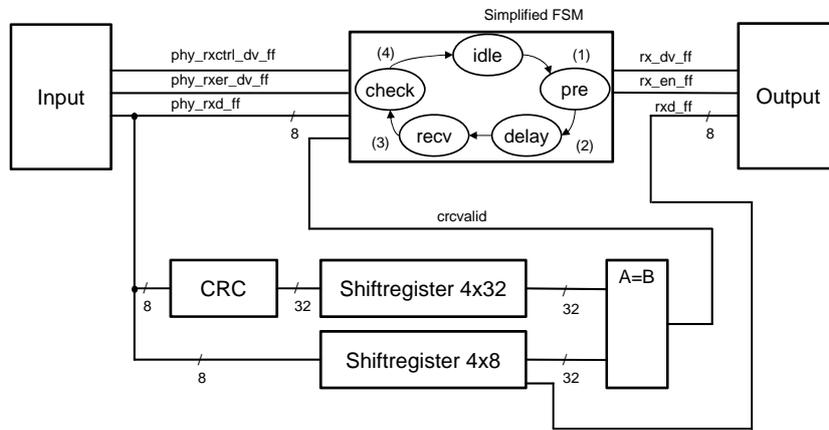
	Jahr	Autor	Datenrate	NOTIZ
[1]	2005	Löfgren	105,60MHz	keine Tests angegeben
[2]	2005	Dollas	77,00MHz	keine Tests angegeben
[3]	2008	Kühn	49,31 MB/s	Embedd PPC on Virtex4
[4]	2008	Uchida	118,63MB/s	TCP
[5]	2009	Herrmann	125,00MHz	keine Tests angegeben
[6]	2010	Alachiotis	115,00MB/s	OpenCores Project (Xilinx EMAC)
[7]	2011	Lieber	15,00MB/s	OpenCores Project
[8]	2013	Sasi	112,82MB/s	Fragwürdige Testergebnisse (1us IFG Jitter)

- nur [4] erreicht max. Datenrate
- Tests schlecht dokumentiert
- Logikverbrauch schwer vergleichbar (verschiedene Plattformen)

## 2. Umsetzung Protokollstapel



## 2. Umsetzung Empfängermodul ETH\_RX (Layer 1)



- (1) Präambel prüfen und entfernen
- (2) Schieberegister eintakten
- (3) Daten transportieren
- (4) FCS prüfen

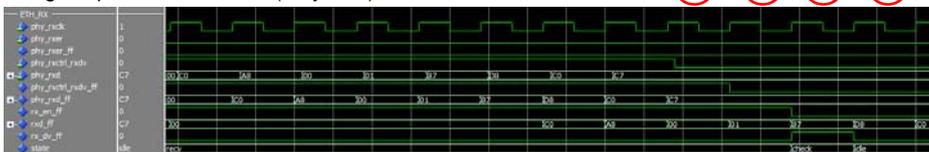
## 2. Umsetzung Empfängermodul ETH\_RX

### Ping Request im ChipScope



### Ping Request im Modellsim (Playback)

- 1
- 2
- 3
- 4



Verarbeitungszeit:

- (1) Eingangsflipflop : 1 Takt
- (2) Frameende : 1 Takt
- (3) Checksum-Flag : 1 Takt
- (4) Idle (Reset) : 1 Takt

## 2. Umsetzung Empfängermodul ETH\_RX

Ping Request im Scope

Interframegap 4 Takte !



Seite 15

Mitglied der Helmholtz-Gemeinschaft  
Philipp Födisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

## 2. Umsetzung Empfängermodul ETH\_RX

Ethernet Packet (602Byte) im Scope

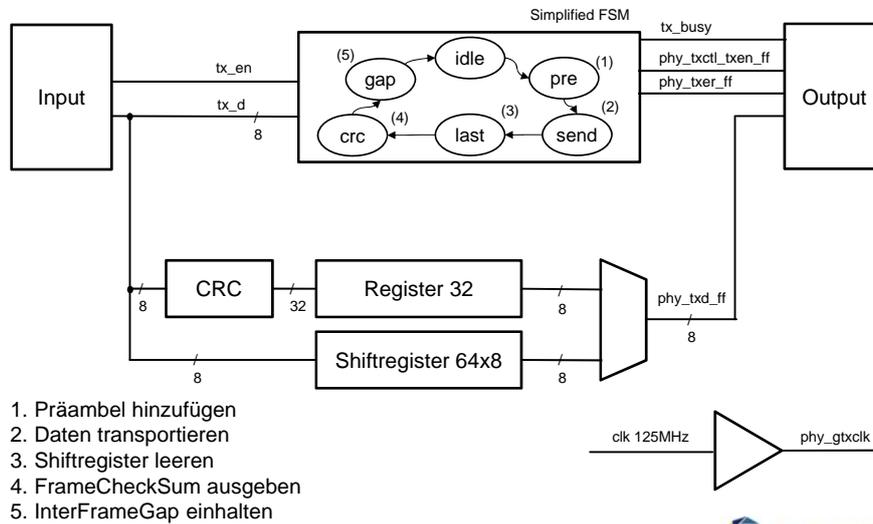
deterministische Latenz!



Seite 16

Mitglied der Helmholtz-Gemeinschaft  
Philipp Födisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

## 2. Umsetzung Sendemodul ETH\_TX (Layer 1)



Seite 17

Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

## 2. Umsetzung Sendemodul

Ethernetpaket im ChipScope



Verarbeitungslatenz:

- (1) Eingangsflop : 1 Takt
- (2) Präambel : 8 Takte
- (3) CRC : 4 Takte
- (4) Framegap : einstellbar (11 Takte)

Anforderung: maximale Sendegeschwindigkeit (UDP Schicht)

-> Lückenloser Datenstrom durch Protokollschicht

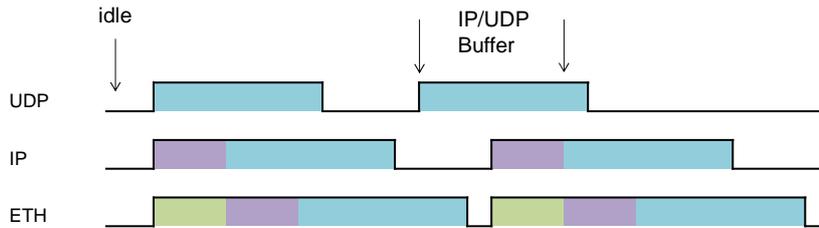
-> Datenflussmodell

Seite 18

Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

## 2. Umsetzung Protokollstapel – Data Push Model

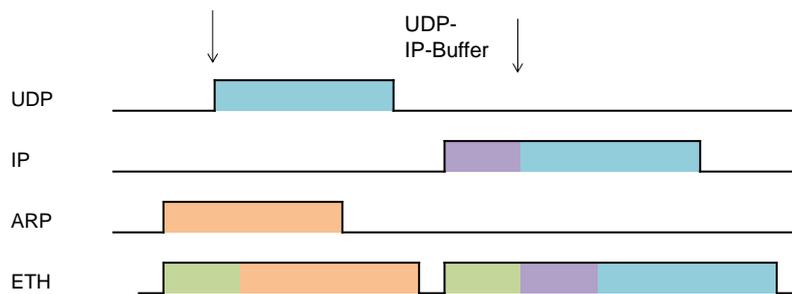
-> Datenquelle (UDP Schicht) „schiebt“ Daten zu Senke (ETH\_MAC)



**Problem: Unterschiedliche Verarbeitungslatenzen in den Schichten**

**Lösung: jede Schicht benötigt Datenpuffer für darüber liegende Schicht**

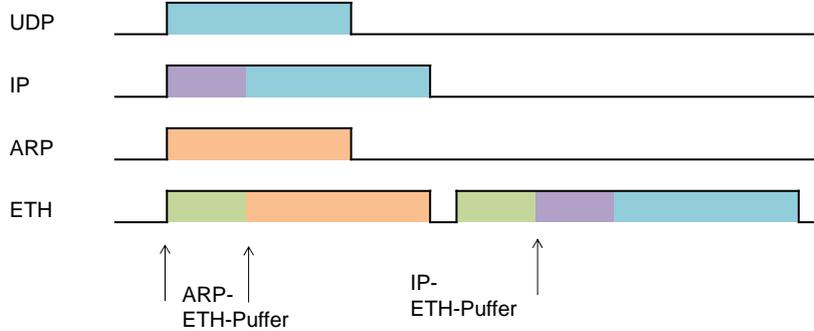
## 2. Umsetzung Protokollstapel – Data Push Model



**Problem: Schichten blockieren sich gegenseitig**

**Lösung: Größe der Datenpuffer entspricht mind. der Größe der Nutzdaten**

## 2. Umsetzung Protokollstapel – Data Push Model

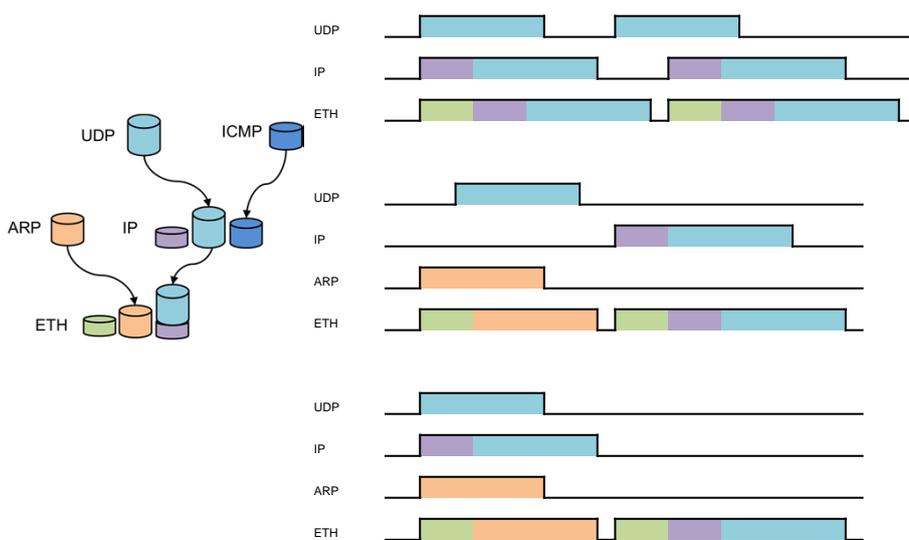


**Problem: Schichten arbeiten unabhängig**

**Lösung: Anzahl der Datenpuffer entspricht der Anzahl der darüber liegende Schichten**



## 2. Umsetzung Protokollstapel – Data Push Model



## 2. Umsetzung Protokollstapel – Data Pull Model

Anzahl der Datenpuffer wird deutlich reduziert !!

Implementierung:  
Steuer- und Arbitrationslogik

Seite 23 Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik I | Abteilung Instrumentierung I | www.bzdf.de

## 2. Umsetzung Protokollstapel – Data Pull Model

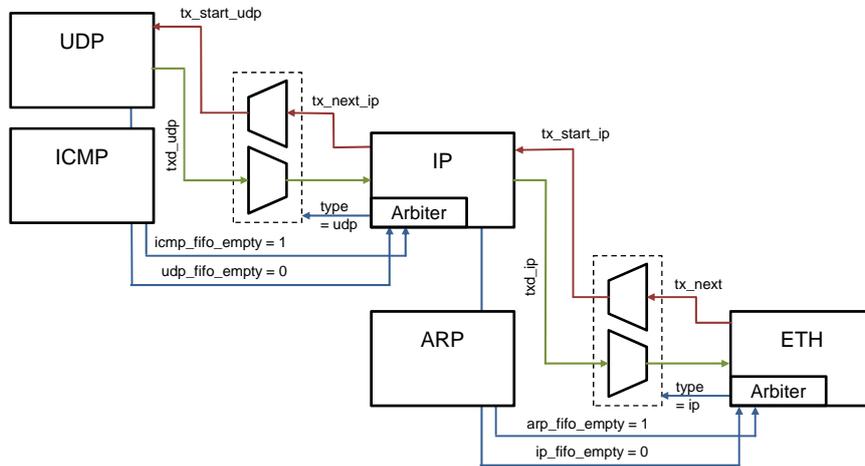
-> Datensenke (Layer n) „zieht“ Daten von Quelle (Layer n+1)

-> Datensenke steuert Datenfluss der Quelle

-> Arbiter schaltet Daten und Steuerpfad

Seite 24 Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik I | Abteilung Instrumentierung I | www.bzdf.de

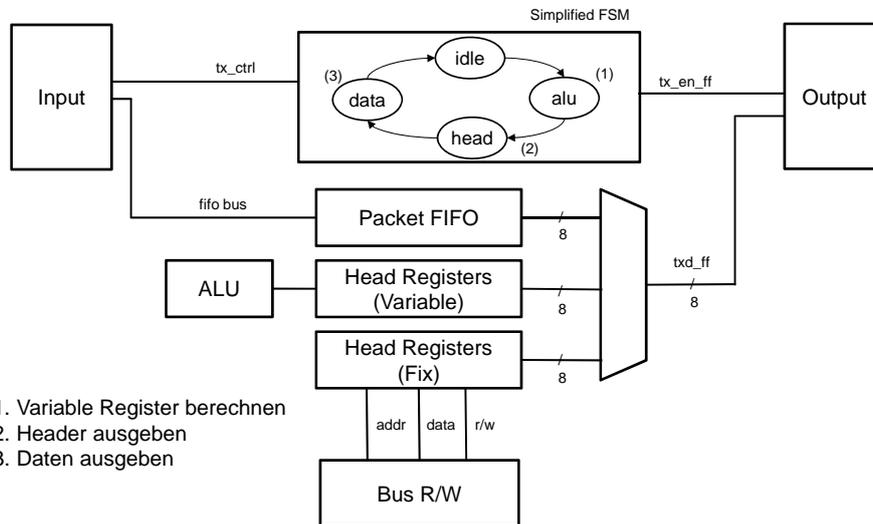
## 2. Umsetzung Protokollstapel – Modulübersicht



## 2. Umsetzung Protokollstapel – Modularchitektur UDP Paket im Chipscope



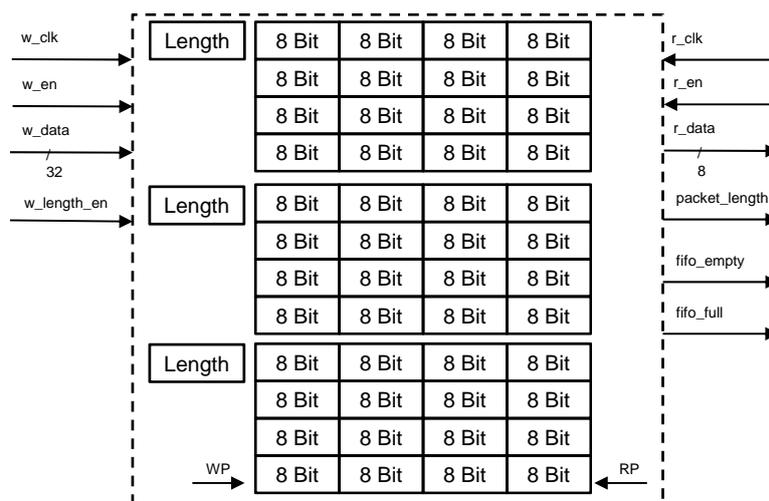
## 2. Umsetzung Protokollstapel – Modularchitektur



Seite 27

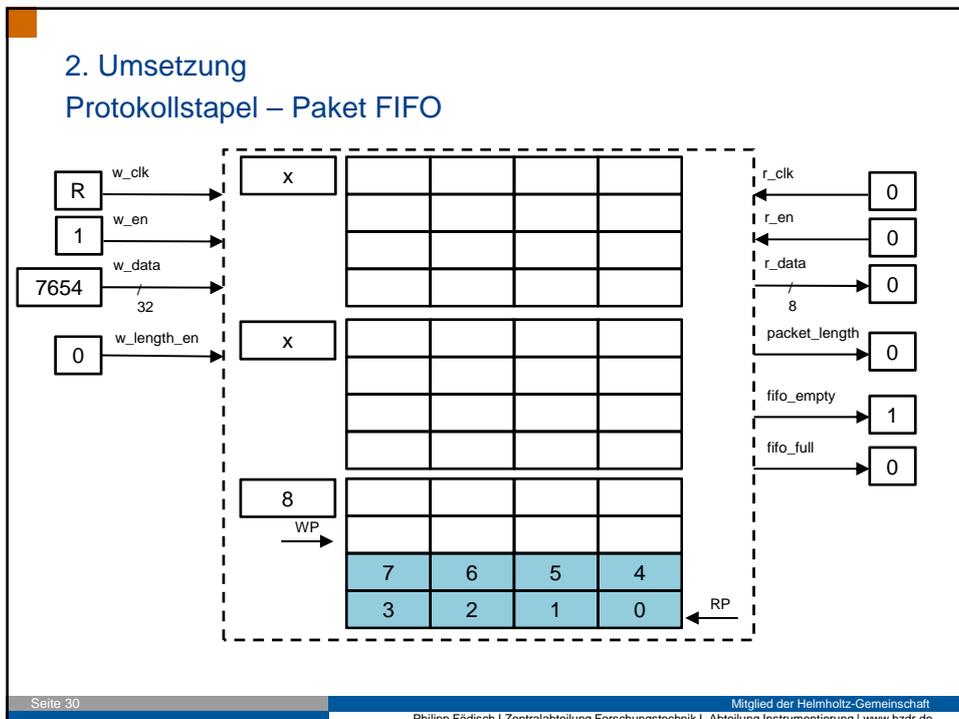
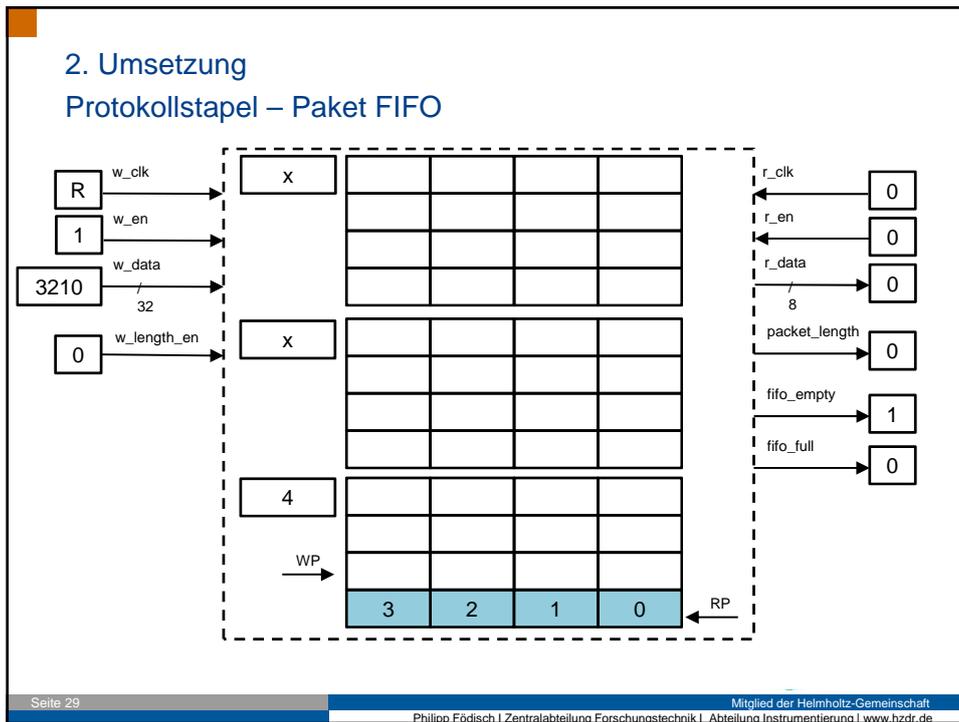
Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.bzdf.de

## 2. Umsetzung Protokollstapel – Paket FIFO

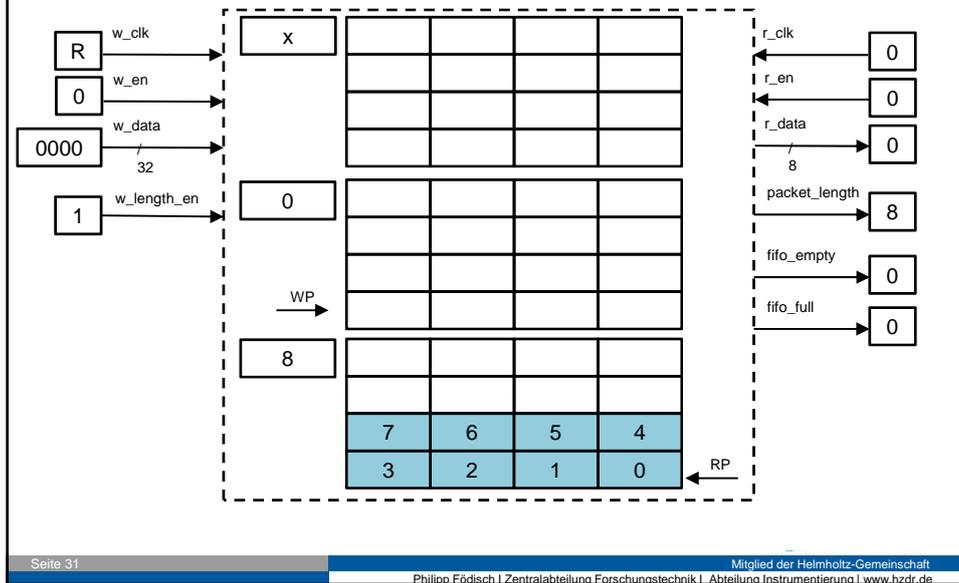


Seite 28

Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.bzdf.de



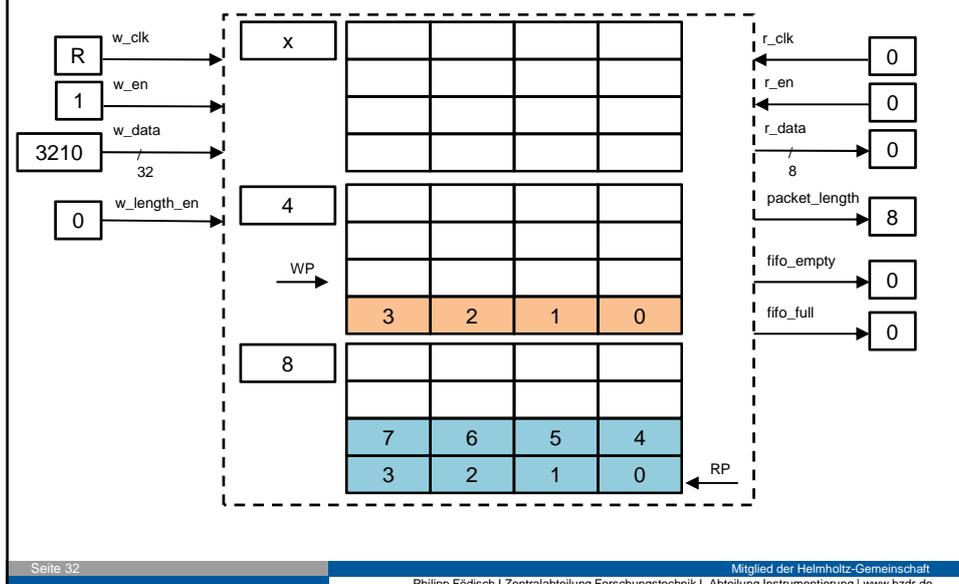
## 2. Umsetzung Protokollstapel – Paket FIFO



Seite 31

Mitglied der Helmholtz-Gemeinschaft  
Philip Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

## 2. Umsetzung Protokollstapel – Paket FIFO



Seite 32

Mitglied der Helmholtz-Gemeinschaft  
Philip Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

### 3. Performance Test UDP Datenrate 1472 Byte Payload

Max: 114,09 MiB/s (UDP)  
117,66 MiB/s (ETH)

Mitglied der Helmholtz-Gemeinschaft  
 Philipon Födisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

### 3. Performance Test UDP Datenrate 20 Byte Payload Paketverlust beim Empfänger

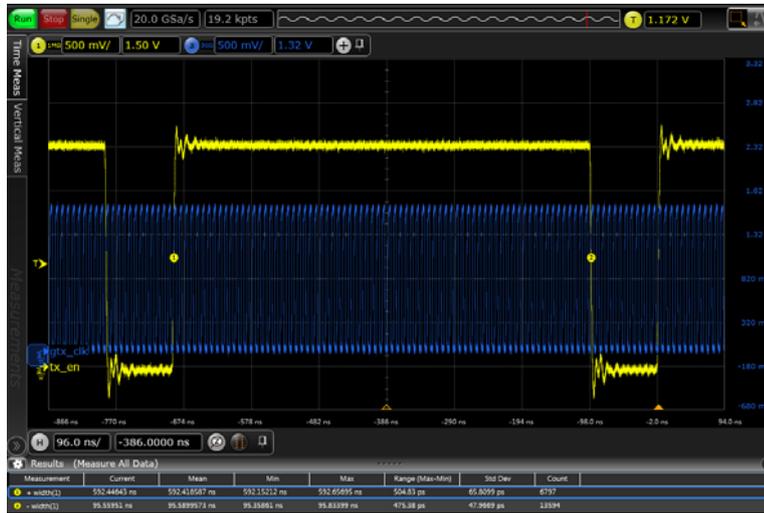
Paketverlust beim Empfänger

Mitglied der Helmholtz-Gemeinschaft  
 Philipon Födisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | www.hzdr.de

### 3. Performance Test

#### UDP Datenrate 20 Byte Payload

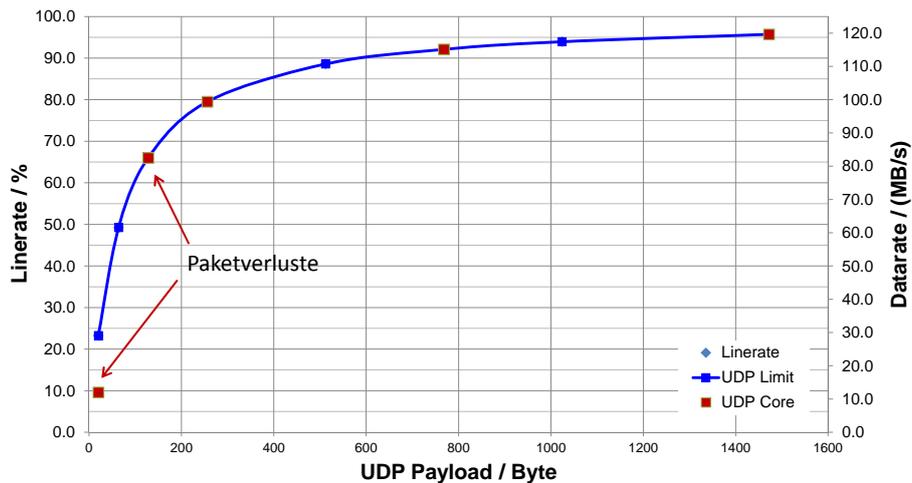
Ethernet Paketlänge = 74 Byte (592 ns) + 12 IFG (96ns)



Seite 35

### 3. Performance Test

#### UDP Datenrate vs. Payload



Ergebnis mit Jumboframes (8972 Bytes): 124,09 MB/s

Seite 36

### 3. Performance Test

#### Arping Test

```

user@mg119: ~/Projekte/UDP_Server2
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.987ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.841ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.893ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.962ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.814ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.885ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.937ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.769ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.864ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.939ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.725ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.883ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.706ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.802ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.862ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.914ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.740ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.829ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.909ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.955ms
Unicast reply from 192.168.0.15 [40:D8:55:05:50:05] 0.783ms
Sent 123 probes (1 broadcast(s))
Received 123 response(s)
user@mg119:~/Projekte/UDP_Server2$
    
```

arping 192.168.0.15 -c 123



### 3. Performance Test

#### Ping Test

```

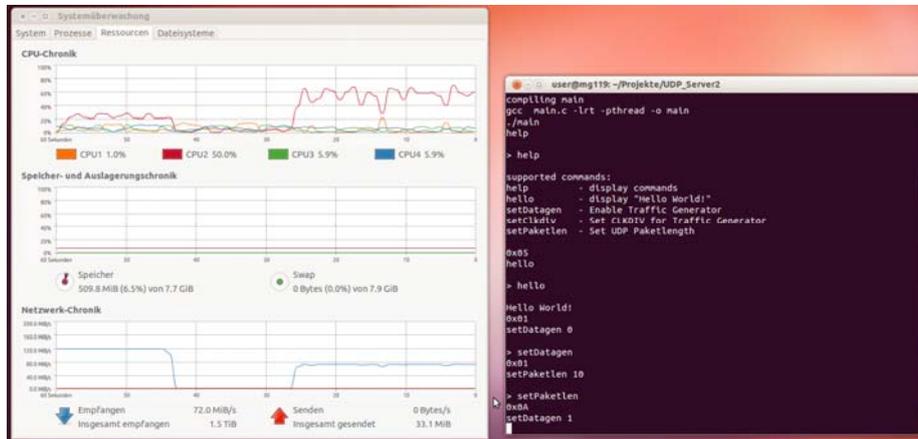
user@mg119: ~/Projekte/UDP_Server2
64 bytes from 192.168.0.15: icmp_req=5982 ttl=64 time=0.582 ms
64 bytes from 192.168.0.15: icmp_req=5983 ttl=64 time=0.340 ms
64 bytes from 192.168.0.15: icmp_req=5984 ttl=64 time=0.575 ms
64 bytes from 192.168.0.15: icmp_req=5985 ttl=64 time=0.327 ms
64 bytes from 192.168.0.15: icmp_req=5986 ttl=64 time=0.327 ms
64 bytes from 192.168.0.15: icmp_req=5987 ttl=64 time=0.307 ms
64 bytes from 192.168.0.15: icmp_req=5988 ttl=64 time=0.331 ms
64 bytes from 192.168.0.15: icmp_req=5989 ttl=64 time=0.545 ms
64 bytes from 192.168.0.15: icmp_req=5990 ttl=64 time=0.481 ms
64 bytes from 192.168.0.15: icmp_req=5991 ttl=64 time=0.505 ms
64 bytes from 192.168.0.15: icmp_req=5992 ttl=64 time=0.495 ms
64 bytes from 192.168.0.15: icmp_req=5993 ttl=64 time=0.298 ms
64 bytes from 192.168.0.15: icmp_req=5994 ttl=64 time=0.514 ms
64 bytes from 192.168.0.15: icmp_req=5995 ttl=64 time=0.518 ms
64 bytes from 192.168.0.15: icmp_req=5996 ttl=64 time=0.490 ms
64 bytes from 192.168.0.15: icmp_req=5997 ttl=64 time=0.466 ms
64 bytes from 192.168.0.15: icmp_req=5998 ttl=64 time=0.452 ms
64 bytes from 192.168.0.15: icmp_req=5999 ttl=64 time=0.462 ms
64 bytes from 192.168.0.15: icmp_req=6000 ttl=64 time=0.460 ms

--- 192.168.0.15 ping statistics ---
6000 packets transmitted, 6000 received, 0% packet loss, time 71990ms
rtt min/avg/max/mdev = 0.250/0.412/0.604/0.075 ms
user@mg119:~/Projekte/UDP_Server2$
    
```

ping 192.168.0.15 -c 6000 -i 0.010



## 4. Anwendung UDP Kommandointerpreter



Seite 39



Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | [www.hzdr.de](http://www.hzdr.de)

## Zusammenfassung

- Protokollstapel (Ethernet, ARP, IP, ICMP, UDP)
- 1000BASE-T GMII Interface m. deterministischer Latenz
- Architektur ohne Schichtenpuffer (Data Pull Model)
- ARP / PING Requests werden zuverlässig beantwortet
- Register Map Schnittstelle (Slow Control)
- ASYNC FIFO für schnellen Datentransfer
- UDP Schicht erreicht maximale Sendegeschwindigkeit



Seite 40

Mitglied der Helmholtz-Gemeinschaft  
Philipp Fädisch | Zentralabteilung Forschungstechnik | Abteilung Instrumentierung | [www.hzdr.de](http://www.hzdr.de)

Vielen Dank für Ihre Aufmerksamkeit



## 2. Umsetzung Synthesereport

Module	Partition	Slices*	Slice Reg	LUTs	LUTRAM	BRAM/FFIO	DSP48A1	BUFG	BUFGP	BUFGM	DCM	PLL_ADV	Full Hierarchical Name
***top_inst		179/179	486/486	486/486	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/arg_inst
***eth_inst		144/144	378/378	458/458	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/eth_inst
***eth_mu_inst		12/12	0/0	16/16	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/eth_mu_inst
***eth_rx_inst		87/87	156/156	151/151	16/16	0/0	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/eth_rx_inst
***eth_tx_inst		44/44	143/143	121/121	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/eth_tx_inst
***comp_inst		64/64	189/189	118/118	24/24	1/1	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/comp_inst
***ip_inst		25/25	547/547	575/575	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/ip_inst
***ip_mu_inst		45/45	0/0	181/181	0/0	0/0	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/ip_mu_inst
***media_inst		10/10	88/88	74/74	0/0	0/0	0/0	1/1	0/0	0/0	0/0	0/0	top/box_l0/media_inst
***udp_inst		288/399	376/384	766/1072	385/385	0/22	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/udp_inst
***fast_fifo_inst		58/58	187/187	157/157	0/0	18/18	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/udp_inst/fast_fifo_inst
***slow_fifo_inst		53/53	181/181	149/149	0/0	4/4	0/0	0/0	0/0	0/0	0/0	0/0	top/box_l0/udp_inst/slow_fifo_inst
		1217	2955	3162									
		6822	54576	27288									
		17,84 %	4,4%	11,56%									





## 2. Umsetzung Datenrate 20 Byte UDP Payload

```

user@mg119: ~/Projekte/UDP_Server
SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 10.8094 MB/s (11.3346 MB/s), packageerr: 0, countererr: 1460739
TOTAL : 10.8094 MB/s (11.3346 MB/s) with 22670320 bytes in 2000.100 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 11.1257 MB/s (11.6665 MB/s), packageerr: 0, countererr: 2181576
TOTAL : 11.1257 MB/s (11.6667 MB/s) with 23334480 bytes in 2000.100 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 12.1267 MB/s (12.7163 MB/s), packageerr: 0, countererr: 2963734
TOTAL : 12.1267 MB/s (12.7163 MB/s) with 25433920 bytes in 2000.106 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 11.7121 MB/s (12.2812 MB/s), packageerr: 0, countererr: 3721893
TOTAL : 11.7121 MB/s (12.2812 MB/s) with 24564340 bytes in 2000.100 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 10.9153 MB/s (11.4455 MB/s), packageerr: 0, countererr: 4429304
TOTAL : 10.9153 MB/s (11.4455 MB/s) with 22892220 bytes in 2000.104 ms

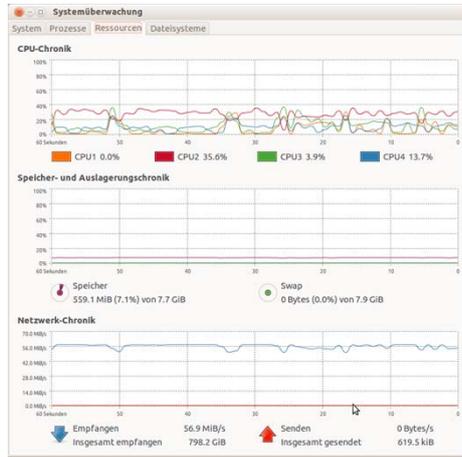
SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 13.4563 MB/s (14.1100 MB/s), packageerr: 0, countererr: 5293717
TOTAL : 13.4563 MB/s (14.1103 MB/s) with 28221980 bytes in 2000.098 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 12.9172 MB/s (13.5448 MB/s), packageerr: 0, countererr: 6117401
TOTAL : 12.9172 MB/s (13.5448 MB/s) with 27091640 bytes in 2000.152 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 10.5561 MB/s (11.0692 MB/s), packageerr: 0, countererr: 6801840
TOTAL : 10.5561 MB/s (11.0692 MB/s) with 22139520 bytes in 2000.103 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 11.2285 MB/s (11.7744 MB/s), packageerr: 0, countererr: 7526728
TOTAL : 11.2285 MB/s (11.7746 MB/s) with 23505220 bytes in 2000.100 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 12.8922 MB/s (13.5187 MB/s), packageerr: 0, countererr: 8358060
TOTAL : 12.8922 MB/s (13.5187 MB/s) with 27638800 bytes in 2000.103 ms
    
```



## 2. Umsetzung Datenrate 128 Byte UDP Payload

```

user@mg119: ~/Projekte/UDP_Server
SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 78.6578 MB/s (82.4785 MB/s), packageerr: 0, countererr: 3452
TOTAL : 78.6578 MB/s (82.4793 MB/s) with 16496656 bytes in 2000.098 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 78.6590 MB/s (82.4800 MB/s), packageerr: 0, countererr: 3452
TOTAL : 78.6590 MB/s (82.4800 MB/s) with 16496804 bytes in 2000.098 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 78.6159 MB/s (82.4367 MB/s), packageerr: 0, countererr: 3760
TOTAL : 78.6159 MB/s (82.4307 MB/s) with 16488150 bytes in 2000.099 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 78.6578 MB/s (82.4805 MB/s), packageerr: 0, countererr: 3760
TOTAL : 78.6578 MB/s (82.4805 MB/s) with 16496900 bytes in 2000.098 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 78.6556 MB/s (82.4781 MB/s), packageerr: 0, countererr: 3760
TOTAL : 78.6556 MB/s (82.4790 MB/s) with 16496576 bytes in 2000.093 ms

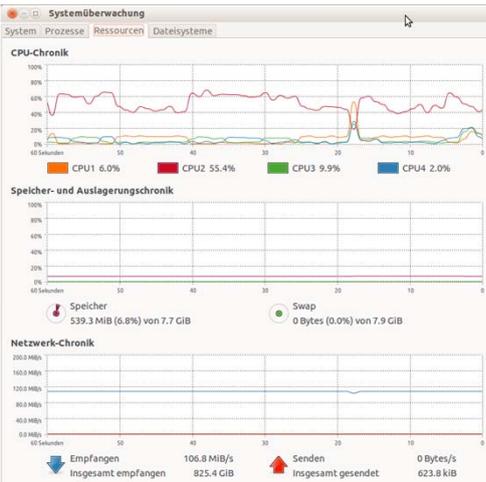
SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 78.6565 MB/s (82.4794 MB/s), packageerr: 0, countererr: 3783
TOTAL : 78.6565 MB/s (82.4794 MB/s) with 16496736 bytes in 2000.103 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 78.3029 MB/s (82.1083 MB/s), packageerr: 0, countererr: 4127
TOTAL : 78.3029 MB/s (82.1083 MB/s) with 16422476 bytes in 2000.099 ms

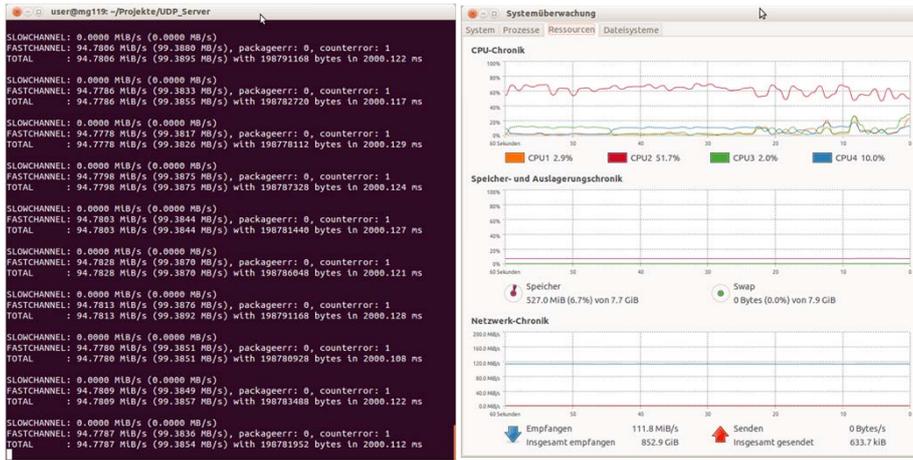
SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 78.3606 MB/s (82.1689 MB/s), packageerr: 0, countererr: 4343
TOTAL : 78.3606 MB/s (82.1689 MB/s) with 164348072 bytes in 2000.133 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 78.1521 MB/s (81.9485 MB/s), packageerr: 0, countererr: 4380
TOTAL : 78.1521 MB/s (81.9485 MB/s) with 16390512 bytes in 2000.100 ms

SLOWCHANNEL: 0.0000 MB/s (0.0000 MB/s)
FASTCHANNEL: 77.9589 MB/s (81.7478 MB/s), packageerr: 0, countererr: 4422
TOTAL : 77.9589 MB/s (81.7477 MB/s) with 163503616 bytes in 2000.100 ms
    
```

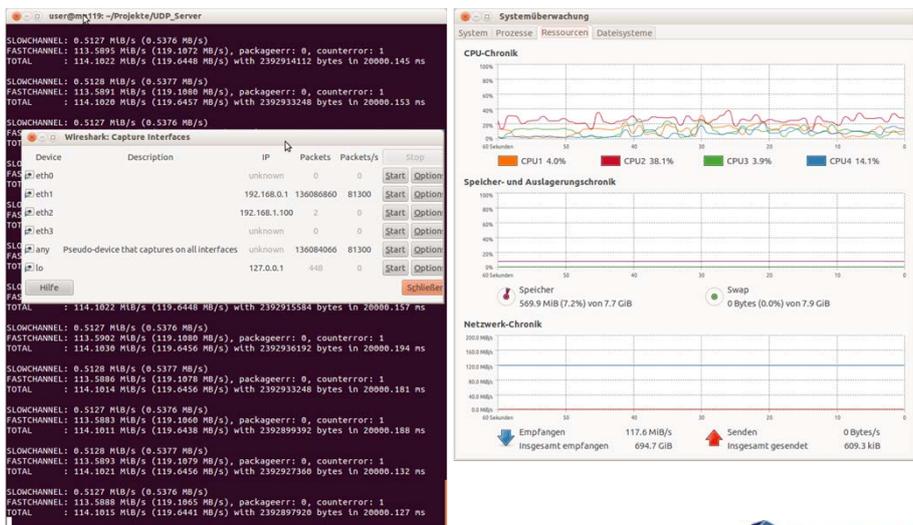


## 2. Umsetzung Datenrate 256 Byte UDP Payload



Seite 47

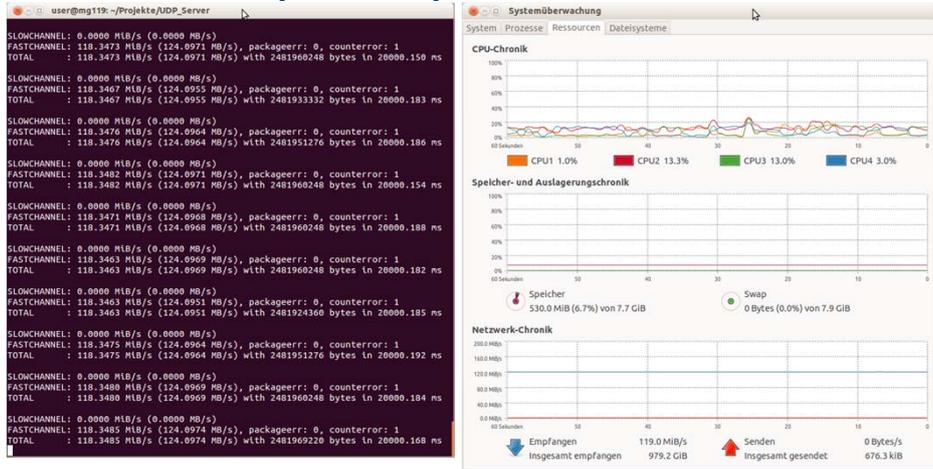
## 2. Umsetzung Datenrate 1472 Byte UDP Payload



Seite 48

## 2. Umsetzung

### Datenrate 8972 Byte UDP Payload



# Digital Camera Trigger for the Cherenkov Telescope Array

March 2015

K.-H. Sulanke

DESY

7/26/2015

K.-H. Sulanke, DESY

SEI Tagung, Zeuthen, 2015-03-02

1

## CTA, Cherenkov Telescope Array

- about 100 telescopes, on the northern & the southern hemisphere
- 3 sizes: LSTs, MSTs and SSTs, similar already exist :



H.E.S.S. in Namibia

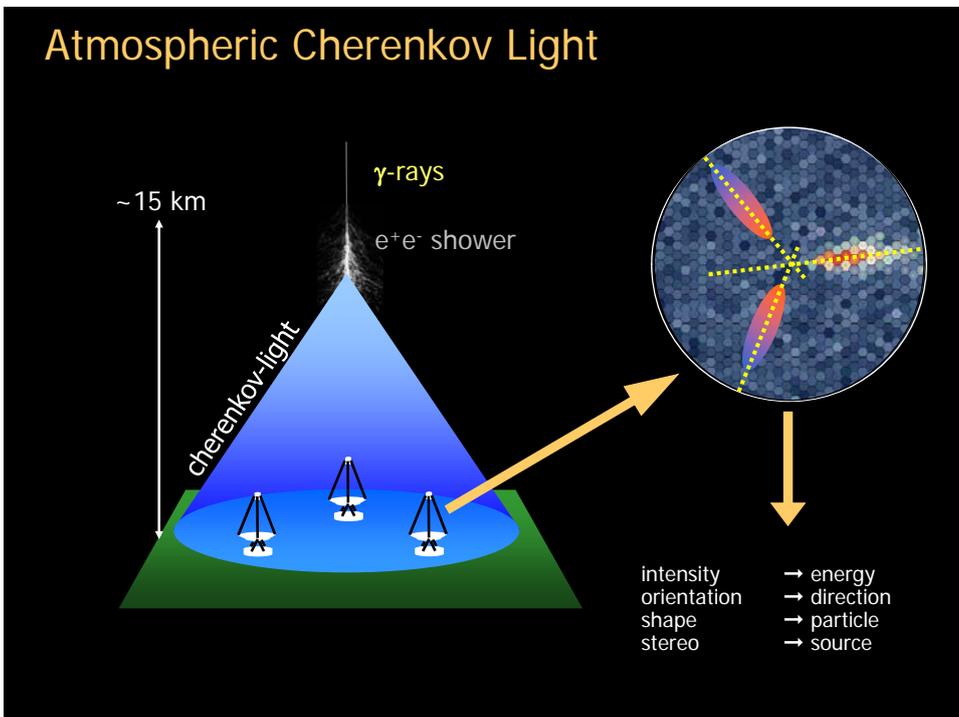


MAGIC auf La Palma

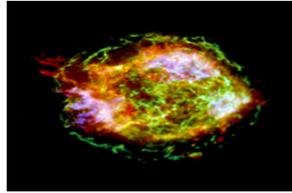


VERITAS in Arizona, USA

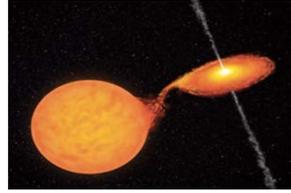
SEI Tagung, Zeuthen, 2015-03-02



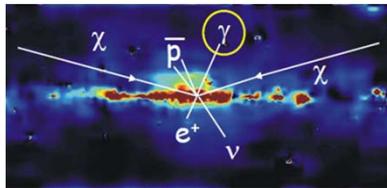
## Sources of Cosmic Rays



Super Nova



Micro Quasare



Dark Matter

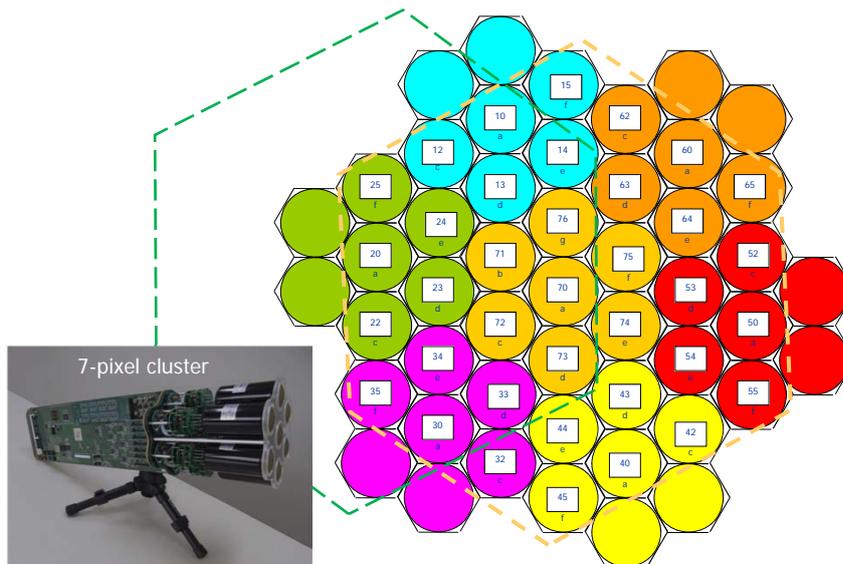
## The MST (Medium Size Telescope) Camera

- PMT based, 265 cluster a  $\sim$  7 PMTs
- PMT-d : 38 mm (1.5 Zoll, z.B. Hamamatsu PMT R11920-100)
- Pixel-grid : 50 mm by Winston cones
- 1855 Pixel
- Size of the pixel-array :  $\sim$  2 qm
- Weight : up to 2000 kg
- extrem light sensitive
- „shutter“ time in the ns region
- self triggered

## Trigger Requirements

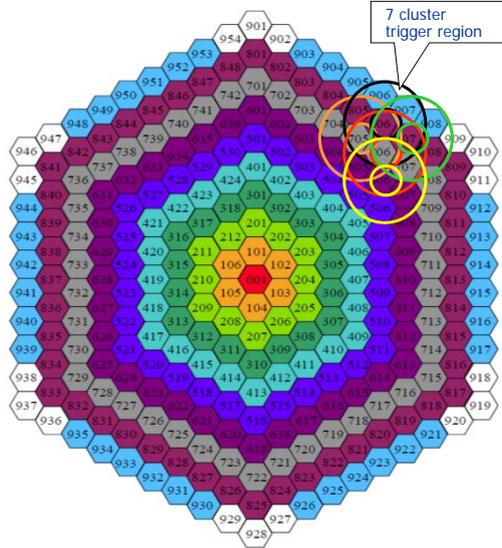
- Design for the MST (Medium Size Telescope) Camera, „NectarCam“, France
  - could also be used for LST (Large Size Telescopes), „DragonCam“, Japan
- Because of the NSB (Night Sky Background), the trigger design is quite challenging
- Single pixel rate can be greater than 100 Mhz
- Basic requirements are
  - Sensitive for weak PMT signals
  - Fast
  - Low latency
  - Low power
  - Cheap
- Alternative to the „Analog Trigger“ designed by Spanish colleagues
  - Based on analog sums of up to 21 pixel
  - Theoretically better for weak and noisy signals (LST)

## 37 Pixel Trigger Region

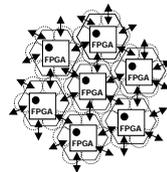
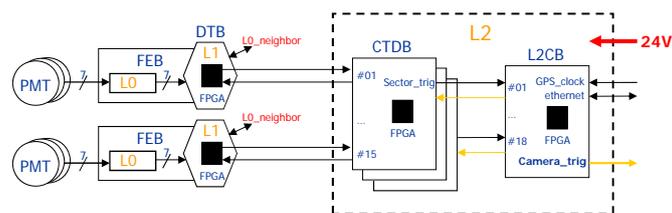


## 37 Pixel Trigger Regions

- clusters (not pixel !) of a MST shown
- Each heagon represents 7 pixel
- the trigger region overlaps by four pixels always



## The Trigger Schema

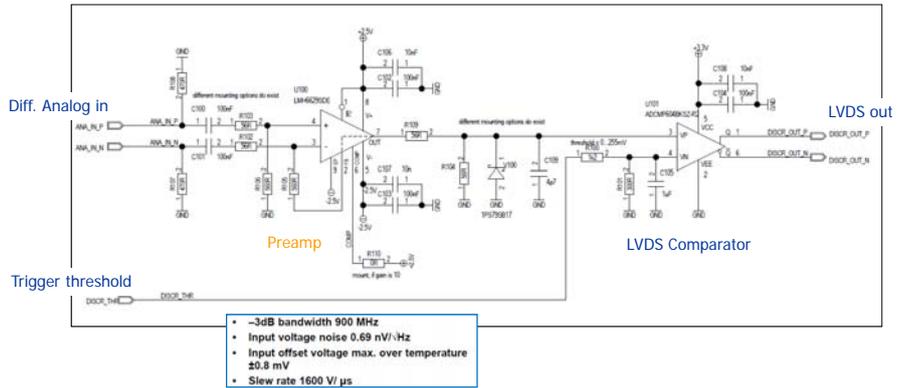
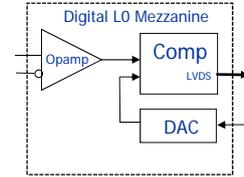


backplane connections

- PMT = Photomultiplier Tube
- FEB = Frontend Board
- DTB = Digital Trigger Backplane
- CDTB = Clock & Trigger Distribution Board
- L2CB = L2 Controller Board

## Digital Trigger L0 Mezzanine Board

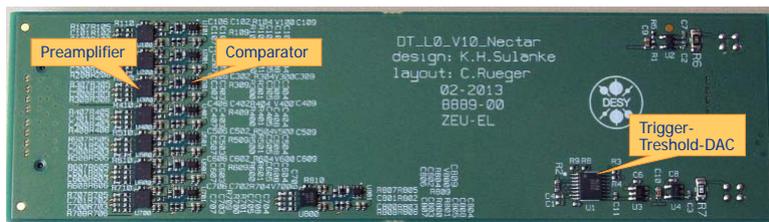
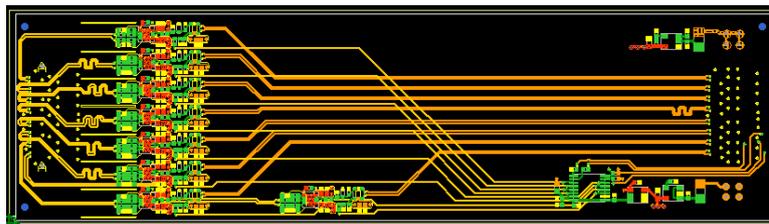
- 7 channels
- Schematic simulated
- LMH6629, very low noise, low offset preamplifier



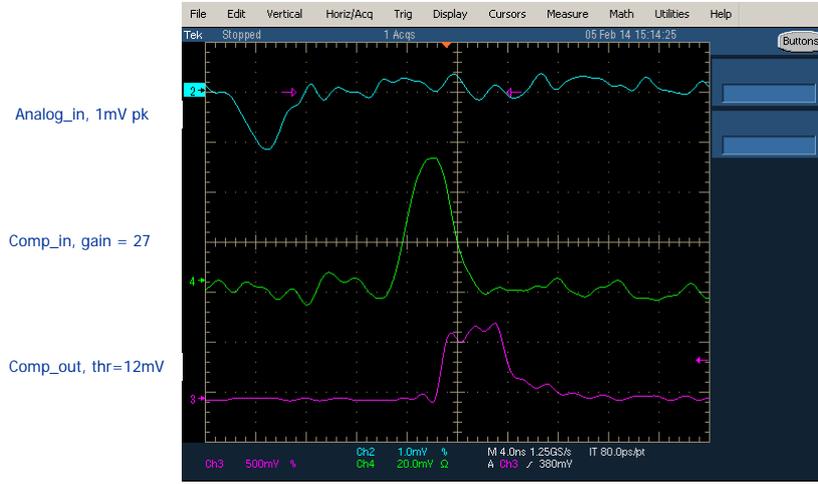
- -3dB bandwidth 900 MHz
- Input voltage noise 0.69 nV/√Hz
- Input offset voltage max. over temperature ±0.8 mV
- Slew rate 1600 V/μs

## Digital Trigger L0 Mezzanine Board

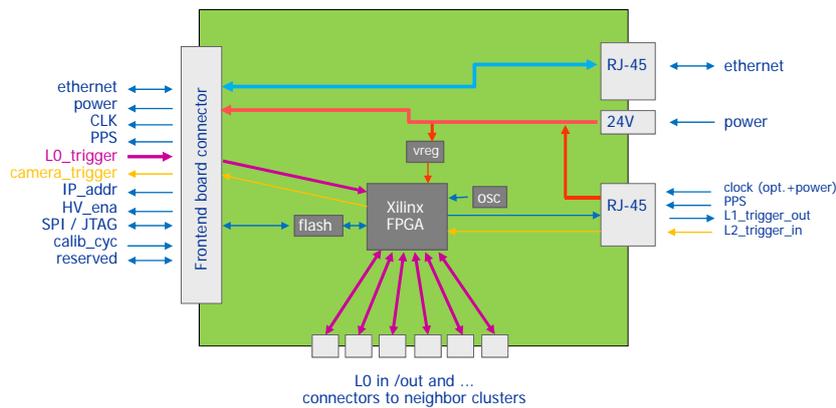
- 6 layer PCB with length-tuned signal lines



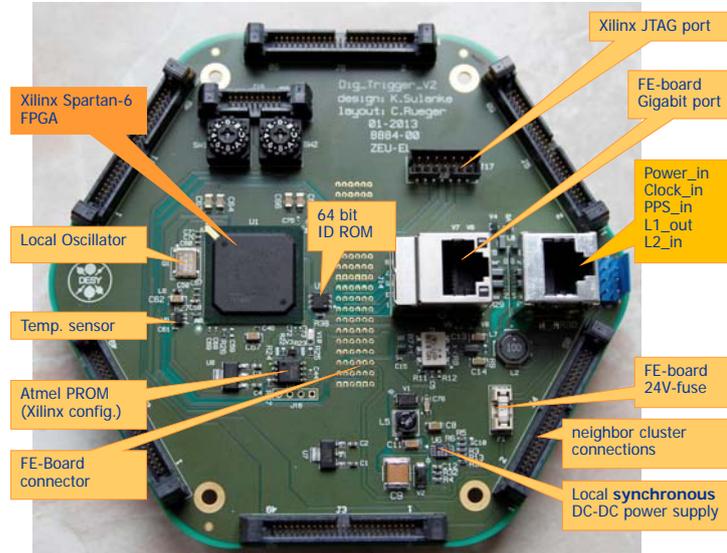
## L0, minimum analog input Level



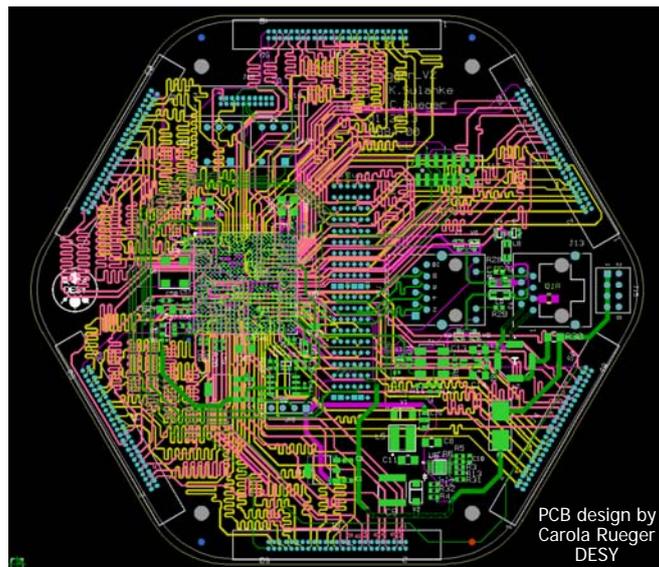
## L1, Digital Trigger Backplane Rev. 2



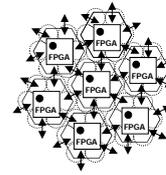
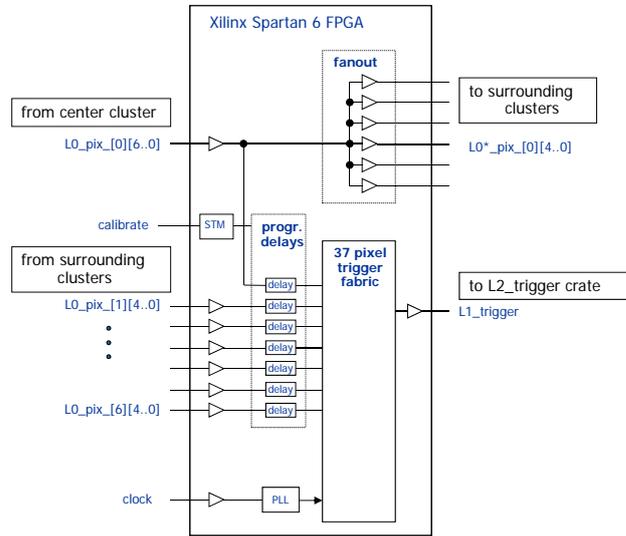
## Digital Trigger Backplane, cont.



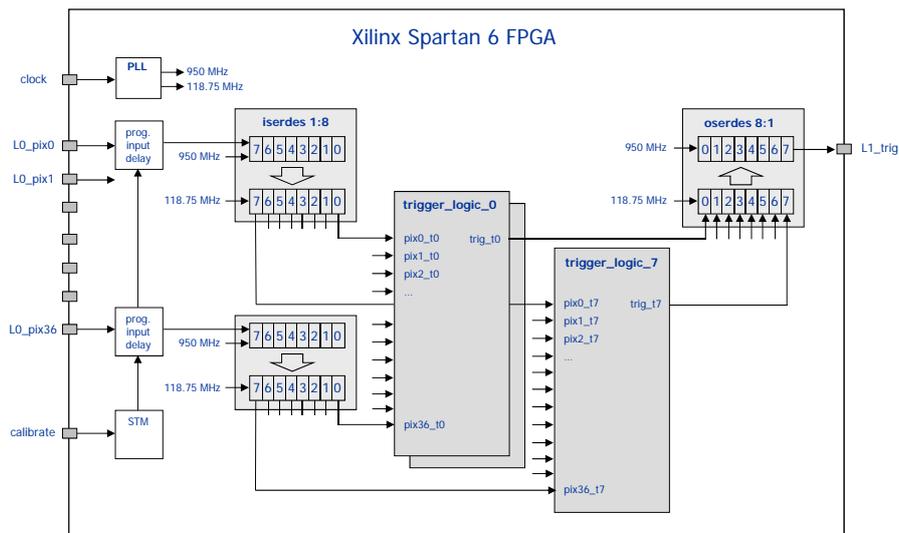
## Digital Trigger Backplane, 8 Layer PCB



## The L1-FPGA's Functionality



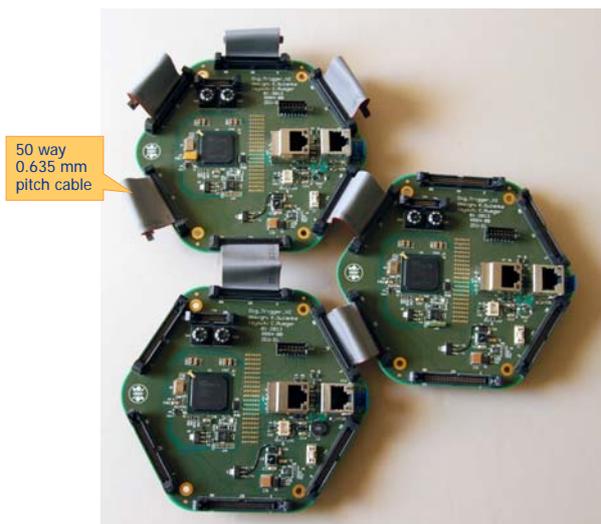
## The L1-FPGA's Functionality, cont.



## 3NN Trigger Firmware

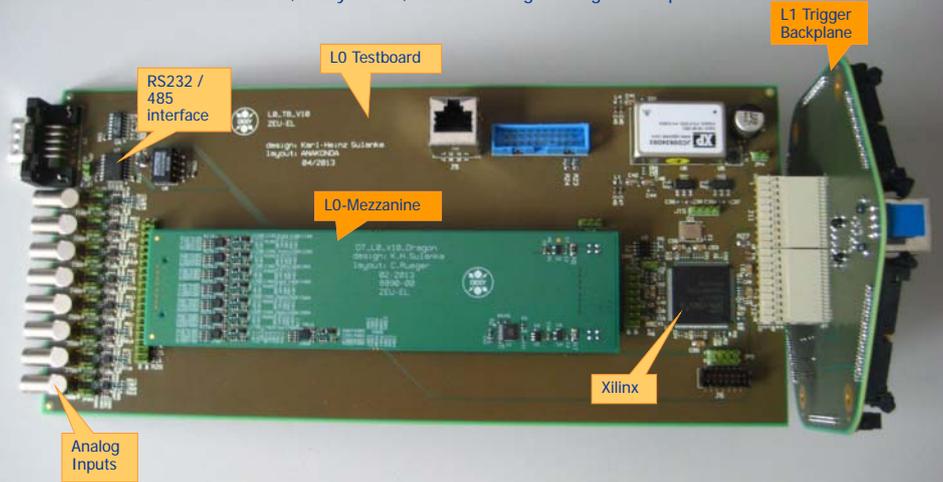
- 3NN ( 3 Next Neighbor) of 37 pixel
  - about 500 possible combinations
- Fully synchronous design
  - local oscillator (25 Mhz) or external clock (100 MHz)
- Trigger latency 120 ns
- Trigger time resolution 1.05 ns (950 Mhz LO-sampling rate)
- Trigger jitter +/- 1.05 ns
- Firmware automatically detects missing neighbor clusters (bit masking)

## L1, Connecting the Trigger Backplanes



## Digital Trigger Test Setup

- 120 mm x 260 mm, 6 Layer PCB, various analog and digital test points

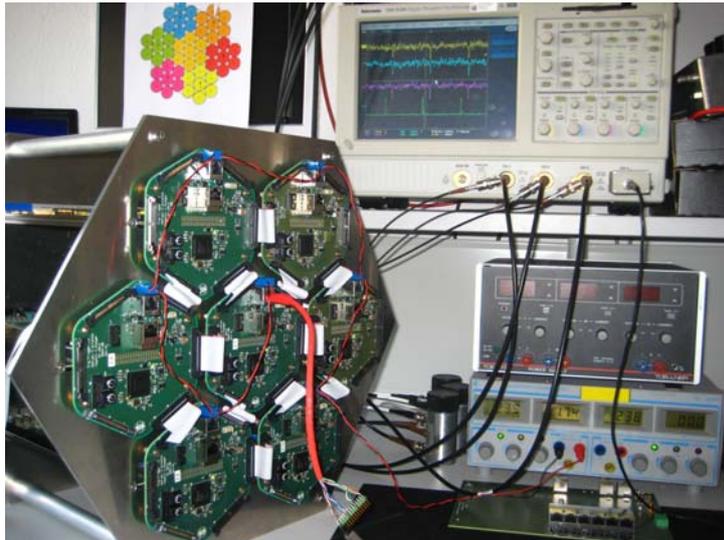


7/26/2015

K.-H. Sulanke, DESY

21

## Digital Trigger Test Setup at DESY



7/26/2015

K.-H. Sulanke, DESY

SEI Tagung, Zeuthen, 2015-03-02

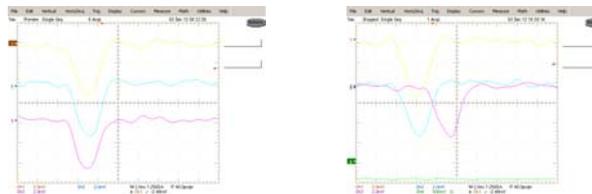
22

## 3NN Trigger Test Results

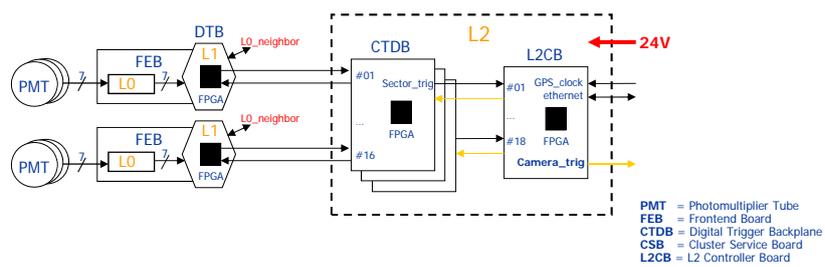
- 100% trigger and 0% trigger situation



- Analog input signals, zoomed time scale

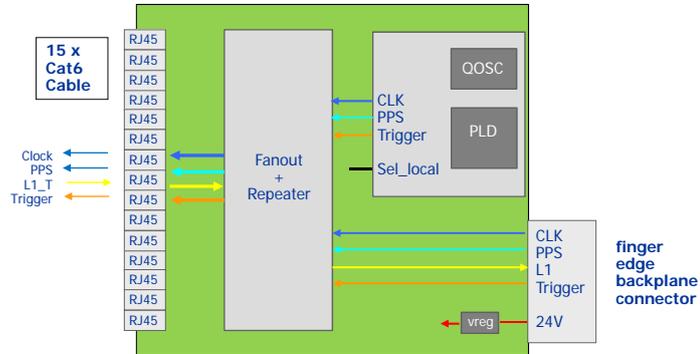


## L2



- L2 still in the design phase
  - will be a crate, ~ 50 x 20 x 20 cm, ~ 11 kg
    - 18 x CTDB (Clock & Trigger Distribution Board)
    - 1 x L2CB (L2 Controller Board)
      - Ethernet interface
      - Optical / electrical camera trigger output

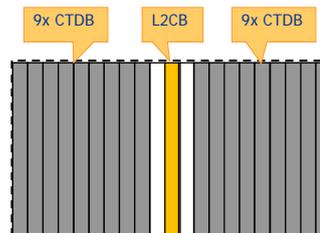
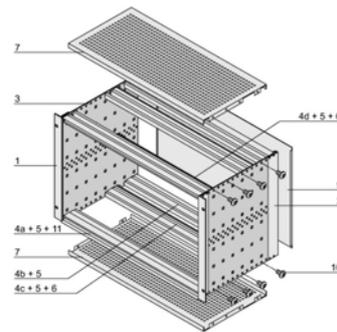
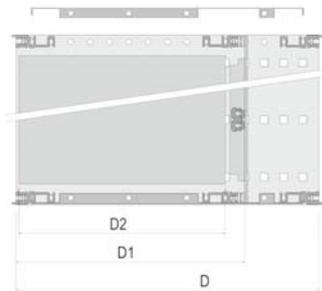
## The Clock & Trigger Distribution Board (CTDB)



- Local mode, clk+pps+trigger by Altera PLD EPM3064, for test purposes
- Schematic design done
- Card size 160 x 233

## The L2-Crate

- Schroff 24563-442
- 6 U, 84 HP (21 slots)
- Card size : 233 x 160 mm
- Preferred slot usage, see below



## Summary

- Main advantage of the digital trigger is its flexibility concerning the trigger algorithm and the simplicity of the overall scheme
- The L0 stage performs very good (signals of 1mV are still detectable)
- First results with the L1 stage, e.g. the 3NN trigger, are encouraging
  - More sophisticated algorithms will follow
  - E.g. a time gradient trigger
- The L2 stage will be designed and tested in 2015
  - Intermediate solution (by Axel Kretzschmann) do exist
- First camera integration tests in 2014 successful
- Not yet clear who makes it finally, the analog or the digital trigger ?

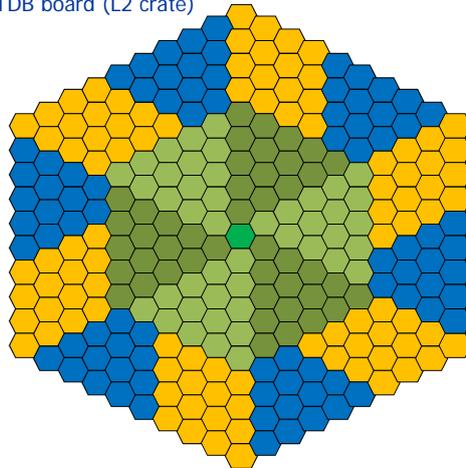
## Outlook

- 19 cluster „Demonstrator“ test planned in Q4 2015
  - NectarCam (MST, France)
    - Nectar chip based (analog pipeline chip)

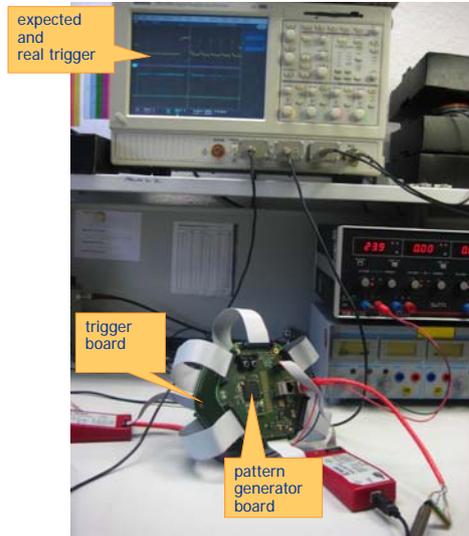
## Back Up Slides

## L2 Trigger Sectors, MST, Example

- 271 cluster shown (1897 pixel)
- Each sector comprises 14..16 clusters and is connected to a certain CTDB board (L2 crate)



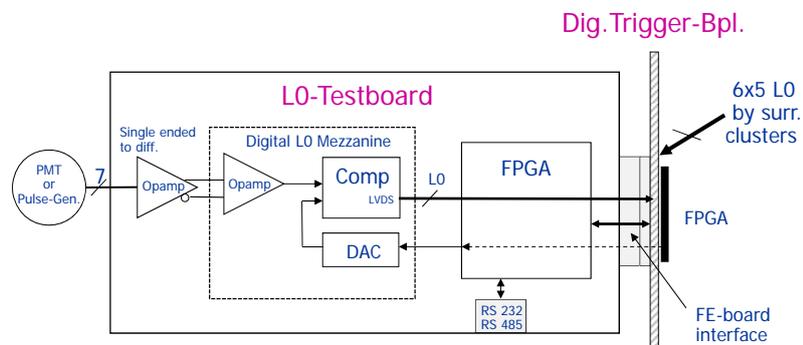
## Test Setup w. Pattern Generator



- DTB used as pattern generator board
- e.g. for 3NN pattern
- time resolution is 1.05 ns

## Digital Trigger Test Board

- Testing the LO boards AND the FE-board interface of the Dig. Trigger Backplane
- Xilinx with RS232 / RS485 interface, to set the discriminator thresholds etc.



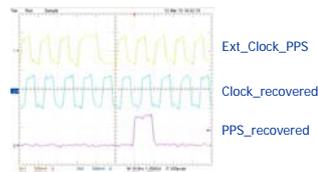
## Digital Trigger Backplane, List of Key Hardware Features

- Nominal power consumption: 1.5 W
- Weight : 95 g + 10 g cabling to neighbor clusters -> 28 kg for MST
- Automatic neighbor cluster recognition (border zone)
- Synchronous DC-DC converter (24 V to 3.0 V ...)
- Local clock and external clock input (any diff. > 0.1V pk-pk)
- FPGA load by JTAG cable or PROM or remote (by FE board)
- 6 x bidirectional L0 signal connection with neighbor cluster
- Temperature sensor (allows automatic delay correction, if needed)
- adjustable 8 bit cluster position ID (for unique, position-independent, firmware)
- Gigabit ethernet pass through connection to FE-board
- RJ 45 connector as combined power and clock input (single cat5e cable)

## Combined Power and Clock Input

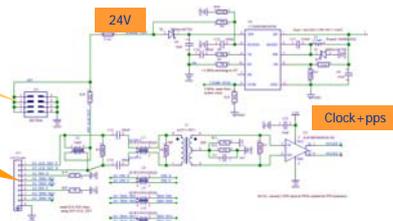
- 24V, clock, and PPS over a single wire pair
- requires a single cat5e cable per cluster only (+ gigabit ethernet cable)
- Current spikes of 0.8 A did not influence the (recovered) clock quality

Cat5e - Wire Pair	Standard mode	Combined mode
1	Clock_in	Clock_in / PPS_in / 24V
2	PPS_in	GND
3	Trig_L1_out	Trig_L1_out
4	Trig_L2_in	Trig_L2_in



Alternative Power conn.

Combined Power and Clock input

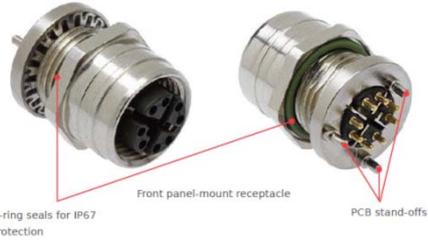


## M12 Cat6 , Combined Power / Clock Input

- Instead of RJ45, more robust
- by Harting, Molex, ...

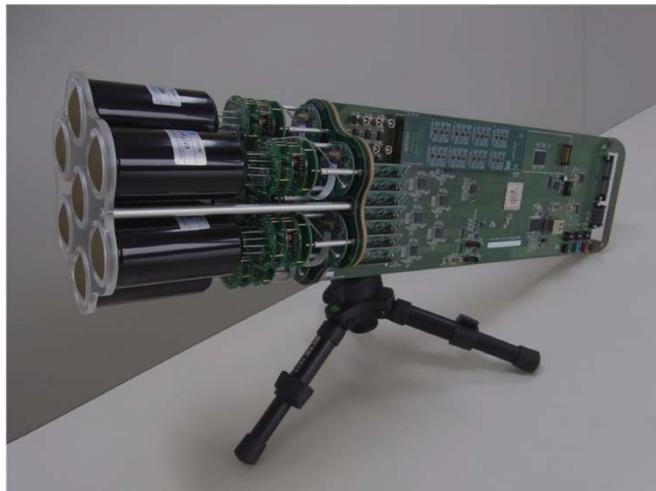


M12 Male-to-Male Cable Assemblies



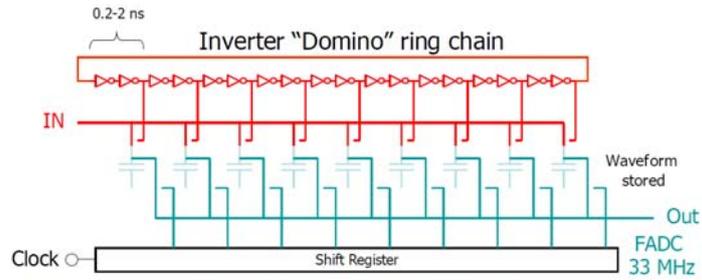
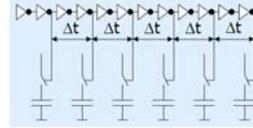
To be replaced by M12

## 7-PMT-Cluster "DragonCam"



## Analog Pipeline Chip

- 500 MHz ... 5 GHz sampling rate



"Time stretcher" GHz → MHz

Keep Domino wave running in a circular fashion and stop by trigger → Domino Ring Sampler (DRS)

## Das Triggersystem in der Hess1 Upgrade Camera

Es wird ein Überblick über die Funktionalität des Triggersystems der Hess1-Upgrade-Camera gegeben. Es werden die Komponenten und deren Leistungsfähigkeit vorgestellt und mit denen aus der Originalkamera verglichen. Ein zentrales Element ist ein neu entwickelter DAC in differentieller Technik. Vor- und Nachteile des Systems werden diskutiert.



## H.E.S.S. Experiment - Voraussetzungen für das Upgrade

- > Teleskop Array zur Untersuchung von astronomischen Objekten, die Gammastrahlung aussenden
- > H.E.S.S. I → 4 Teleskope in Betrieb seit über 10 Jahren



Stetig steigende Ausfallrate  
Verkabelung/Steckverbindungen, Netzteile

Vergleich zum H.E.S.S.II Teleskop:  
Geringere Performance  
Höhere Totzeit

Keine Änderungen an  
- physikalischen System (Segmentierung etc)  
- Kamera-Mechanik  
- Photomultiplier (PMT), der PMT Basen  
- externer Hard- und Software

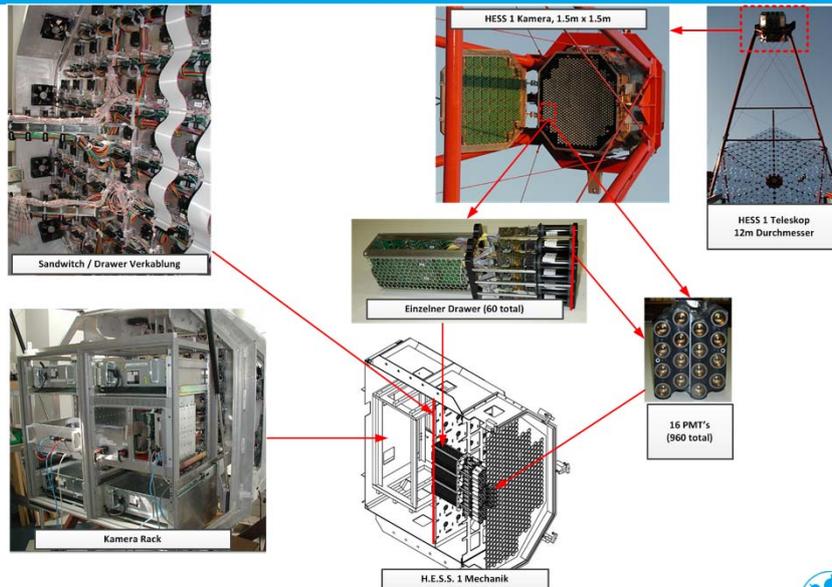


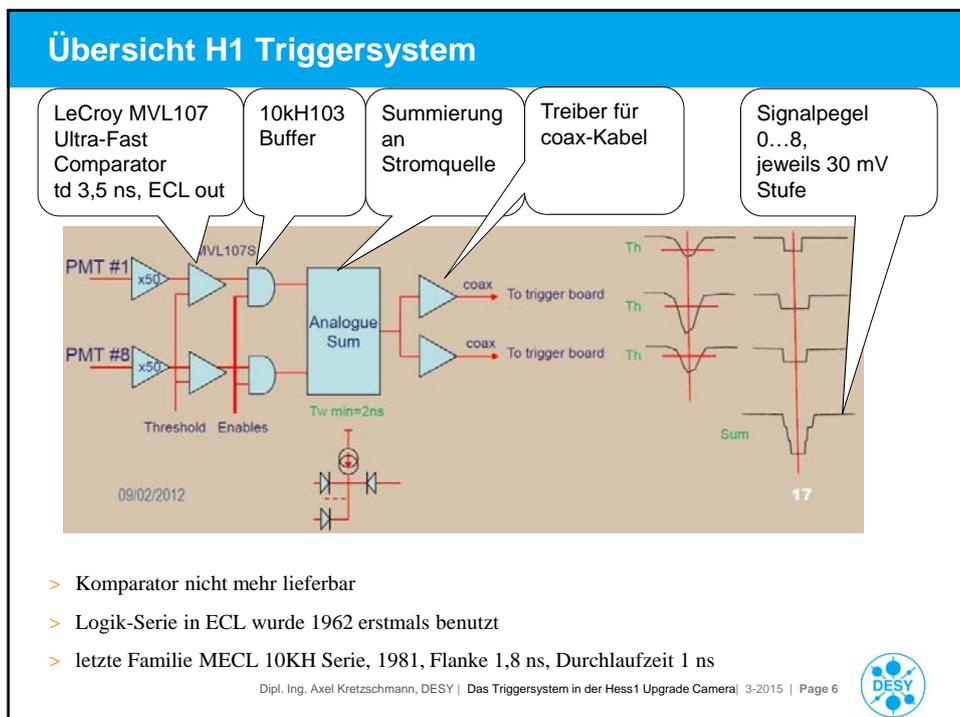
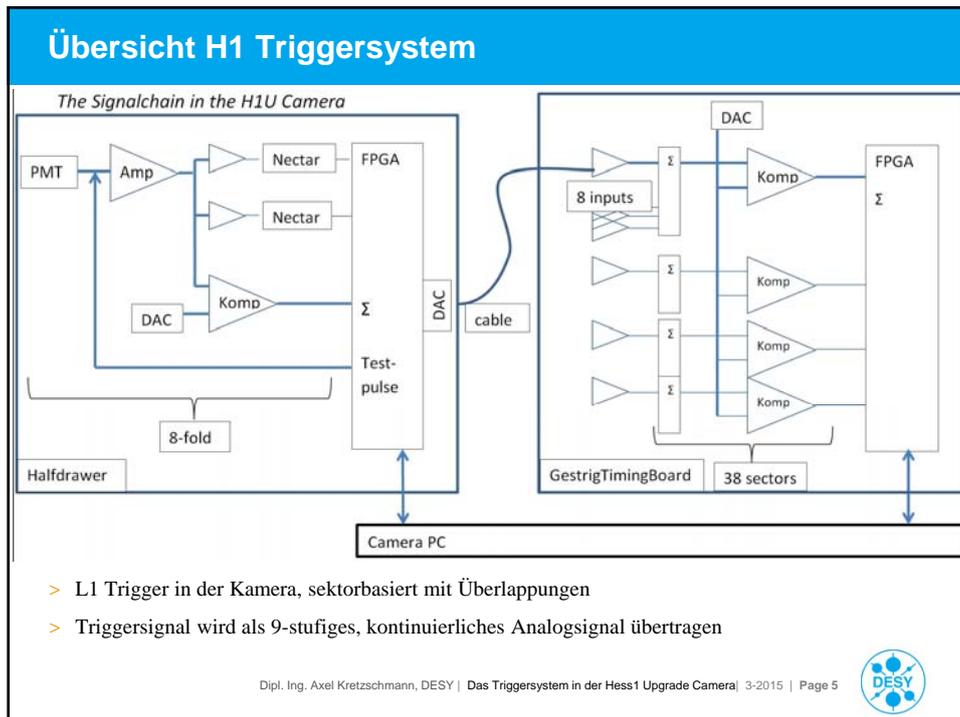
## Zeitplan

- > 1999: "Proposal for the HESS experiment electronics" (LPNHE-PARIS), neues Konzept gegenüber HEGRA: alle Elektronik in der Kamera
- > 2002: 2 Systeme arbeiten, "first events"
- > 2012: erste Überlegungen zum Kamera-Upgrade
- > 2012: H.E.S.S. II telescope beginnt zu arbeiten
- > 2013-14: (Re-)Design, Produktion und Test aller elektronischen Komponenten in der Kamera (DESY)
- > 2015: Test der ersten Kamera nach Upgrade
- > 2016: Upgrade aller Kameras und Beginn physikalischer Messungen zusammen mit H.E.S.S. II
- > 20xx: CTA arbeitet

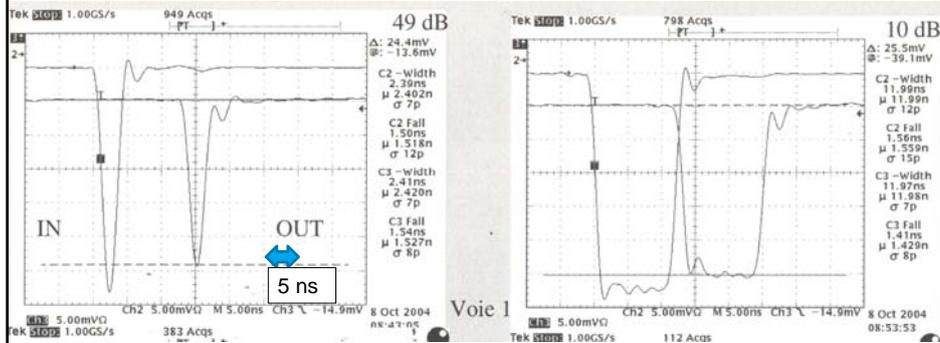


## H.E.S.S. I - Kamera

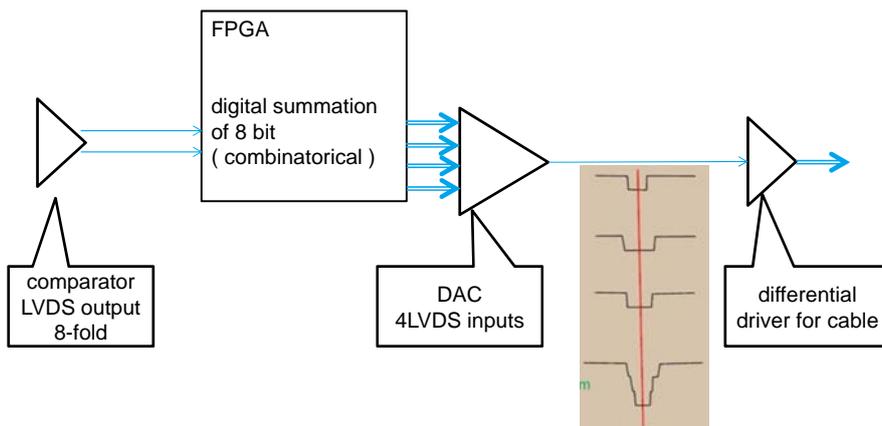




## Performance H1 Triggersystem: Flanken ca 1,5 ns



## Übersicht H1-Upgrade Triggersystem: Summenbildung



### mögliche DAC Varianten

a) kommerzieller  
12 bit DAC

b) diskreter 4 bit DAC  
mit summierenden  
OPV

Streukapazität klein halten bei CFB-OPV

Dipl. Ing. Axel Kretzschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 9

### mögliche DAC Varianten

high speed, differential amplifier

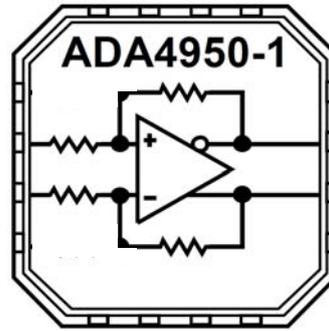
all Rs = 499

Dipl. Ing. Axel Kretzschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 10

## mögliche DAC Varianten

ADA4950:  
 high speed, differential amplifier  
 bandwidth: 750 MHz -3dB  
 210 MHz -0,1dB  
 100 mW

High performance at low power  
 High speed  
 Low harmonic distortion  
*ideal* choices for ...  
 differential-to-differential amplifiers



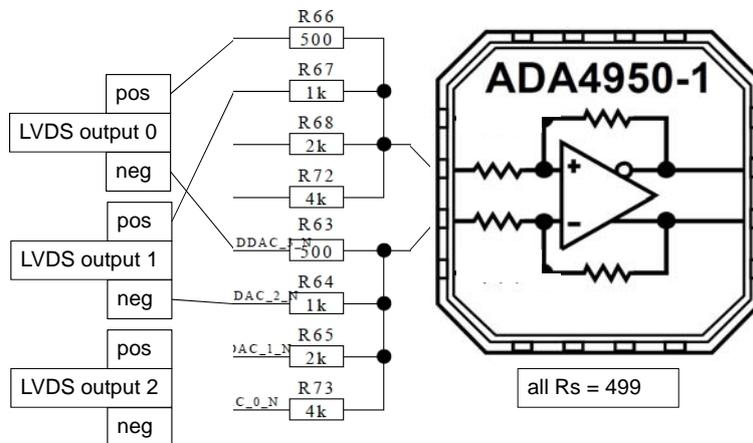
all Rs = 499



## diskreter, voll differentieller 4 bit DAC

Erfinder: Axel Kretzschmann  
 DESY Zeuthen,  
 2012

ADA4950:  
 high speed, differential amplifier  
 bandwidth: 750 MHz -3dB  
 210 MHz -0,1dB



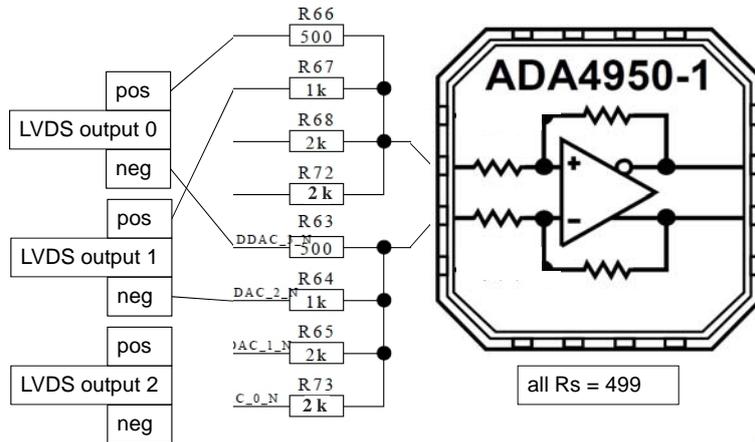
all Rs = 499



**c) diskreter, voll differentieller 3½ bit DAC für Signalpegel 0..8**

Erfinder: Axel Kretzschmann  
DESY Zeuthen,  
2012

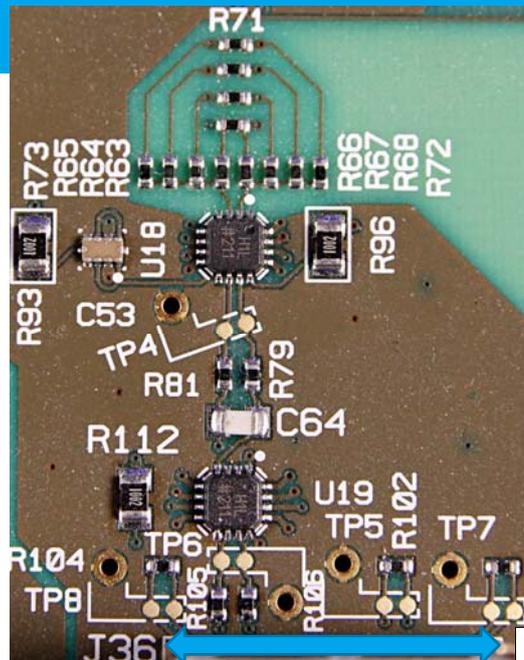
ADA4950:  
high speed, differential amplifier  
bandwidth: 750 MHz -3dB  
210 MHz -0,1dB



Dipl. Ing. Axel Kretzschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 13



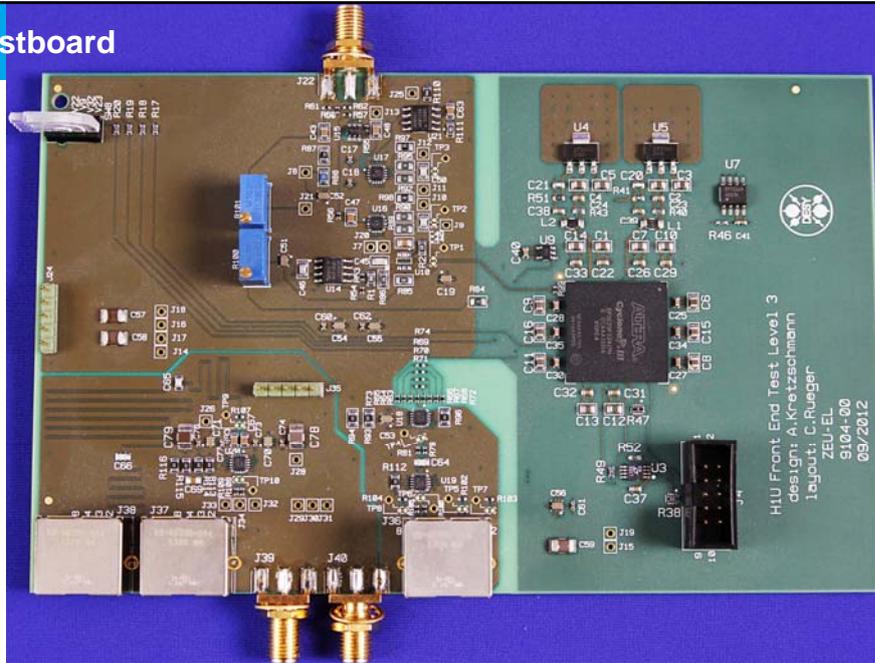
**Layout**



Dipl. Ing. Axel Kretzschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 14



### Testboard



Dipl. Ing. Axel Kretzschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 15

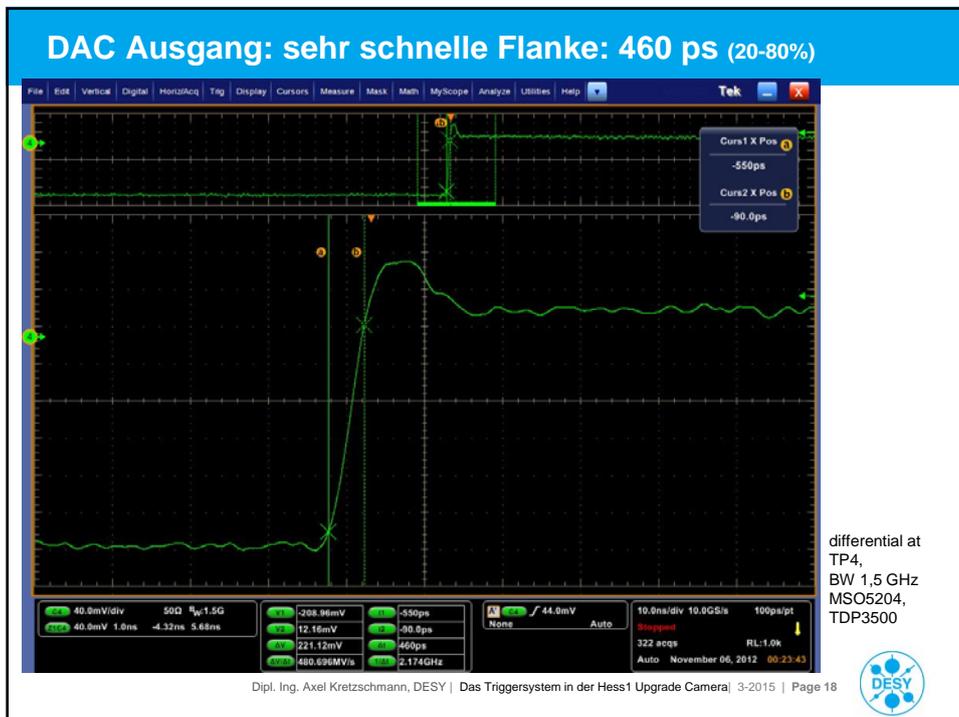
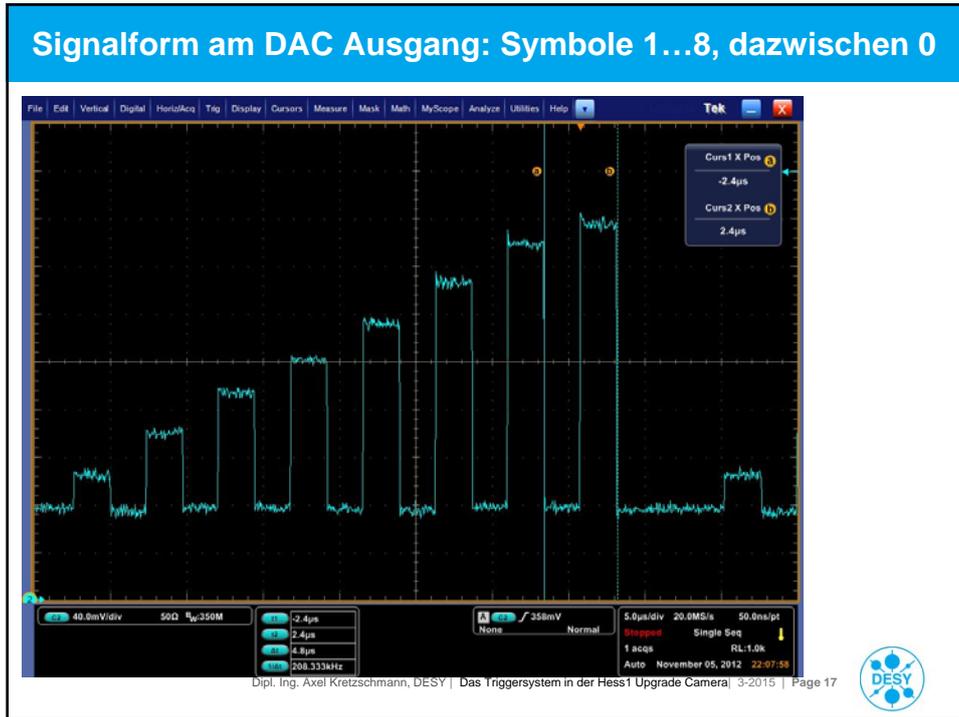


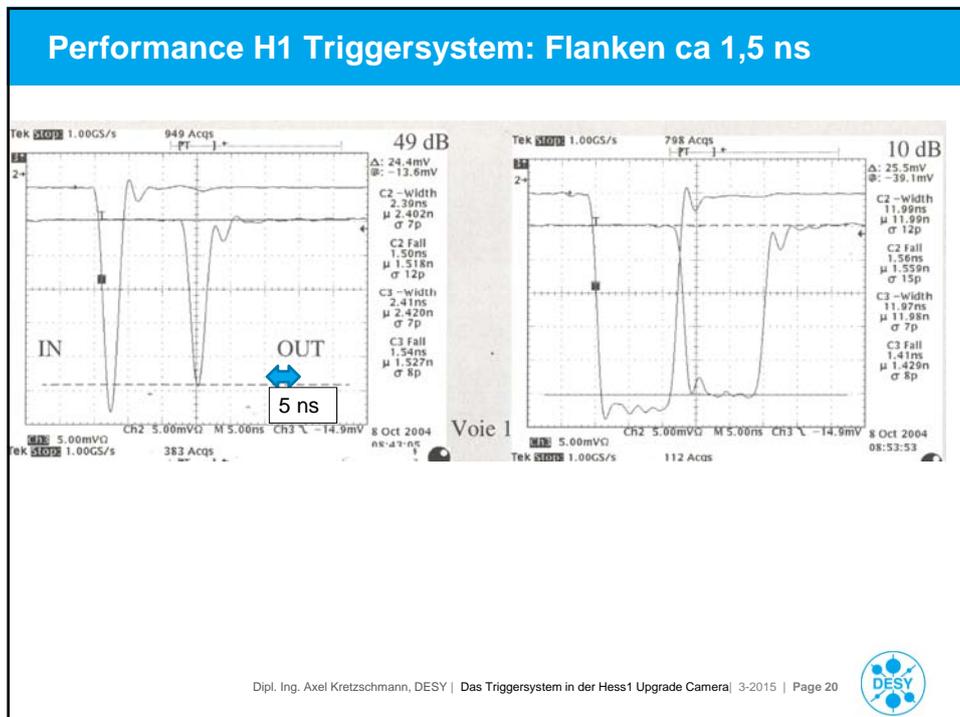
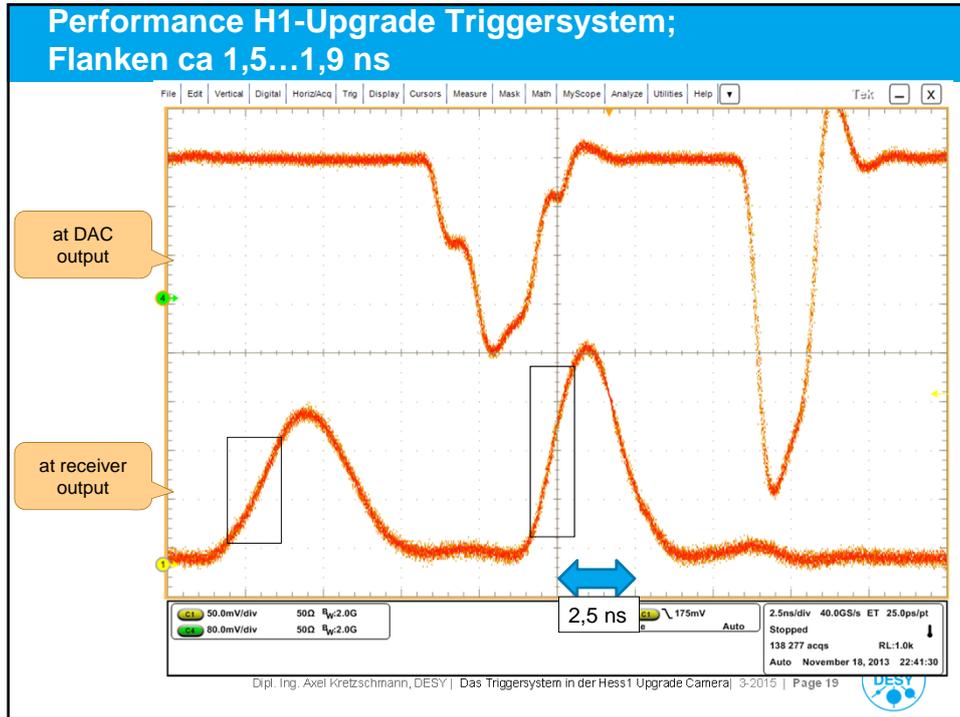
### Testaufbau

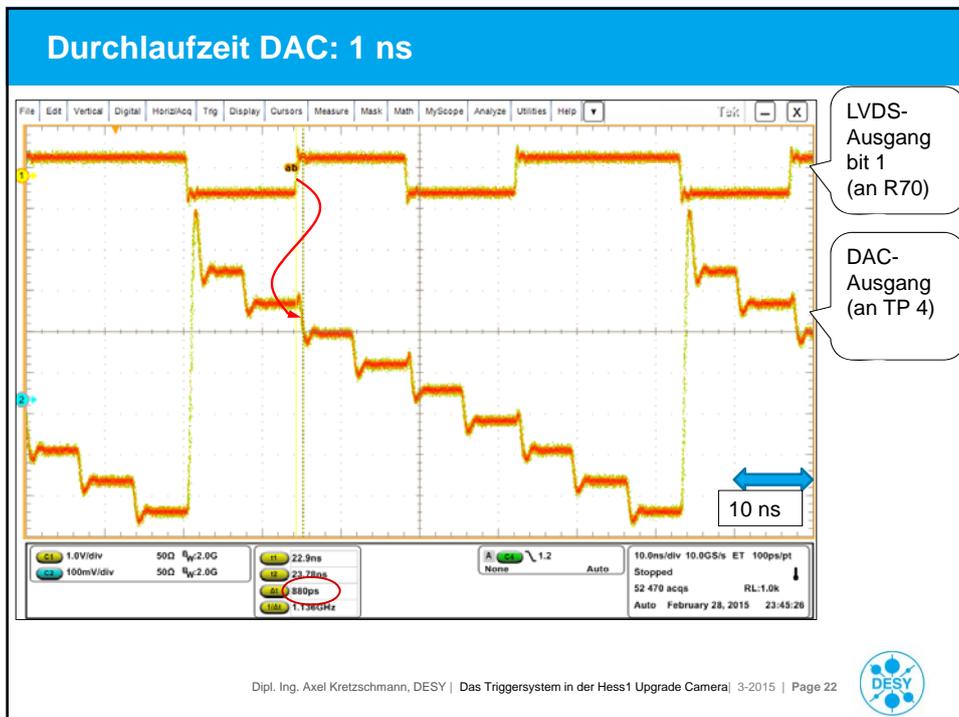
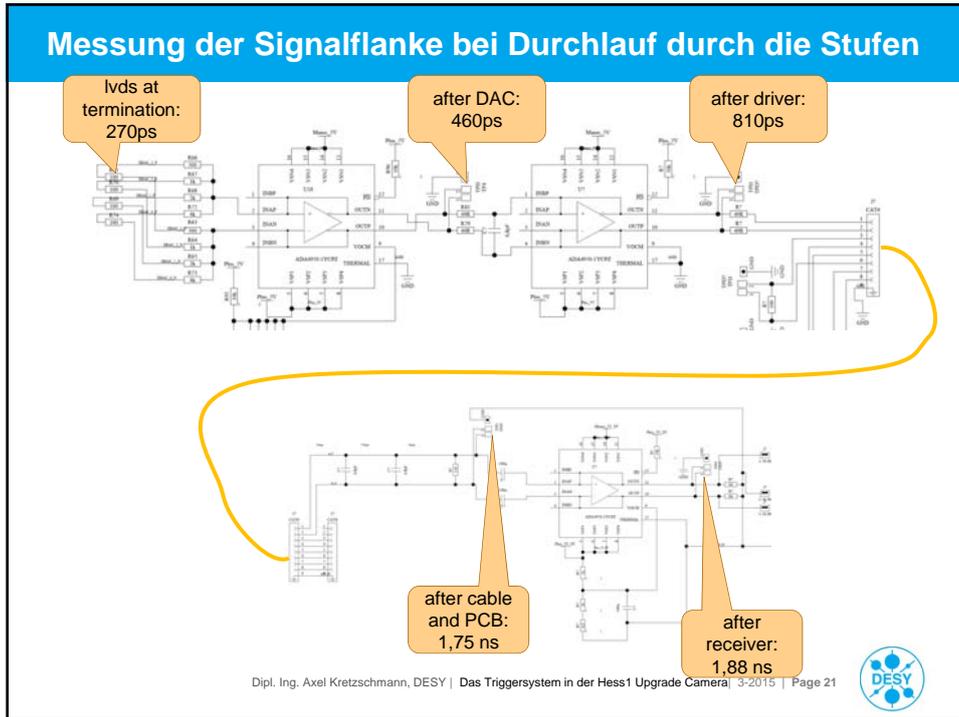


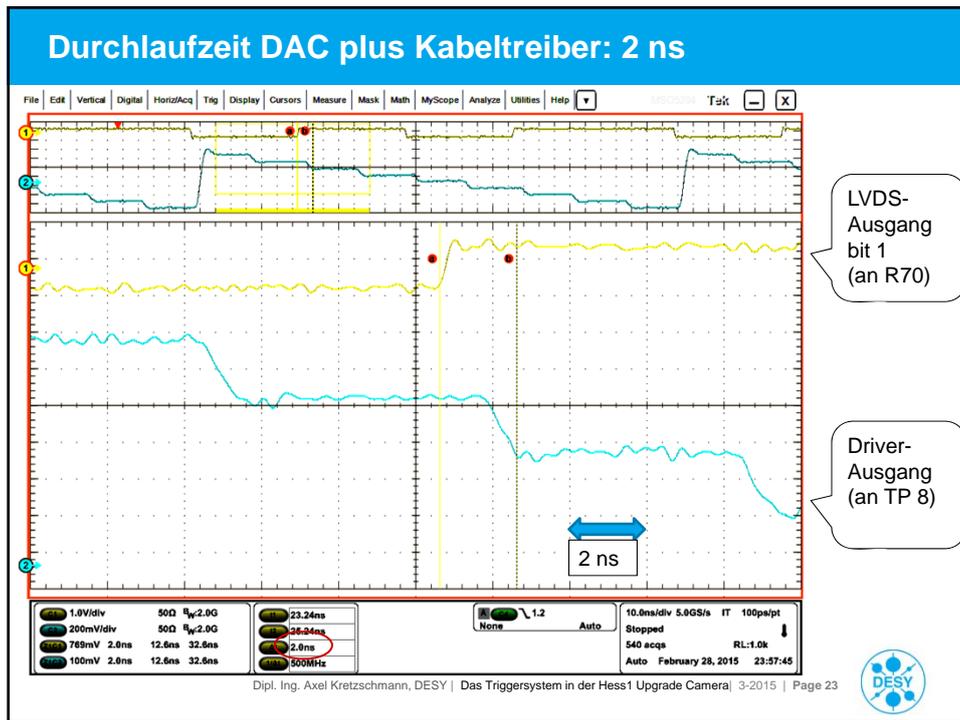
Dipl. Ing. Axel Kretzschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 16











### Stützkondensator der Betriebsspannung

- > MURATA Ten Terminals Low ESL Type, "LLM215C70G155" 1,5 uF for 3,3 Volt
- > Low ESL (45pH), suitable to decoupling capacitor for 2GHz clock speed
- > "...Since the equivalent series inductance (ESL) is even lower ... with excellent high frequency characteristics, this capacitor is *ideal* for power supply decoupling of high-speed operation IC..."

Effectiveness of Suppressing Inductance when Mounting a Multi-terminal Capacitor

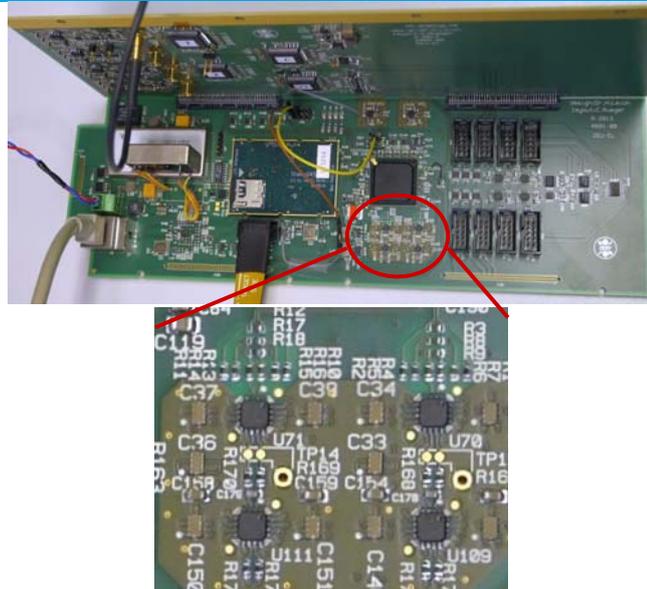
The inductance for the boards also becomes lower, not only the capacitor.

perfekte Umsetzung im Layout:  
7 vias zu innenliegendem GND + Toplayer  
und 7 vias zu Vcc

vereinfachte Umsetzung im Layout:

Dipl. Ing. Axel Kretzschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 24

## Implementierung in die Ausleseelektronik



Dipl. Ing. Axel Kretschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 25



## Vorteile, Nachteile

- > Umsetzung von digital LVDS in differential Analog
- > schnell, präzise, wenig Verlustleistung, billig
  
- > Temperaturgang der Amplitude der (FPGA-)LVDS-Ausgänge ist bestimmend
- > Ungleichzeitigkeit der (FPGA-)LVDS-Ausgänge beeinflusst Signalform
- > sorgfältiges Layout ist wichtig
  
- > noch nicht spezifiziert: Rauschen

Dipl. Ing. Axel Kretschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 26



## FPGA Programmierung, Variante 1

Implementation of a 8-bit adder in Altera FPGA, continuously addig, unlocked



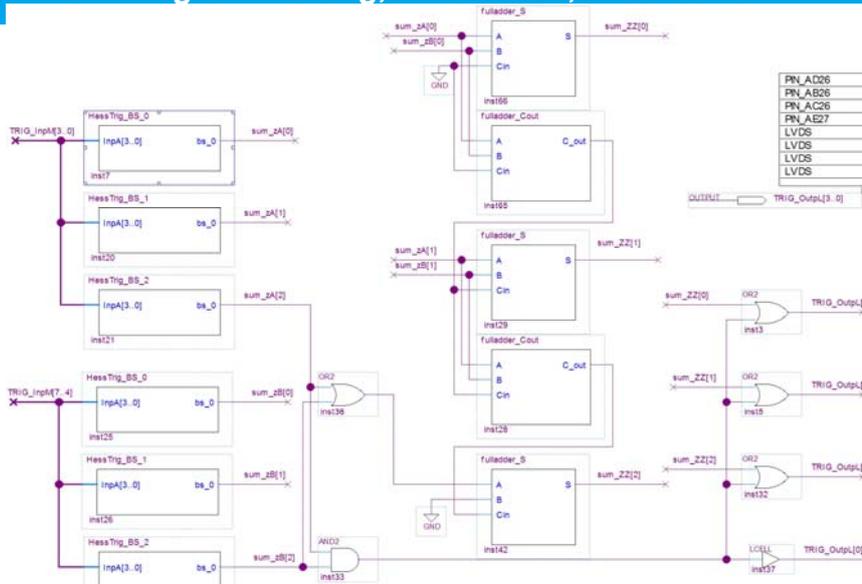
```

1  HessTrigV1.vhd
2  -- Company: DESY
3  -- Author: M. Leich
4  -- 09-09-2012
5  --
6  library IEEE;
7  use IEEE.std_logic_1164.all;
8  use IEEE.numeric_std.all;
9  --
10 entity HessTrigV1 is
11     port (
12         InpA : IN std_logic_vector(3 downto 0);
13         InpB : IN std_logic_vector(3 downto 0);
14         SumTrig : out std_logic_vector(3 downto 0)
15     );
16 end HessTrigV1;
17
18 -- Architecture behavior of HessTrigV1 is
19
20     signal InpAtmp : unsigned(3 downto 0);
21     signal InpBtmp : unsigned(3 downto 0);
22
23 begin
24
25     with InpA select
26         InpAtmp <= "0000" when "0000",
27                 "0001" when "0001",
28                 "0010" when "0010",
29                 "0011" when "0011",
30                 "0100" when "0100",
31                 "0101" when "0101",
32                 "0110" when "0110",
33                 "0111" when "0111",
34                 "1000" when "1000",
35                 "1001" when "1001",
36                 "1010" when "1010",
37                 "1011" when "1011",
38                 "1100" when "1100",
39                 "1101" when "1101",
40                 "1110" when "1110",
41                 "1111" when "1111",
42                 (others => '0') when others;
43
44     with InpB select
45         InpBtmp <= "0000" when "0000",
46                 "0001" when "0001",
47                 "0010" when "0010",
48                 "0011" when "0011",
49                 "0100" when "0100",
50                 "0101" when "0101",
51                 "0110" when "0110",
52                 "0111" when "0111",
53                 "1000" when "1000",
54                 "1001" when "1001",
55                 "1010" when "1010",
56                 "1011" when "1011",
57                 "1100" when "1100",
58                 "1101" when "1101",
59                 "1110" when "1110",
60                 "1111" when "1111",
61                 (others => '0') when others;
62
63     SumTrig <= std_logic_vector(InpAtmp + InpBtmp);

```

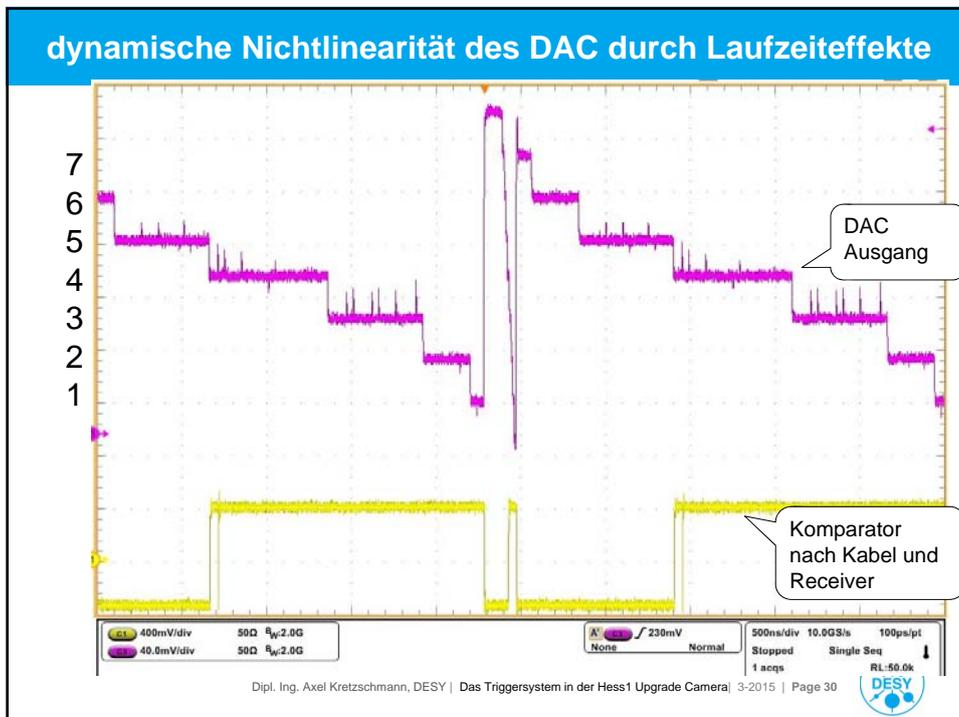
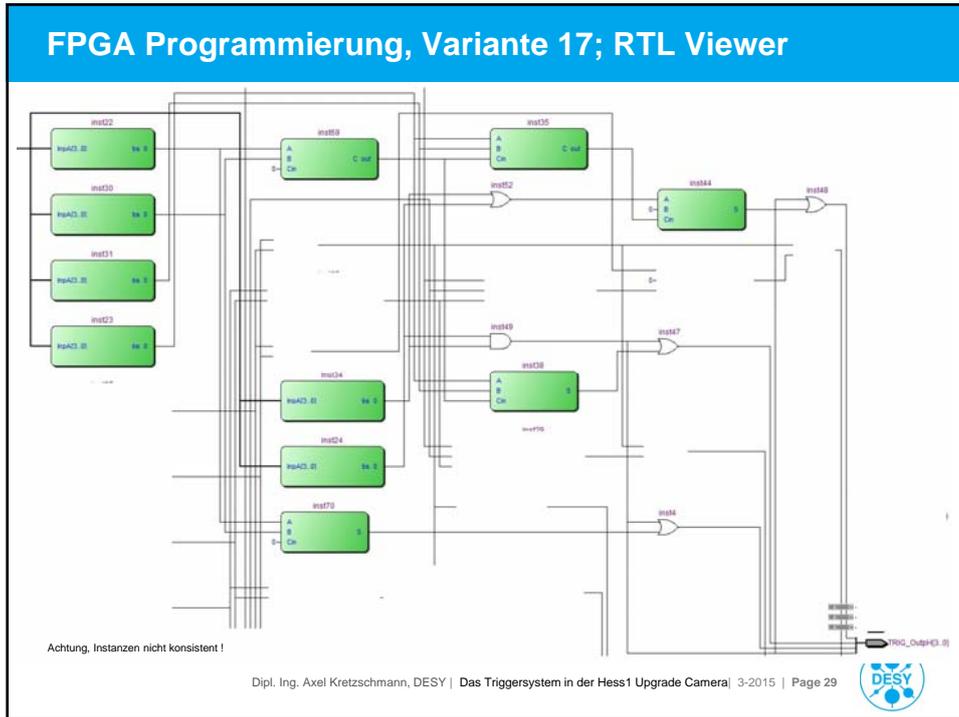
Dipl. Ing. Axel Kretschmann, DESY | Das Triggersystem in der Hess

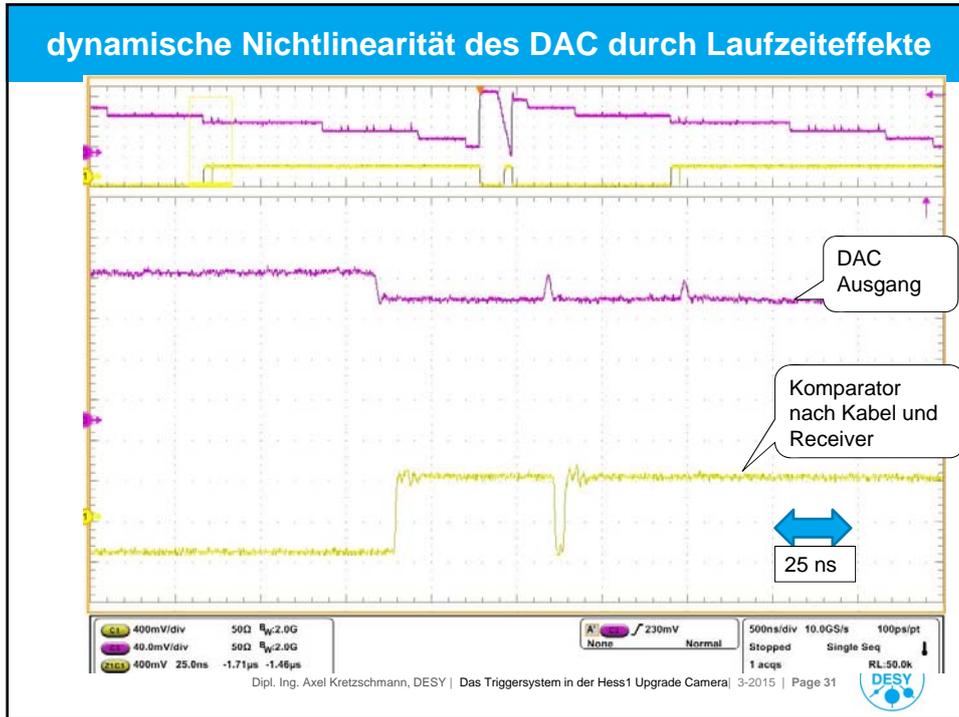
## FPGA Programmierung, Variante 17, Blockeditor



Dipl. Ing. Axel Kretschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 28







### from digital to analogue within 1 ns

FPGA:  
look up table  
combinatorial  
or  
clocked

**3½ bit DAC**

- propagation delay: 1 ns
- slew rate: 0,5 ns
- LVDS inputs
- analogue differential output
- power consumption: 100 mW

contact:

Axel Kretzschmann  
DESY Zeuthen  
axel.kretzschmann@desy.de

Dipl. Ing. Axel Kretzschmann, DESY | Das Triggersystem in der Hess1 Upgrade Camera | 3-2015 | Page 32

## Quellenangabe

- > p24: Bild 10 term cap: <http://psearch.murata.com/capacitor/lineup/llm/>
- > p4: slide "H.E.S.S. I – Kamera" von Marek Penno; DESY Zeuthen
- > p6: Bild H1 Trigger: Talk von Patrick Nayman "HESS-I Electronics Upgrade" 2012, LPNHE, Paris
- > p7: Messung H1 Triggersignal: Francois Toussene, LPNHE, Paris
- > p27: FPGA Adder: Holger Leich; DESY Zeuthen
- > p30: Software zu Messungen für "dynamische Nichtlinearität des DAC durch Laufzeiteffekte": Marco Kossatz ; DESY Zeuthen



SEI Tagung März 2015

## Datenverbindung zwischen Schiffen und Zeppelin zur Erkundung von Strömungswirbeln

Oliver Listing HZG/TKE

02.03.2015 / Zeuthen

 **Helmholtz-Zentrum  
Geesthacht**  
Zentrum für Material- und Küstenforschung

### Agenda

 **Helmholtz-Zentrum  
Geesthacht**  
Zentrum für Material- und Küstenforschung

- **Vorstellung**
- **Submesoskalige Prozesse**
- **Aufgabenstellung**
- **Anforderung an die Funkstrecke**
- **Bisherige Kontakte zu Anbietern**
- **Ausblick**

## Vorstellung

### Zu meiner Person

- 15 Jahre HZG
- Material- und Küstenforschung

### Bereiche der Küstenforschung

- **Biogeochemie im Küstenmeer**
  - Umweltchemie
  - Ökosystem und Stoffkreisläufe
  - Modellierung
- **Operationelle Systeme**
  - Radarhydrographie
  - Fernerkundung
  - Küstenozeanographische Messsysteme
- **Systemanalyse und Modellierung**
  - Küstenklima
  - Einflüsse und Auswirkungen auf Küstengebiete
  - Seegangmodellierung



## Submesoskalige Prozesse

### Submesoskalig

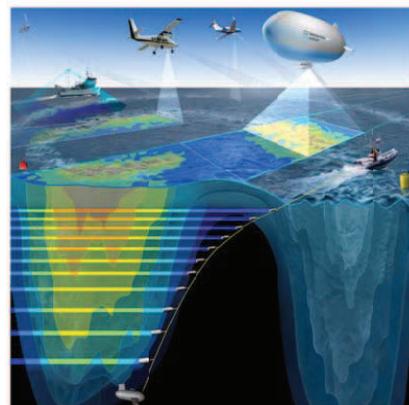
- Prozesse bis ca. 10km

### Warum jetzt erst erforschen?

- Klimabeeinflussung
- Modellierung und der Einfluss der Ozeane
- Rolle für den Energiehaushalt der Ozeanzirkulation

### Wie erforschen?

- Suche aus der Luft
- Untersuchung der Schichten
  - Temperatur
  - Salzgehalt
  - Dichte
  - Phytoplankton



## Aufgabenstellung

---

### In-situ Wissenschaft

- **Lebensdauer von wenigen Stunden**
- **Wirbel in Bewegung**

### Meßdaten

- **2 Spektalkameras**
- **Messkette**
- **Oberflächenanalyse**

### Sprech- und Bildfunk

- **Umgehen einer Sprechfunklizenz**
- **WebCam Bildübertragung / Überwachung**

## Anforderung an die Funkstrecke

---

### Aktionsradius

- **Flughöhe: ca. 1km oder max. 1,5km**
- **Durchmesser des Kommunikationsgebiet: ca. 15km**

### Bewegungsprofil des Zeppelins und der Schiffe

- **Zeppelin**
  - dem Wirbel folgend  
dadurch nicht stationär über dem Mittelpunkt
- **Schiffe**
  - den Wirbel durchkreuzend  
dabei meist den Mittelpunkt kreuzend

### Datenrate

- **ca. 2Mbit/s**
-

## Lösungsvorschläge von Anbietern

### Freewave Vorschlag 1

- **Sektorisierung des Aktionsradius**

### Freewave Vorschlag 2

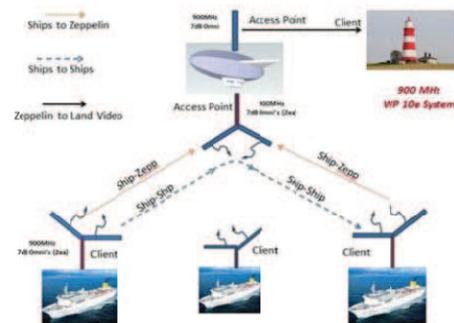
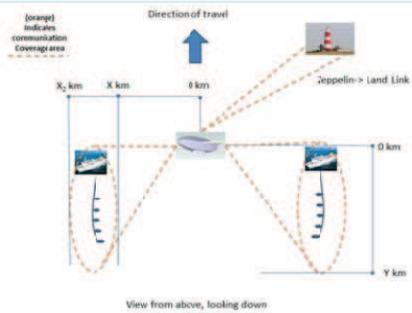
- **WavePoint System**
- **900MHz, 2Mbps**
- **Aktionsradius: 5 Meilen**
- **Antennen: 2x 1,4m lange Antennen**

### Belden

- **Mit Wlan max. 4km Aktionsradius**
- **Antennen müssten zu hoch angebracht werden.**
- **Evtl. UMTS Access Point (nur in Intern. Gewässer)**

### Telemeter

- ...



## Ausblick

### Zeitplan

- **März 2015: erster Testflug mit den Kamerasystemen**
- **Herbst 2015: weiterer Testflug mit dem Gesamtsystem**
- **Sommer 2016: erste Messungen**

### Erweiterungen

- **Virtuelle Klassen per Videostream**

### Probleme

- **Zepplin-Verfügbarkeit**
- **Flugzulassung**
- **Justage**

---

**Fragen oder Vorschläge?!?**

SEI-Tagung März 2015

## Messgeräte auf Basis von Ethernet, FPGA und HTML5

Jörn Plewka (HZG/TKE), Christian Jacobsen (HZG/TKE), Stephan Meyer-Loges (Ex)

Zeuthen, 02.03.2015

 **Helmholtz-Zentrum  
Geesthacht**  
Zentrum für Material- und Küstenforschung

### Messgeräte auf Basis von Ethernet, FPGA und HTML5 Übersicht

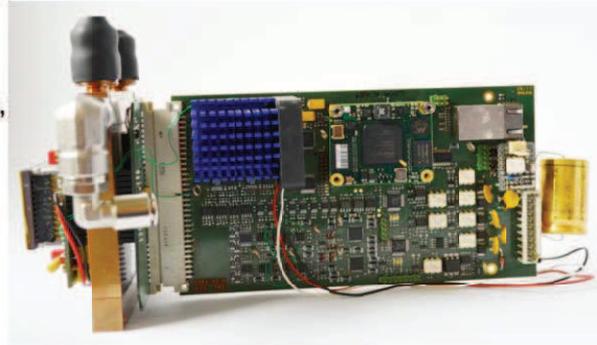
 **Helmholtz-Zentrum  
Geesthacht**  
Zentrum für Material- und Küstenforschung

- **Blick auf ältere unserer Systeme mit Soft-CPUs → Schwachpunkte**
- **Weiterentwicklung → ohne Schwachpunkte ;-)**
- **Etappen im Bootvorgang eines Spartan-6-Embedded-Systems**
- **Wertetransport in Webseite, HTML 5 Canvas**
- **Beispiele (zwischendurch)**

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Rückblick: CCD-Kamera

### Systemkonzept:

- Übergeordnete 32bit CPU, MicroBlaze mit XilinxEDK in XC6S150 in Trenz-Industrie-Modul.
- Initialisierung, Management, Regelung, Monitoring macht der Hauptprozessor.
- Ansteuerung von Readout und Digitalisierung mit autonomen Zusatzprozessoren (AXI-Peripherie).
- UDP-Streaming arbeitet ebenso eigenständig, ohne MicroBlaze-CPU, eigener GBE-Core (AXI-Peripherie).



3

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Rückblick: KIT-CMOS-Tomografie-Kamera

### Unsere Aufgabe:

- Systemintegration mit Gehäuse und Kühlung für die KIT-UFO-Kamera (basierend auf ML605) für Tomographie-Anwendungen
- Zusätzliche Leiterplatten zur Steuerung eines Piezomotors, RS-232 und Temperaturregelung sowie LVDS-Interconnects über SAS-Kabel
- Benötigte Zusatzfunktionalität auf Basis eines in VHDL implementierten 8-Bit Mikrocontrollers



4

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Erkenntnisse

**Bilanz:** Embedded mit Spartan6: ++, Ease of Use: - ...

- Grundsätzlich Microblaze eine gute Idee, viele Vorteile ++
- Zusätzliche generische Softcore-Prozessoren -
- Tool-Anzahl, Tool-Probleme -
- Intuitive Bedienung Gerät -
- eingebaute Visualisierung -

5

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Neues Systemkonzept

- Microblaze Embedded Systems in Spartan-6-FPGA mit spezialisierter Peripherie für Signalauswertung und Anzeige
- Spezielle Funktionalität (Primärfunktion) in nebenläufiger Hardware, steht nach Initialisierung auch ohne  $\mu$ C-System zur Verfügung
- $\mu$ C-System ermöglicht erweiterte Funktionalität zu traditionellem FPGA-System:
  - ➔ Parametrierung per Netzwerk, Browser
  - ➔ Visualisierung im Browser
  - ➔ Selbsttest, Monitoring und Alarmer
  - ➔ Logging (RTC, NTP)
  - ➔ Online Manual
  - ➔ ...
- Was ist denn jetzt anders?
  - ➔ Nicht nur LowLevelSoftware, sondern Nutzung erweiterter Betriebssystemfunktionalität für Low-Speed-Kommunikation.



6

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Neues Kommunikationskonzept

- **LowSpeed: Ethernet/IP/TCP/HTTP(JSON) , (Time, DHCP,...)**
  - Sprich: Standardprotokolle und Mechanismen
- **HighSpeed: UDP-Stream**
  - Sprich: am Prozessor vorbei, wie gehabt, alternativ mit Xilinx-Core
- **Webpage als zusätzliches Bedien- und Anzeigeelement**
  - einfache html-Webseiten
  - Javascript
  - Datentransport per JSON-formatierter Textantwort (e.g. „Parameter“: Wert)
  - aufwendigere Darstellungen mit 3D-Canvas der neuen "Web-Browser", z.B. mit der RGraph-Bibliothek möglich
- **HTML5 beinhaltet HTML4 bis auf Unpässlichkeiten,**  
d.h. HTML5 meint für uns mehr die „neuen“ technischen Möglichkeiten,  
als im Detail geänderte Sprachkonstrukte



7

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Beispiel (2014): Chopper-Phase-Timing (CPT)

### Analyse von Umlauffrequenz und Winkelversatz von sechs Chopperscheiben (Reflex-Lichtschranken) und den Sollwerten der Steuerung in 19" Rack.

#### Systemkonzept:

- **Übergeordnete 32bit CPU, MicroBlaze**  
XilinxEDK in XC6S150 auf Trenz-Industrie-Modul.
- **Kommunikation, Xilinx-GBE-Core, mit AXI-DMA**  
Webpage für Einstellungen, Anleitung/Doku eingebaut. Ereignisse per UDP an LabView
- **Korrekturrechnung, da Lichtschranken mit**  
Versatz montiert sind und mehrere Signale pro Umdrehung (AXI-Peripherie) liefern
- **Eingebauter digitaler Testgenerator**



8

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Bootvorgang (SPI)

### Systemstart eines Embedded-System mit FPGA und SPI-ROM:

- FPGA läuft an und lädt eigene Programmierung aus dem SPI-ROM
- in bestimmte RAM-Zellen wird dabei auch das Bootloaderprogramm geladen
- FPGA fertig geladen,  $\mu$ C-System startet und aktiviert Bootloader in Blockram
- Bootloader kopiert Hauptanwendung und Dateisystem in das DDR-RAM
- Kontext wechselt auf DDR-RAM und startet Hauptanwendung
- Hauptanwendung initialisiert Treiber für Hardware, Dateisystem, Netzwerk
- Benutzerteil der Hauptanwendung läuft

*! Dauer bei vollem 8MB SPI-ROM mit Spartan-6-150 : ~1 Minute !*

9

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Vorbereitung des SPI-ROMs

Ist es eine 1-Click-Standardlösung von Xilinx? → kaum (warum auch immer!)

Man benötigt:

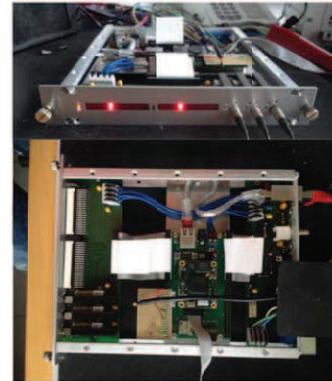
- eine Hardwareplattform mit der Hardware (geeignet für Bootloader- und Hauptprojekt)
- ein Bootloader-Projekt, und ein Hauptprojekt realisiert in EDK/SDK
- eine Adressaufteilung (u.a. Makefile), die auch die ROM-Aufteilung beeinflusst
- einen richtig parametrisierten Bootloader, der per SPI-Bus die Daten vom ROM an die richtigen Stellen im RAM befördert (Blöcke!)
- das Werkzeug, das aus einem Verzeichnis mit Dateien ein Dateisystem baut
- ein Werkzeug, was die ganzen einzelnen Dateien, aus FPGA-Bitfile (incl. Bootloader), \*.ELF-File und \*.MEM-File zerlegt und neu zusammenbaut und auch die Interruptvektoren nicht vergisst
- ein Werkzeug, was das FPGA dazu befähigt, das angedockte SPI-ROM zu programmieren  
→ Impact, das Standardtool

10

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Beispiel (2014): NIM-Detektor-Monitor

### Überwachung von Ereignishäufigkeit und -ort auf einem ortsauflösenden Neutronen-Detektor zum Schutz vor schädlicher Überlastung (als NIM-Kassette).

- Ereignisse gehen per IP/UDP an LabView (mit CPU)
- restl. Auswertung erfolgt autonom zur übergeordneten CPU
  - ➔ AXI-Peripherie Baugruppen
- CFD, mit 2,5 ns grob auflösendes Serdes-TDC (CERN)
- Vor-Ort-Anzeige mit 20 LEDs pro Ordinate
  - ➔ verschiedene Darstellungsmodi (Trigger'n'freeze, % von Limit)
- Relais, BNC für Sicherheitsschleife zur Strahlabschattung
- Alarmmeldung und Quittierung per Taster
- Testmustergenerator für analogen eingebauten Selbsttest



11

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Web-Interface, NIM-Detektor-Monitor

### Wie Werte in die linke Spalte kommen (GET)...

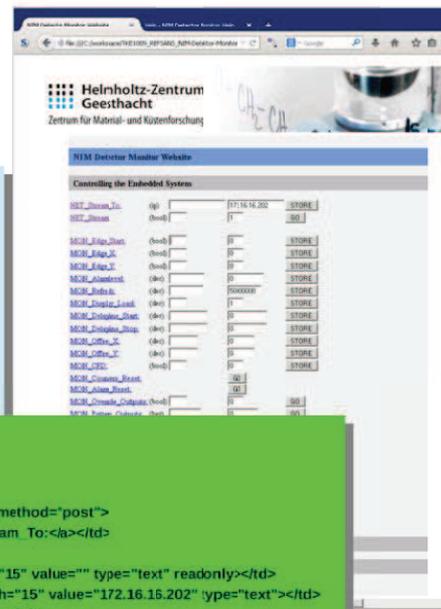
- Registerwerte (links) leer, sollen aber aktuell sein...
- Defaultwerte (rechts) in control.html definiert

```
<script>
function AJAX_JSON_Req(){
var url = "json?0"
var AJAX_req = new XMLHttpRequest();
AJAX_req.open( "GET", url, true);
AJAX_req.setRequestHeader("Content-type", "application/json");

AJAX_req.onreadystatechange = function(){
if( AJAX_req.readyState == 4 ){
if( AJAX_req.status == 200 || AJAX_req.status == 304 ){
var response = JSON.parse( AJAX_req.responseText );
document.getElementById("net_target").value = response.net_target;
}
}
}
AJAX_req.send();
}</script>
```

```
sprintf(jsonbuf, "{\n
    \"net_target\": \"%s!\",\n
    \"\n
    target\n
    }")
```

```
<h2> Controlling the Embedded System </h2>
<p>
<table border="0">
<tr>
<td><a href="help.html#net_target" load>NET_Stream_To:</a></td>
<td><input id="net_target" size="15" maxlength="15" value="" type="text" readonly</td>
<td><input name="net_target" size="15" maxlength="15" value="172.16.16.202" type="text"></td>
<td><input type="submit" value="STORE"></td>
</tr>
</table>
```



12

Messgeräte auf Basis von Ethernet, FPGA und HTML5  
Web-Interface, NIM-Detektor-Monitor

Wie Werte zum Gerät kommen (POST)...

- Server wertet Post-Operation aus
- Wenn passend, wird Inhalt übernommen (Vorsicht!)

```
token_len = strlen("net_target");
if(!strcmp(token, "net_target", token_len))
{
    xil_printf("%s\r\n", token+1+token_len);
    xil_printf("0x%x\r\n", is_valid_ip(token+1+token_len));

    eeprom_Set(ntohl(is_valid_ip(token+1+token_len)), eeprom_target);
}
```

```
<h2>Controlling the Embedded System </h2>
<p>
<table border="0">
<tr>
<td><a href="http://net_target/load" target="NET_Stream_To"></td>
<td><input id="net_target" size="15" maxlength="15" value="" type="text" readonly></td>
<td><input name="net_target" size="15" maxlength="15" value="172.16.16.202" type="text"></td>
<td><input type="submit" value="STORE"></td>
</tr>
</table>
```



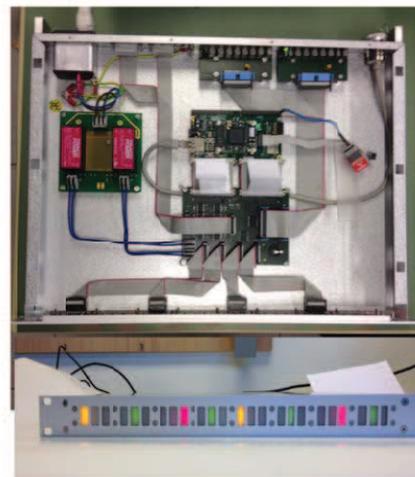
Messgeräte auf Basis von Ethernet, FPGA und HTML5  
Beispiel (2014): Lichtschrankendisplay (LSD)

Ursprünglich: nur optische Darstellung von Lichtschrankensignalaaren, die je einen Fein- und einen Grob-Index liefern

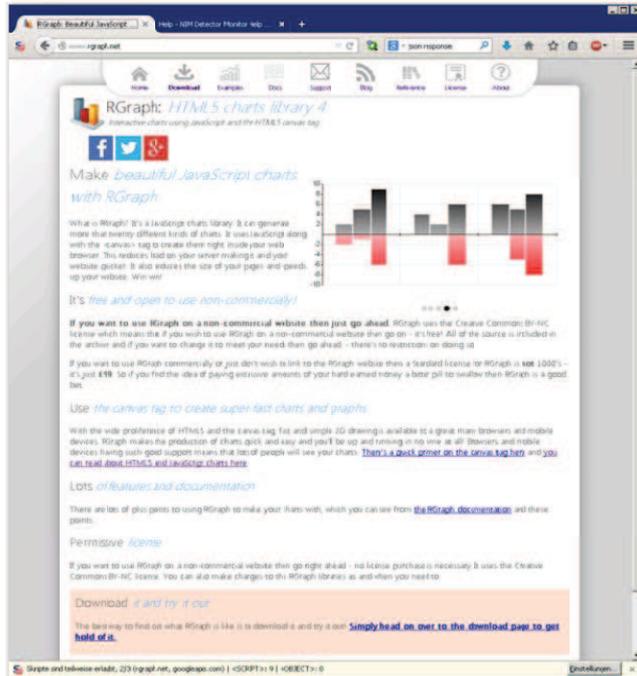
→ Drei Lampen von SPS für Fein, Grob (jeweils NAND), beides (AND)

Mit neuem Systemkonzept:

- Netzwerkstreaming der Eingangsereignisse mit RT-Uhrzeit
- Basisfunktion in FPGA-Hardware, Zusatz per Software
- Ablezen von Eingangssignalen im Browser mit „Waveform“
- Status der Eingänge, testweises Setzen von Ausgängen
- Veränderung der Filterlänge für gestörte Eingangssignale
- manueller und autom. LED-Test via Strommessung



## Messgeräte auf Basis von Ethernet, FPGA und HTML5 „Echtes“ HTML5



### HTML5 <CANVAS>-Tag

- Canvas ermöglicht freies Zeichnen
- Beim Chopper-Phase-Timing haben wir damit z.B. die Chopperscheiben visualisiert
- Beim Lichtschranken-Display ein 16-kanaliges Waveform (Logicanalyser) dargestellt.
- Rgraph ermöglicht sehr aufwendige Graphen und ist sehr bezahlbar und ist ein gutes Beispiel.
- Wichtig: Der Client rechnet, der Server liefert nur die Datensätze!

15

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Fazit

- verändertes Konzept ermöglicht deutlich erweiterte Funktionalität
- Ergebnis steigert z.B. auch die Wertschätzung des Geräts.
- schlanke Systeme ohne Komplexität eines großen Betriebssystems
- Aber:
  - Xilinx: die Software-Plattform ISE läuft aus, die Innovationskraft liegt bei VIVADO
  - die extrem niedrige Leistung des CPU-Systems setzt deutliche Grenzen
  - Realisierung ist trotzdem „leichtgewichtig“, im Detail sehr eingeschränkte Fähigkeiten
  - bei uns weit überwiegende Implementationszeit und Ressourcen und für das CPU-System
- Folge:
  - wir wechseln zu Zynq unter FreeRTOS oder Linux (je nach Anwendung)

16

## Messgeräte auf Basis von Ethernet, FPGA und HTML5 Ausblick

---

### **S.M.A.R.T - Detektorelektronik**

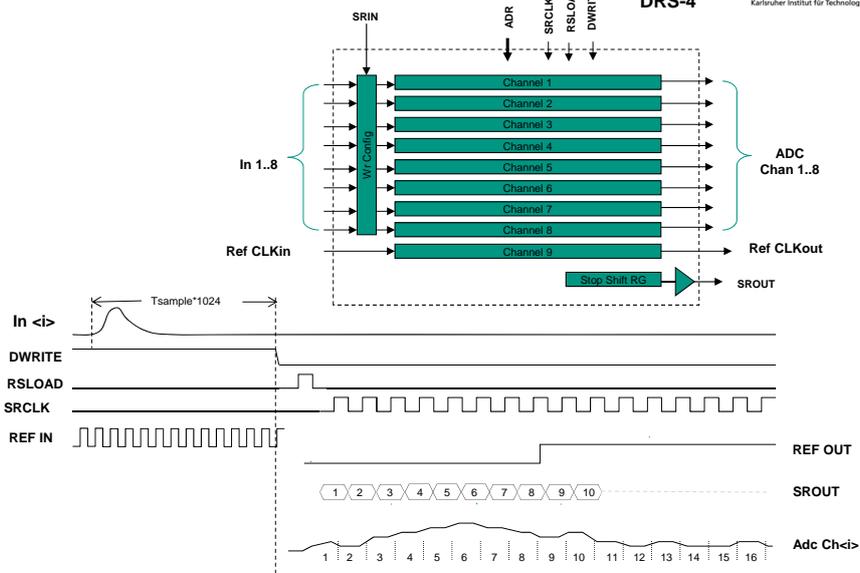
- **Derzeit angeboten: Detektor mit integrierter Elektronik für ESS (Zynq + Artix)**
  - **integriertes Monitoring, Sequencing**
  - **Remote Service und Support**
  - **eingebautes Pre-Processing**

## MTCA RTM Module based on DRS-4 waveform digitizing chip.

A.Menshikov, M.Balzer, M.Kleifges

Many experiments require a digitization of short signals. We designed a 16-channels waveform digitizing module based on four DRS-4 chips. The DRS-4 chip provides 9 capacitive pipelines of 1024 cells each for sampling analog signals with a frequency from 700MHz to 5 GHz. Upon a trigger the pipelines are shifted out and digitized with 12-bit multichannel ADCs at 30MHz. A pair of DRS-4 chips are used alternatively to minimize the dead time. All channels are equipped with discriminators connected to FPGA, where the trigger logic is implemented. The module is built as RTM module according to MTCA.4 specifications.

### The sampling capacitive array "Domino Ring Sampler" (DRS) - 4.



Alternate operation of two DRS4 chips reduces dead time.

The chip acquiring 8 input signals.

The chip being read out.

**DRS4 key figures:**

- sampling rate 0,7 – 5GHz,
- random noise 0,35mV,
- effective number of bits 11,5.
- timing specs (fixed-pattern jitter -200..600ps, random jitter 4ps).
- differential input range 1V p-p, CM offset 0,8V
- differential output range 2V p-p, CM offset 1,3V

3    26.07.2015    RTM Module based on DRS-4 waveform digitizing chip.    Institute für Prozessdatenverarbeitung und Elektronik

Block diagramm of the DRS4\_RTМ module

DAC's

Threshold adjustment

Trigger Logic

Data Taking Control

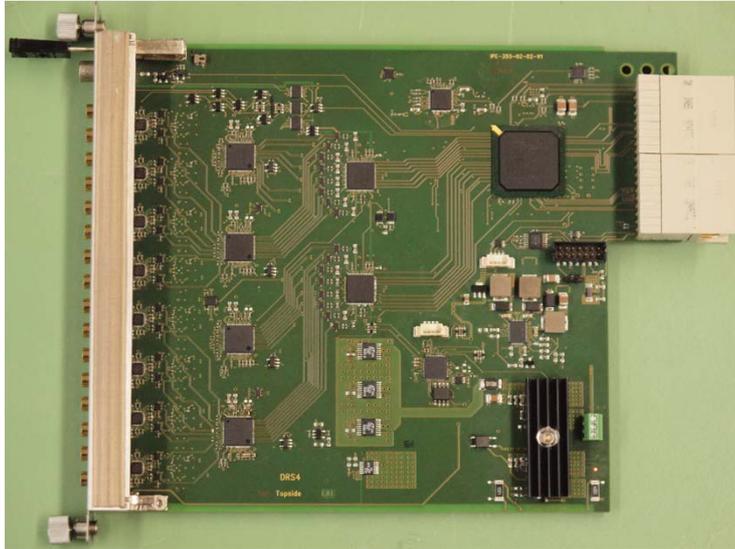
Slow control

RTM-AMC interface

Gbit serial Links and/or DDR parallel bus

4    26.07.2015    RTM Module based on DRS-4 waveform digitizing chip.    Institute für Prozessdatenverarbeitung und Elektronik

### DRS4\_RTM module



5 26.07.2015

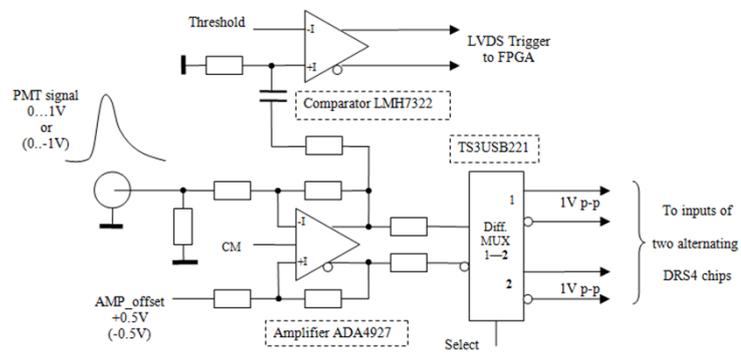
RTM Module based on DRS-4 waveform digitizing chip.

Institute für Prozessdatenverarbeitung und Elektronik

### Analog Front End



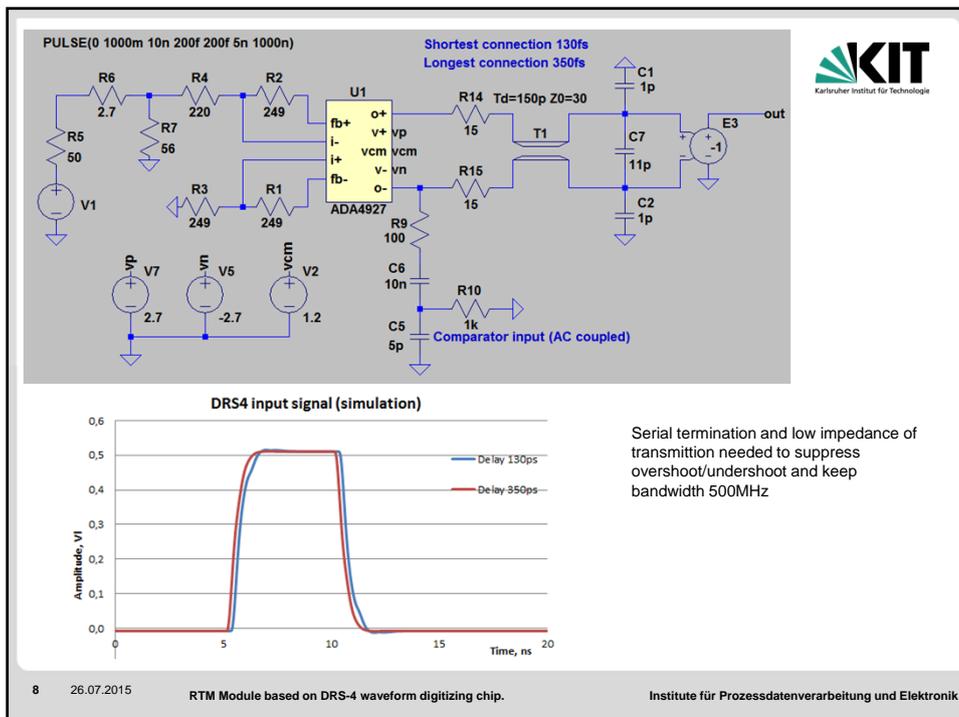
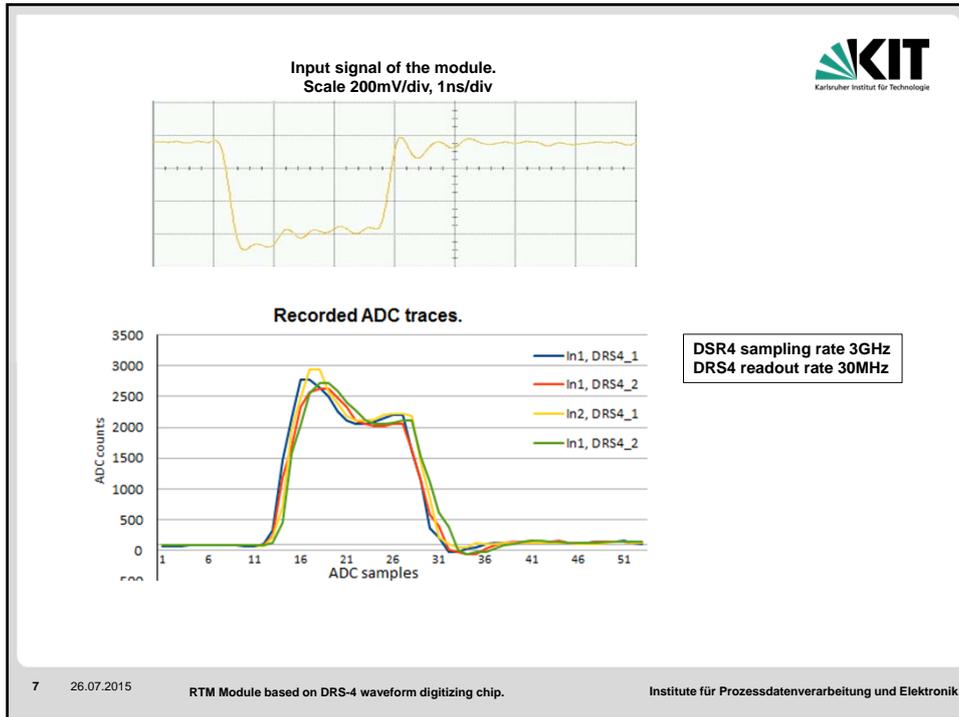
- Amplifier bandwidth DC to ~500MHz
- Comparator delay < 1ns
- Adjustable input signal range
- USB switches



6 26.07.2015

RTM Module based on DRS-4 waveform digitizing chip.

Institute für Prozessdatenverarbeitung und Elektronik





### ADC frontend noise

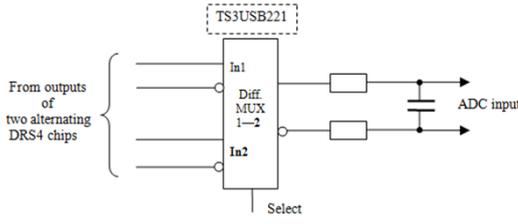
Noise of the ADC itself and the multiplexer in front of it was measured.

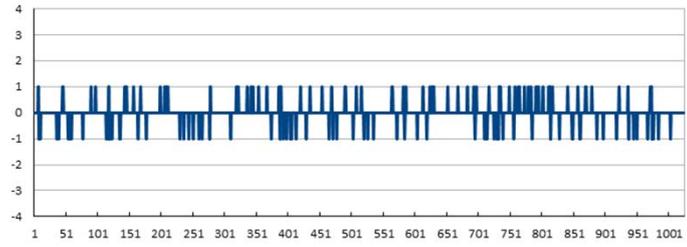
The mux inputs were disconnected from the DRS4 outputs. A constant offset voltage 1.3V was fed to both pins of the differential input.

Recorded ADC trace (after BG subtraction) is shown on the plot.

**Conclusions:**

- Noise of the multiplexer is negligible.
- Analog/digital supplies of ADC are adequately done.

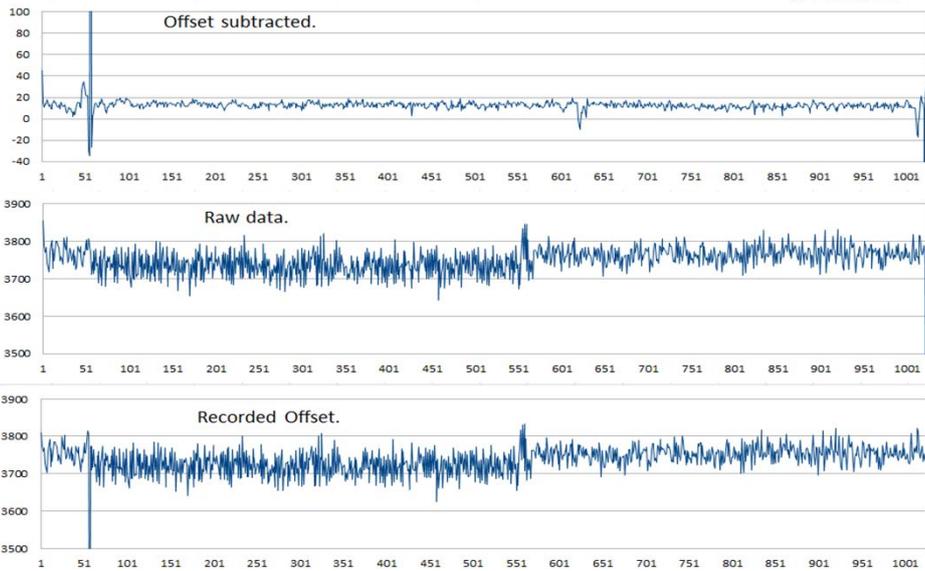




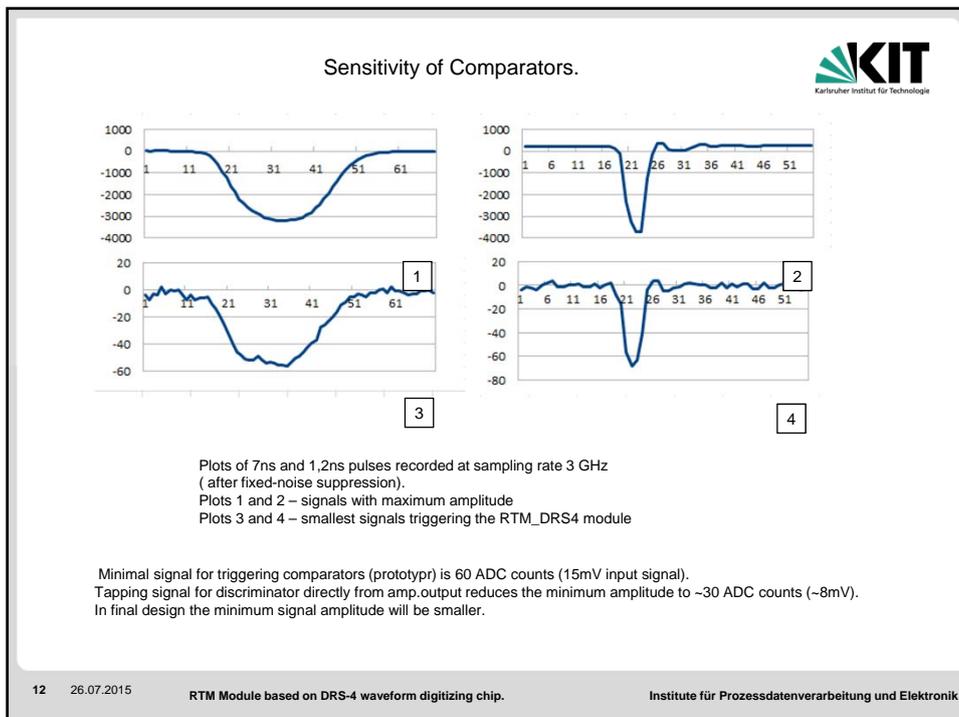
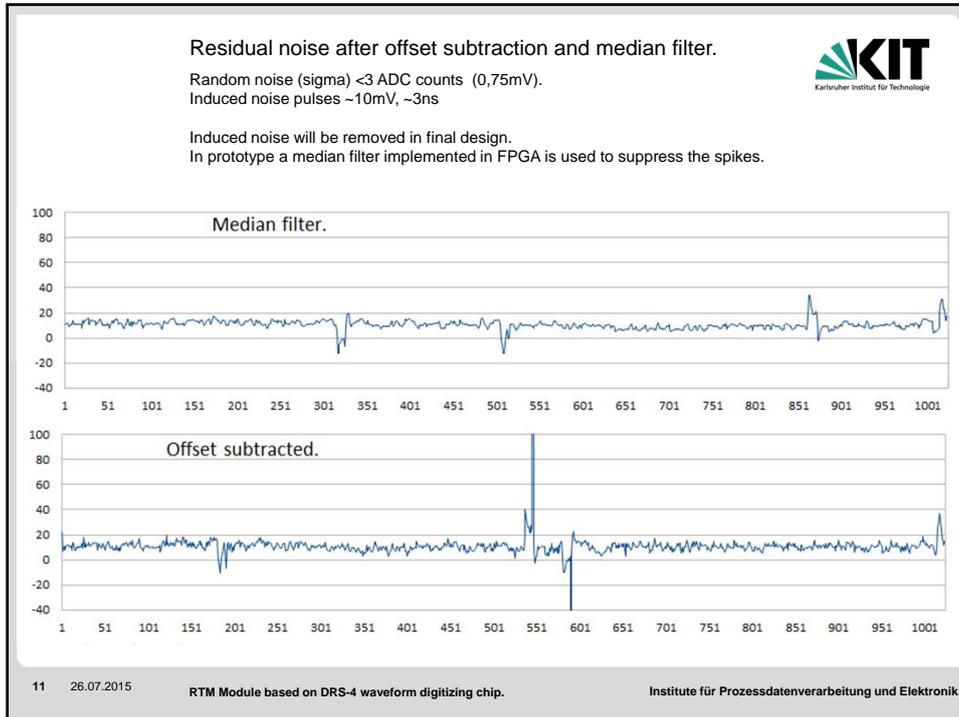
9 26.07.2015
RTM Module based on DRS-4 verform digitizing chip.
Institute für Prozessdatenverarbeitung und Elektronik



### DRS4 offset. Fixed-pattern noise.

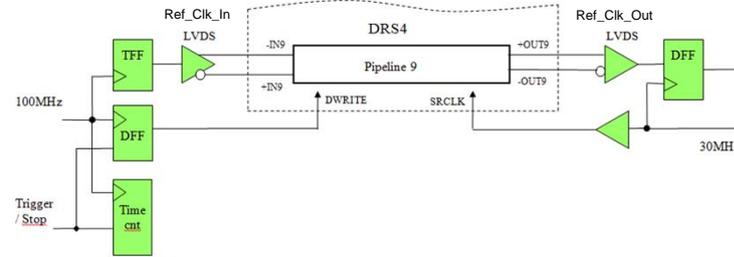
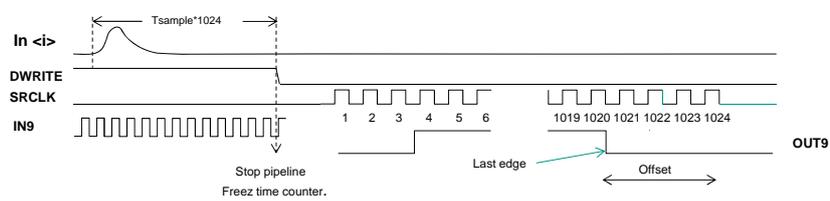


10 26.07.2015
RTM Module based on DRS-4 waveform digitizing chip.
Institute für Prozessdatenverarbeitung und Elektronik





### Measuring time of trigger / of event with DRS4\_RTM.

13    26.07.2015    RTM Module based on DRS-4 waveform digitizing chip.    Institute für Prozessdatenverarbeitung und Elektronik



### The *Time Stamp* and the *Reference Clock Offset*.

Time\_Stamp and the Offset of the Ref\_Clk\_Out specify time of recorded event.  
 LSB of the time stamp is 10ns. Ref\_Clk\_In frequency is 100MHz.  
 The offset specifies position of 100MHz clock in respect to the last cell of DRS4 chip.  
 Time of the ADCSample#1024 is calculated as follows

$$(Time\_Stamp) * 10n - Offset * 0,250ns$$

Accuracy of the time measurements is affected by several factors.

- DWRITE delay and jitter
- Ref\_Clk\_In delay and jitter
- 100MHz clock delay and jitter (in respect to an absolute external clock)

Peak-to-peak error of the time measurement is about 1 ns.  
 That agrees with fixed-pattern jitter declared by S.Ritt in one of his presentation.

14    26.07.2015    RTM Module based on DRS-4 waveform digitizing chip.    Institute für Prozessdatenverarbeitung und Elektronik



Send and receive packets structure.



- User SW writes Tx Packet to the Tx FIFO of AMC module as sequence of 32-bit words.
- User SW reads Rx Packet from the Rx FIFO

Tx Packet (RTM write command)

Bits 31..16	Bits 15..0
Bit 31 – ,0' (write flag) Bits 30..16 – Number of symbols in payload N	Start address in RTM FPGA
Word 1	Word 2
Word 3	Word 4
...	
Word (N-1)	Word N

Rx Packet (data read by RTM Read command)

Bits 31..16	Bits 15..0
Bit 31 – ,1' Bits 30..16 – Number of symbols in payload N	Start address in RTM FPGA
Word 1	Word 2
Word 3	Word 4
...	
Word (N-1)	Word N

Tx Packet (RTM Read command)

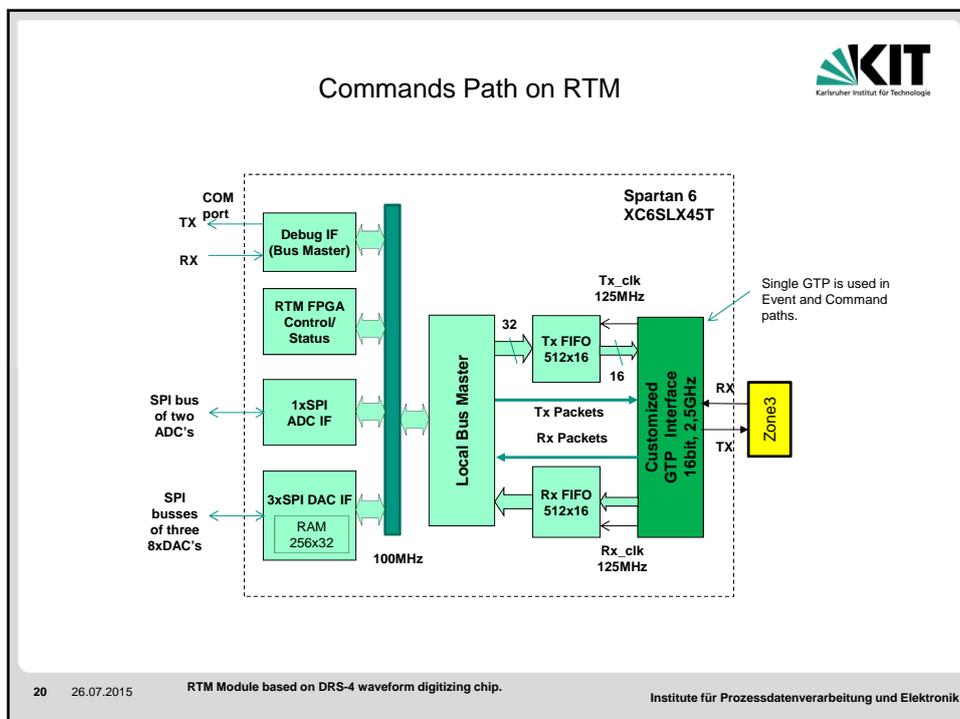
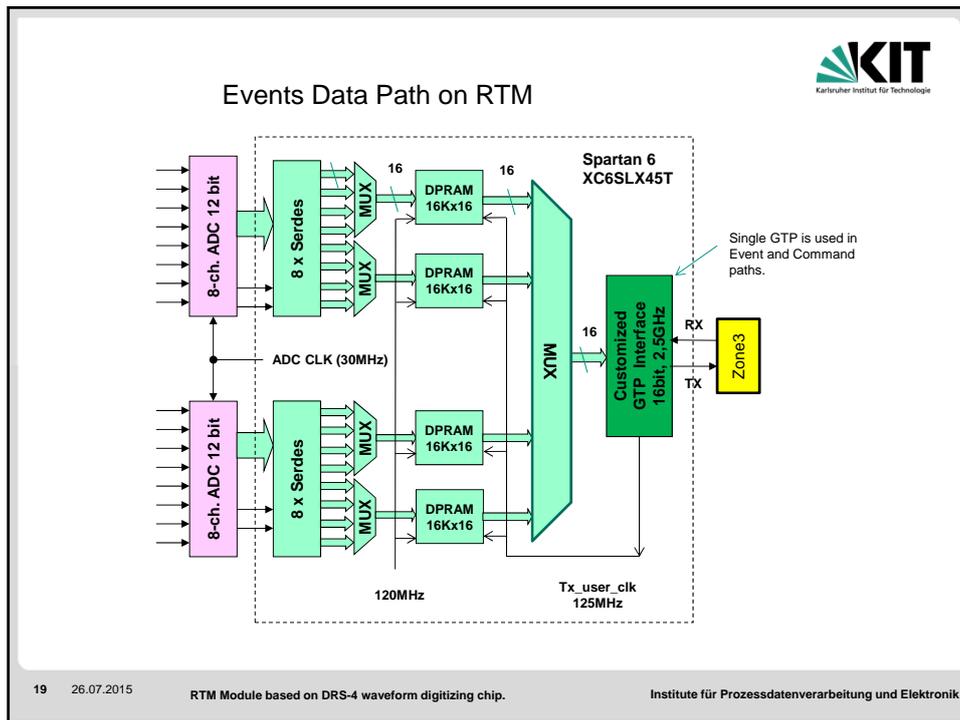
Bits 31..16	Bits 15..0
Bit 31 – ,1' (read flag) Bits 30..16 – Number of symbols to be read out	Start address in RTM FPGA

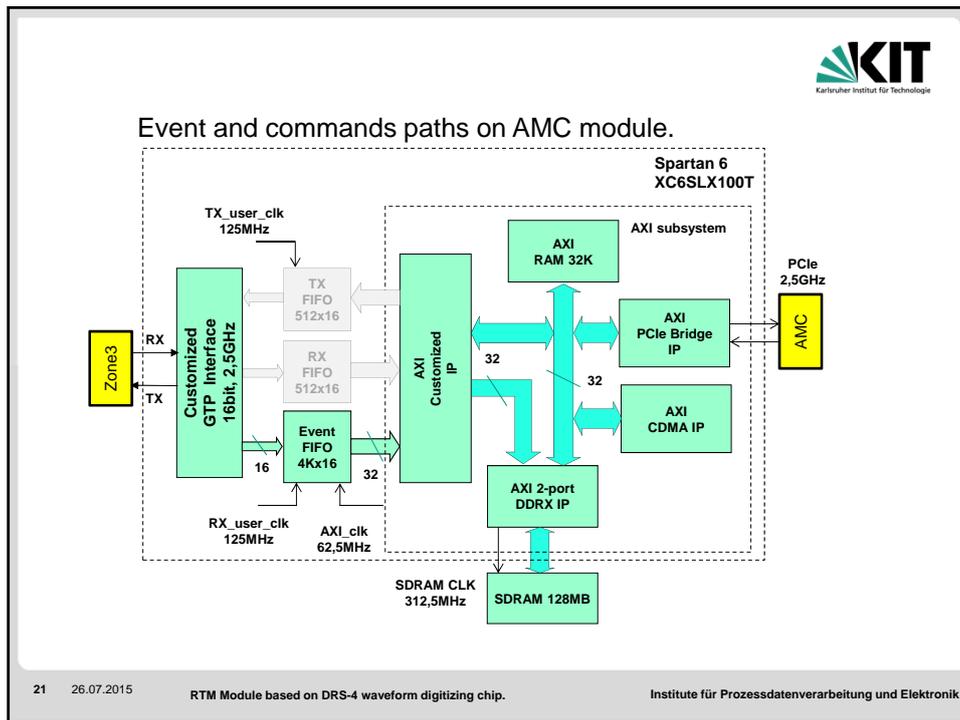
Event Packet structure.



- Number of ADC samples in the event packet can be fixed or can change dynamically with length of detected signal.
- Time stamp and Position of Reference Clk give absolute time of recorded signal
- Event Packets are received to the circular buffer built on the SDRAM memory of AMC module.
- FPGA provides a bottom address pointer of the buffer and length of buffer filled with events.

Bits 31 ..16	Bits 15..0
Packet length ( ADC Samples + 8)	Chip Nr (Bits 9,8), Channel Nr (Bits 3..0)
Time Stamp (63..48)	Time Stamp (47..32)
Time Stamp (31..16)	Time Stamp (15..0)
ADC1	ADC2
ADC3	ADC4
...	...
ADC N-1	ADC N
Stop position of DRS4	Offset of Reference Clk





### PCIe resources of the AMC Module.

- 128,08 Mbytes PCIE address is required by the module.
- 128 MBytes SDRAM is directly mapped.
- The module possess a scatter-gather CDMA engine.
- On chip 32KBytes RAM is available.
- 8 read and 8 write ports of the Customizable IP are used for steering AMC and RTM modules.

PCI BAR	PCI Address range	
<b>Superuser</b> PCI BAR2	0x000.0000-0x000.0FFF	PCIe configuration registers ( normally are not accessed by users )
	0x000.1000-0x000.1FFF	CDMA control registers ( see Xilinx „LogiCORE IP AXI CDMA“ User Guide ) - with scatter-gather functionality - MSI is implemented
	0x000.2000-0x000.2004	User Interrupt Mask and Interrupt Request registers
<b>User</b> PCI BAR1	0x0000.8000-0x0000.8FFF	Customizable IP : - AMC reset register ( reset AMC FPGA, reset RTM ) - AMC Interrupt Enable / Request register - Event Buffer Control / Status registers - Tx FIFO write port - Rx FIFO read port - Tx / Rx Status registers
	0x0000.0000-0x0000.7FFF	On chip RAM 32 KBytes
<b>SDRAM</b> PCI BAR0	0x0000.0000-0x07FF.FFFF	SDRAM 128MB - Circular Event Buffer

22 26.07.2015 RTM Module based on DRS-4 waveform digitizing chip. Institute für Prozessdatenverarbeitung und Elektronik

**Key figures of the DRS4\_RTM module.**

- 16 simultaneously recorded input signals
- Inputs range (0..1V) or (-1V..0)
- 3GHz sampling rate (tested at 3 and 4GHz)
- Bandwidth ~500MHz
- 12 bit digitization
- Noise level: random noise sigma about 2 ADCcounts.,
- 50 ns dead time (for trigger)
- data transfer rate
  - 480 MSample/s ADC to FIFO's
  - 125 MSamples/s per lane RTM to AMC board
- self triggering (flexible trigger logic implemented in FPGA)
- Minimum threshold of the discriminators is about 15 mV
- External Trigger input available
- time measurements error about 1ns
- Firmware for AMC board TAMC651 ready
- PCIe driver and basic readout programs are ready as well



hochwertig. modern. professionell.



Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

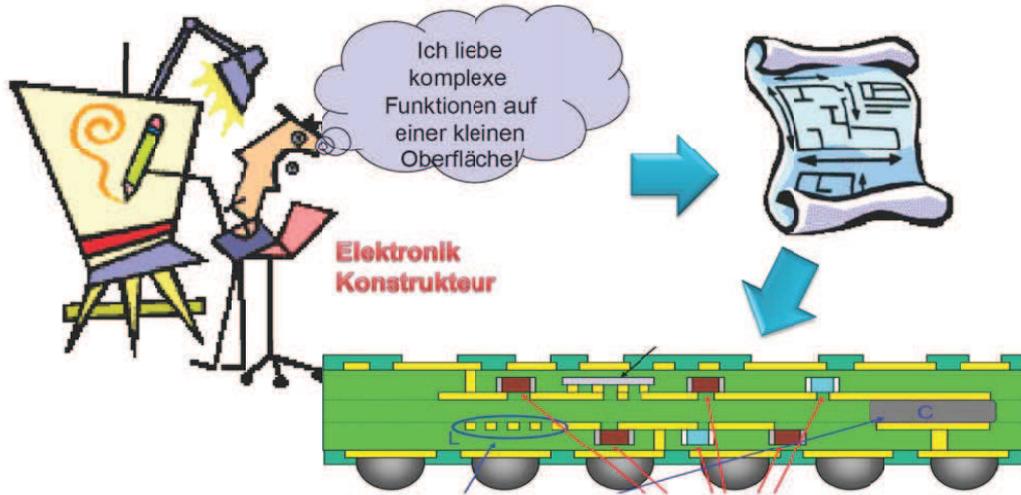
- hmp ist ein deutscher Leiterplattenhersteller mit 58 Jahren Erfahrung in der Herstellung hochwertiger Leiterplatten
- ca. 22.000m<sup>2</sup> Produktionsfläche, 250 MA
- Fertigungskapazität ~100.000 m<sup>2</sup>
- mit ~80% Anteil an HDI und ML konsequent auf das Industriekundensegment ausgerichtet
- reibungslose Versorgung der Kunden durch flexible Lieferkonzepte
- kompetente Beratung wird durch technischen Vertrieb sichergestellt
- hmp = langfristige partnerschaftliche Geschäftsbeziehungen

hochwertig. modern. professionell.



Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

## Sicheres Design für Leiterplatten



hochwertig, modern, professionell.

„sicher“ = fertigungssicher für den LP-Hersteller, den Bestücker und den Endkunden. Die Leiterplatten sollten sicher gefertigt und verarbeitet werden können, sowie sicher funktionieren.

**Zuverlässigkeit der BG**

Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

## sicheres LP-Design



### Was erreichen wir durch ein sicheres LP-Design:

- hohe Funktionssicherheit der Leiterplatten und Baugruppen
- niedrigere Herstellkosten
- geringerer Prüfaufwand
- besserer Yield
- kleiner Vorbereitungsaufwand
- reduzierte Durchlaufzeiten gegenüber hochkomplexeren Layouts = kürzere Lieferzeiten

Die Regeln zur Erstellung sicherer Designs sind auch in den IPC-Standards

**Elektronik Design & CAD IPC-2220 series + IPC-7351A**

spezifiziert.

hochwertig, modern, professionell.

Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

## Leiterbild



- Leiterbildbreite nicht kleiner als unbedingt notwendig → dabei natürlich immer die Erfordernisse wie Stromstärke, Impedanz der Leitung oder dem zur Verfügung stehenden Platz beachten
- schmale Leiter erleichtern zwar dem Layouter die Arbeit, doch verteuern sie die Leiterplatte und erhöhen den Fertigungsaufwand
- bei der Festlegung der Leiterzugbreite sollten die Grenzwerte des Prozesses eingehalten werden → Abweichungen führen auch hier zu einer Vertuierung der Herstellung und damit der Leiterplatte
- die Abmessung der zu erzeugenden Strukturen im Leiterbild und deren Toleranz sind immer abhängig von der zu ätzenden Kupferschicht → Leiterzugbreite wird immer am Fuß gemessen

hochwertig. modern. professionell.

Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

## Konturen



Die **sichere** und kostengünstige Erstellung der LP-Kontur erfolgt nach  
**DIN ISO 2768 mittel**

mm	... 3,00	... 6,00	... 30,00	... 120,00	... 400,00	... 1000,00
fein	±0,05	±0,05	±0,10	±0,15	±0,20	±0,30
<b>mittel</b>	±0,10	±0,10	±0,20	±0,30	±0,50	±0,80
grob	±0,20	±0,30	±0,50	±0,80	±1,20	±2,00
sehr grob		±0,50	±1,00	±1,50	±2,50	±4,00

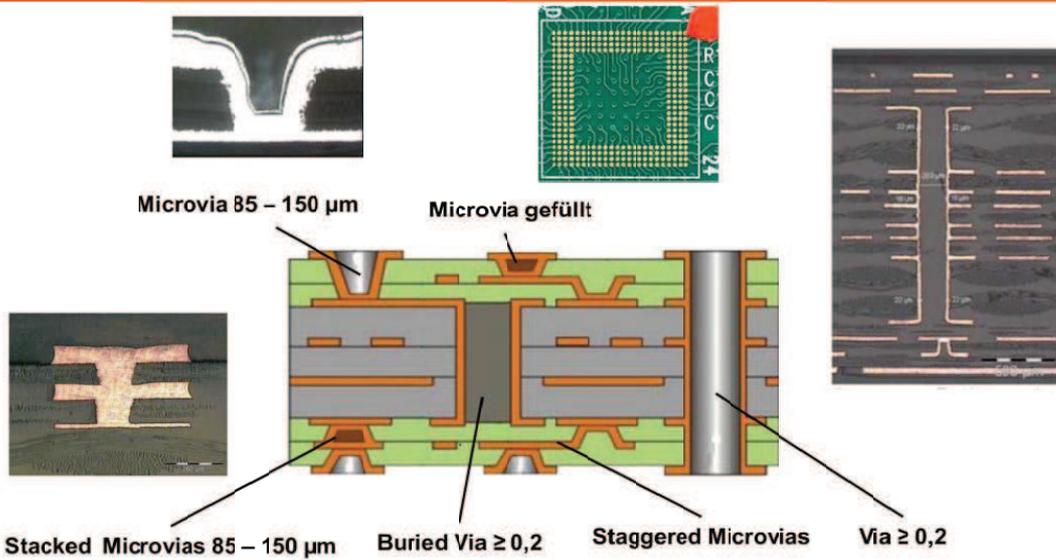
		Minwert	<i>Optimal*</i>	Maxwert
Nennwert	Fräserdurchmesser	0,60 mm	1,60-2,40 mm	3,00 mm
	Innenradien	0,30 mm	1,00 mm	∞
Toleranzen	Konturelemente zueinander	≤ 0,10 mm	ISO 2768 m	-
	Konturelemente zum Bohrbild	≤ 0,10 mm	≤ 0,15 mm	-
	Konturelemente zum Leiterbild	≤ 0,15 mm	≤ 0,20 mm	-

**\* Wählen Sie kleinere Radien, Toleranzen und Abstände nur wenn es technisch zwingend notwendig ist.**

hochwertig. modern. professionell.

Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

# DK-Übersicht

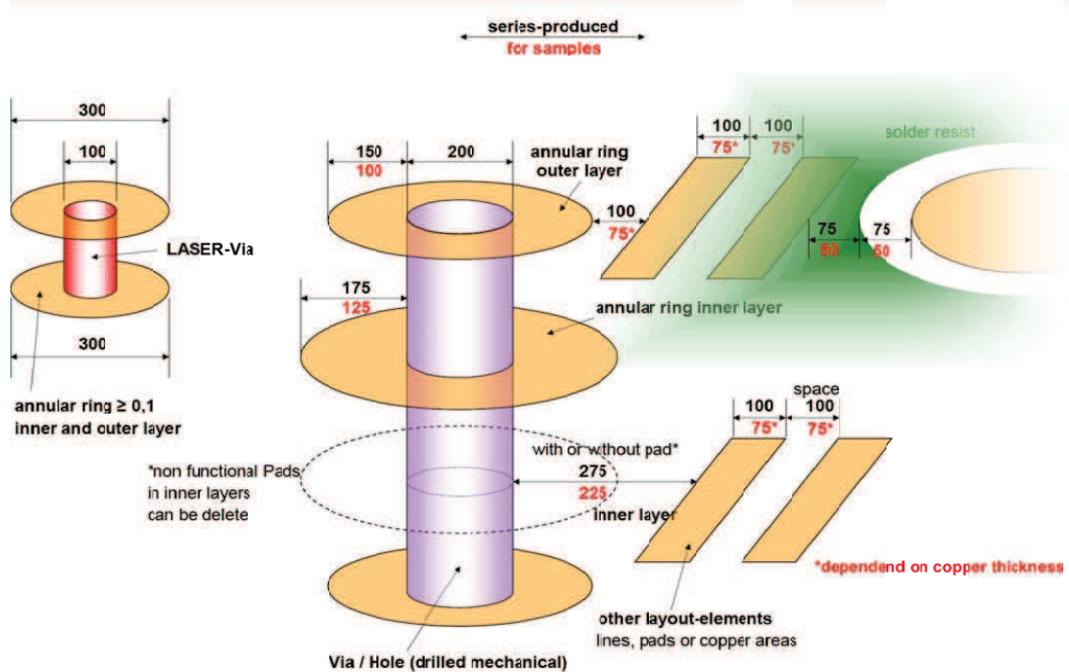


hochwertig, modern, professionell.

Schematische Darstellung, nicht alle Kombinationen sind praktikabel !

Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

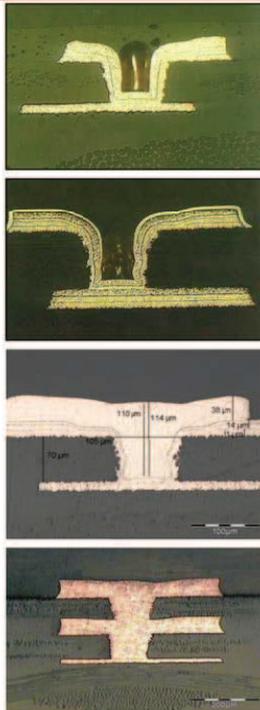
# pcb-design



hochwertig, modern, professionell.

Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

# pcb-design / LASER-Vias



Abstand ca.	Prepreg	LASER Ø	Pad Ø
50 µm	1x106	85 µm	285 µm
50 µm	1x106	100 µm	300 µm
70 µm	1x1080	100 µm	300 µm
70 µm	1x1080	125 µm	325 µm
100 µm	2x106	125 µm	325 µm
100 µm	2x106	150 µm	350 µm
120 µm	106+1080	150 µm	350 µm
140 µm	2x1080	150 µm	350 µm

**Pad Ø = LASER Ø + 200 µm**

hochwertig. modern. professionell.

Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

# pcb Design / BGA's

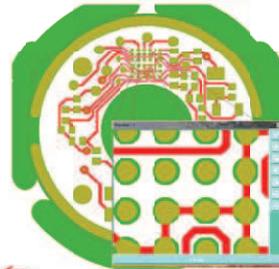


## Gestaltung von Ball Grid Array (BGA)

Durch den immer stärkeren Einsatz von Bauelementen in BGA-Bauform und der daraus resultierenden Erhöhung der Packungsdichte wird immer wieder die Frage an uns als Leiterplattenhersteller gestellt: „Was für Strukturen sind realisierbar, was kann fertigungstechnisch und kostengünstig hergestellt werden“. In vielen Gesprächen mit unseren Kunden haben wir festgestellt, dass es unterschiedliche Ansichten über die Größe von Landing Pads, Stopplackfreimachung, VIA's und Fertigungstoleranzen gibt. In der nachfolgenden Tabelle wird dargestellt, was aus heutiger Sicht realisierbar ist.

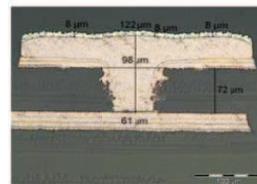
		1,270	1,000	0,800	0,500	hmp 0,500
Ausenslage	A Landing-Pad	Ø 0,600	Ø 0,500	Ø 0,400	Ø 0,250	Ø 0,260
	B VIA (Bohrung)	Ø 0,300	Ø 0,250	Ø 0,200	Laservia Ø 0,100	Ø 0,075 -011
	C Lötage vom VIA in der Ausenslage	Ø 0,600	Ø 0,550	Ø 0,457	Ø 0,300	Ø 0,260
	D Stopplackfreimachung vom Landing-PAD	Ø 0,760	Ø 0,680	Ø 0,553	Ø 0,331	Ø 0,260
	E Stopplackfreimachung vom VIA	Ø 0,450	Ø 0,400	Ø 0,355	Ø 0	Ø
	F Maximale Leiterzugbreite bei einer Durchführung	0,200	0,180	0,127	0,075	0,080
	G Leiterzugbreite bei zwei Durchführungen	0,127	-	-	-	-
	H Minimaler Isolationsabstand zwischen den Leiterzügen bei zwei Durchführungen	0,100	-	-	-	-
	I Minimaler Isolationsabstand zwischen Leiterzug und Landing-Pad	0,158	0,158	0,136	0,087	0,080
	J Laser VIA in Landing-Pad	a	ja	ja	nein	ja
Innenslage	C Lötage vom VIA in der Signallinienlage	Ø 0,650	Ø 0,600	Ø 0,500	Ø 0,350	Ø 0,260
	F Leiterzugbreite bei einer Durchführung	0,200	0,180	0,127	-	0,080
	G Leiterzugbreite bei zwei Durchführungen	0,127	-	-	-	-
	H Minimaler Isolationsabstand zwischen den Leiterzügen bei zwei Durchführungen	0,100	-	-	-	-
	I Minimaler Isolationsabstand zwischen Leiterzug und VIA-Pad	0,133	0,127	0,100	0,100	0,080

(Alle Angaben in mm) (\* Restring = 0) (\*\* nur in Verbindung mit H/USBU Technik)

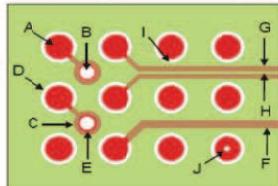


Stopplack/Pads im gesamten Layout 1:1. Freistellungen werden dann von hmp angepaßt

Landing-Pads mit kupfergefüllten Laservias (µVierfilig)



hochwertig. modern. professionell.



Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

## Zusammenfassung - Designregeln



Design-Element	Vorserie / Serie	Kleinmengen
<b>Bohrdaten</b> (ggf. – Konturdaten)	<b>EXCELLON oder Sieb &amp; Meier</b> mit Angaben zu Maßeinheit, Nullunterdrückung, Vor- und Nachkommastellen, Koordinatenart (absolut/incremental?) und Durchmesserseinheit oder <b>ODB++</b>	
<b>dk-Bohrungen</b>		
- <b>kleinster Bohr-Ø</b>	0,2 mm bei Aspect Ratio $\leq 1:8$	
- <b>Sackbohrungen:</b>	0,2 mm bei Aspect Ratio $\leq 1:1$	
- <b>größter Bohr-Ø</b>	5,95 mm (größere Ø werden gefräst)	
- <b>LASER-Bohrungen</b>	Ø 0,1...0,15 mm bei Aspect Ratio $\leq 1:1$	
- <b>Lötungen</b> <b>Restring</b> <b>Außenlagen</b>	min. 150 µm -> bei 50µm Fertig-Restring auf der Leiterplatte	100 µm möglich
- <b>Innenlagen</b>	min. 175 µm -> Bohrung auf der fertigen LP vollständig im IL-Lötlage	125 µm möglich
- <b>LASER-Bohrungen Restring</b>	min. 100 µm umlaufend Innen- und Außenlagen (large Window-Technologie)	
- <b>Isolation in Versorgungsinnenlagen</b>	min. 275 µm umlaufend	225 µm möglich
- <b>Ohne Lötungen/Antindung in Signalinnenlagen</b>	Abstand zu potentialfremden Leiterbildelementen min. 275 µm umlaufend	225 µm möglich
- <b>DK ohne Lötungen in Außenlagen</b>	Pad 100 µm umlaufend < Bohr-Ø, Abstand zu potentialfremden Leiterbildelementen min. 200 µm umlaufend	
<b>ndk – Bohrungen</b>	Ø wie dk Bohrungen	
- für Tenting	min. 300 µm (zu Masseflächen) 250 µm (zu Pads/Tracks) umlaufend Cu-frei, Bohr-Ø max. 5,0 mm	
- <b>NDK-Bohrungen in Cu-Flächen</b>	75 µm umlaufend Cu-frei - extra Eohrarbeitungsang oder bohren auf Fräsmaschine	
- <b>NDK-Bohrungen mit Lötungen</b>	ohne Cu-Freimachung - extra Eohrarbeitungsang	
- in Innenlagen	200 µm umlaufend Cu-frei	
<b>Designdaten</b> (auch Kontur)	<b>GERBER 274x (extended GERBER) oder ODB++</b>	
<b>Leiterbild</b>		
- <b>Leiterzugbreite</b>	min. 75 µm (bei 5 µm Basis-Cu) / von Kupferdicke abhängig	
- <b>Isolationsabstand</b>	min. 75 µm (bei 5 µm Basis-Cu) / von Kupferdicke abhängig	
- „Wünsche“:		
Elemente < 75 µm	sollten in den Daten nicht vorhanden sein	
<b>Lötungen &amp; SMD-Pads</b>	möglichst „geblitzte Daten“ (im GERBER mit D3-Befehl)	
<b>Abstände el. verbundener Elemente</b>	> 75 µm (z.B. sog. „T“-Anbindungen / Slivers)	
<b>Masseflächen</b>	mit extra D-Code zeichnen	

hochwertig, modern, professionell.

Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH

## Zusammenfassung - Designregeln



Design-Element	Vorserie / Serie	Kleinmengen
<b>Stopplack</b>		
- <b>Stegbreite</b>	<b>grün:</b> min. 50 µm; <b>nicht grün:</b> 100µm	
- <b>Freimachung zum Leiterbild</b>	<b>grün:</b> min. 35 µm; <b>nicht grün:</b> 75 µm	
- <b>Lötungen &amp; SMD-Freimachungen</b>	„geblitzte Daten“ (im GERBER mit D3-Befehl) bevorzugt	
- <b>Vias ohne Freimachung</b>	werden mindestens mit Bohr-Ø freigemacht – sind also offen oder werden durch extra Zudruck mit Fotolack gefüllt	
<b>Abziehlack für Kunden</b>		
- <b>Strukturbreite</b>	min. 2,5 mm	
- <b>Abzudeckende Elemente</b>	min. 0,35 mm umlaufend abgedeckt	
- <b>Abstand abzudeckende ↔ freizuhaltenen Elemente</b>	min. 0,7 mm	
- <b>Zudruck von Bohrungen und Schlitzlen</b>	Max. 1,6 mm bis 1mm Schlitzbreite – 5mm Länge möglich	
<b>Kennzeichendruck</b>		
- <b>Strichbreite</b>	min. 0,17 mm / 0,13 mm (nur weiß)	
- <b>Abstand zu Lötflächen</b>	min. 0,2 mm	
<b>Kerbfräsen</b>		
- <b>LP-Dicke</b>	0,5...2,8 mm	
- <b>Abstand zu Leiterbildelementen</b>	min. 0,4 mm / von Kerbtiefe abhängig	
- <b>Abstand zu Stopplack</b>	min. 0,3 mm / von Kerbtiefe abhängig	
- <b>Sprungritzen</b>	Auslauf ca. 10 mm - von Kerbtiefe abhängig	
<b>Fräsen</b>		
- <b>Abstand zu Leiterbildelementen</b>	min. 0,2 mm in Innen- und Aussenlagen	
- <b>Abstand zu Stopplack</b>	min. 0,1 mm	
- <b>Wz.- Ø</b>	0,6... 3,0 mm (in 0,1mm-Schritten)	

hochwertig, modern, professionell.

**die hmp-Fertigungs Panel (Zuschnitte):**

Nr.	Zu-Maß (mm)		LP-Art	nutzbares Maß	
	X	Y		X	Y
S1	456	605	DK / NDK	426	576
M3	450	600	ML / S3U	418	570
M5	523	623	ML / S3U	493	593

Basis Designregeln für Leiterplatten - hmp HEIDENHAIN-MICROPRINT GmbH



# DANKE für Ihre Aufmerksamkeit

hochwertig. modern. professionell.

Bernd Hambsch  
Gebietsverkaufsleiter  
hmp HEIDENHAIN-MICROPRINT GmbH  
Technisches Büro Ost  
Rhinstraße 134  
D - 12681 Berlin  
Telefon + 49 30 547 05 140  
Funk + 49 172 395 74 68  
Fax + 49 30 547 05 80  
[bhambsch@hmp-heidenhain.de](mailto:bhambsch@hmp-heidenhain.de)  
[www.hmp-heidenhain.de](http://www.hmp-heidenhain.de)

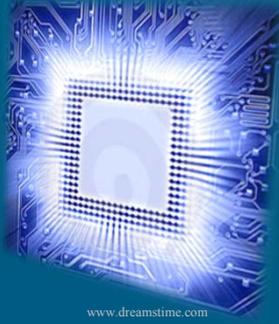
Sebastian Döhl  
Gebietsverkaufsleiter  
hmp HEIDENHAIN-MICROPRINT GmbH  
Technisches Büro Nord/West  
Rhinstraße 134  
D - 12681 Berlin  
Telefon + 49 30 547 05 141  
Funk + 49 172 311 62 85  
Fax + 49 30 547 05 80  
[sdoehl@hmp-heidenhain.de](mailto:sdoehl@hmp-heidenhain.de)  
[www.hmp-heidenhain.de](http://www.hmp-heidenhain.de)

Mitglied der Helmholtz-Gemeinschaft



# INTEGRATED PHASE LOCKED LOOP DESIGN

03.03.2015, Nina Parkalian  
Forschungszentrum Jülich GmbH  
Central Institute for Engineering, Electronics  
and Analytics  
Integrated system



[www.dreamstime.com](http://www.dreamstime.com)

Mitglied der Helmholtz-Gemeinschaft



## Contents

- Phase locked loop (overall view)
- Phase locked loop sub blocks
- Simulation results of integer PLL
- Fractional PLL
- Simulation results of fractional PLL
- Conclusion

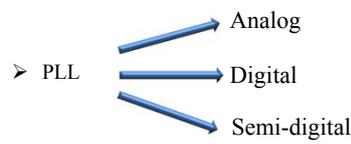
03. March 2015      INTEGRATED PHASE LOCKED LOOP      2

## PHASE LOCKED LOOP

Application: Pulse detection, PLL generates the sampling clock for an ADC in an on-chip pulse detection receiver

Other applications: processors, clock recovery, wireless communications,...

- PLL synchronizes periodic output clock with a periodic reference clock in frequency and phase.

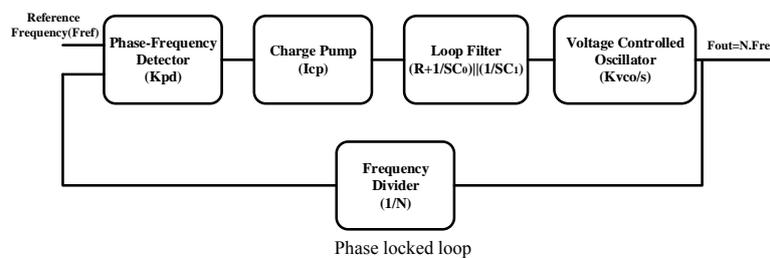


## TYPE2, THIRD ORDER PLL

- The type of PLL is the number of integrators in the open loop transfer function
- PLL as a feedback system is susceptible to oscillation and instability

$$\text{open loop TF: } G(s) = \frac{K_{pd}K_{vco}I_{cp}(S + \omega z)}{NC_1S^2(S + \omega p)}$$

$$\text{close loop TF: } H(s) = \frac{K_{pd}K_{vco}I_{cp}(S + \omega z)}{NC_1S^3 + (C_1\omega pN)S^2 + K_{pd}K_{vco}I_{cp}(S + \omega z)}$$



**JÜLICH**  
FORSCHUNGSZENTRUM

## VOLTAGE CONTROLLED OSCILLATOR

```

graph TD
    VCO[Voltage controlled oscillator] --> NFB[Negative feedback based]
    VCO --> NR[Negative resistance based]
    NFB --> OC["Oscillation conditions:  
|H(jω)| ≥ 1, ∠H(jω) = 180°"]
    OC --> FS[Four stage structure]
    OC --> EOP[Eight output phases]
    OC --> Fosc[Fosc=2GHz]
    
```

Reference Frequency (Fref) → Phase-Frequency Detector → Charge Pump → Loop Filter → Voltage Controlled Oscillator → Fout = N × Fref

Frequency Divider

Four stage ring oscillator

03. March 2015
INTEGRATED PHASE LOCKED LOOP
5

Mitglied der Helmholtz-Gemeinschaft

**JÜLICH**  
FORSCHUNGSZENTRUM

## DELAY STAGE OF VCO

Delay stage of VCO

$$\omega_{out} = \omega_0 + K_{vco} \times V_{ctrl}$$

Output waveforms

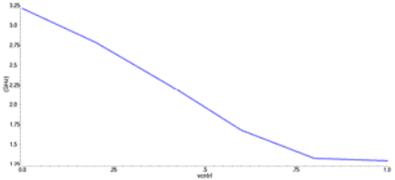
VCO layout

03. March 2015
INTEGRATED PHASE LOCKED LOOP
6

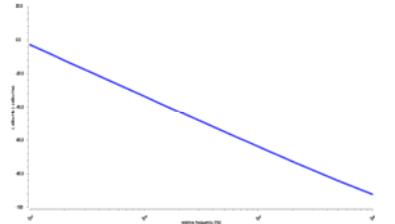
Mitglied der Helmholtz-Gemeinschaft



## SIMULATION RESULTS OF VCO



Tuning range



Phase noise

- The relation between the frequency range and control voltage of oscillator
- Linearity of the curve is important

- Ideal oscillator:  $V_{out}(t) = V_0 \cos(\omega_0 t)$
- Real oscillator:  $V_{out}(t) = V_0 \cos(\omega_0 t + \phi(t))$   
Phase noise

$$V_{out}(\omega) = V_0 \pi [\delta(\omega - \omega_0) + \delta(\omega + \omega_0)] - V_0 \pi [\varphi(\omega - \omega_0) + \varphi(\omega + \omega_0)]$$

Noise effects on the output spectrum

- Phase noise @1MHz offset of center frequency = -92dBc/Hz

03. March 2015
INTEGRATED PHASE LOCKED LOOP
7



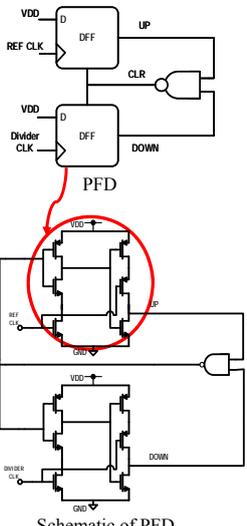
## SIMULATION RESULTS IN DIFFERENT PROCESS CORNERS

Process corner	Control voltage @2GHz	Tuning range @27°	Tuning range @-22°	Tuning range @120°
TT	487mv	1.294GHz_3.209GHz	1.329GHz_3.367GHz	1.26GHz_2.99GHz
SS	326mv	986.2MHz_2.708GHz	992MHz_2.85GHz	980MHz_2.52GHz
FF	670mv	1.672GHz_3.794GHz	1.72GHz_3.9GHz	1.62GHz_3.54GHz
FS	455mv	1.322GHz_3.13GHz	1.36GHz_3.28GHz	1.27GHz_2.92GHz
SF	509mv	1.23GHz_3.261GHz	1.246GHz_3.43GHz	1.22GHz_3.028GHz

03. March 2015
INTEGRATED PHASE LOCKED LOOP
8

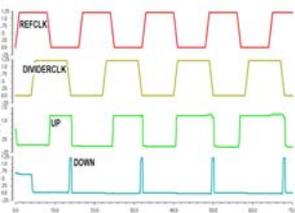
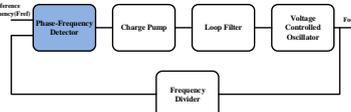


## PHASE FREQUENCY DETECTOR



Schematic of PFD

- PFD as a block having the output signal proportional to the phase and frequency difference between two input signals
- Output signal pulse width shows the phase and frequency difference
- Linear structure
- Three states operation :
  - dividerclk leads refclk
  - dividerclk lags refclk
  - dividerclk and refclk are in phase

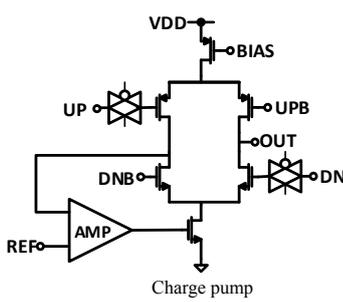
03. March 2015

INTEGRATED PHASE LOCKED LOOP

9



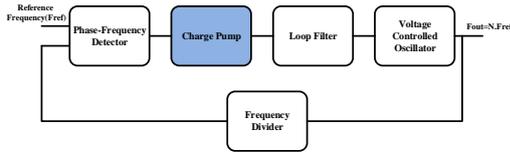
## CHARGE PUMP



Charge pump

- Converts phase information into current
- Switchable current sources to charge and discharge the loop filter

- F<sub>ref</sub> > F<sub>divider</sub>: charging the filter
- F<sub>ref</sub> < F<sub>divider</sub>: discharging the filter
- F<sub>ref</sub> = F<sub>divider</sub>: zero output current

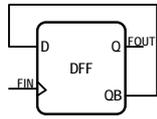


03. March 2015

INTEGRATED PHASE LOCKED LOOP

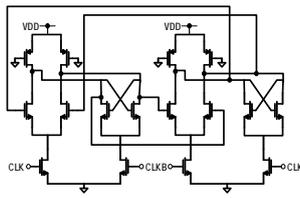
10

## FREQUENCY DIVIDER

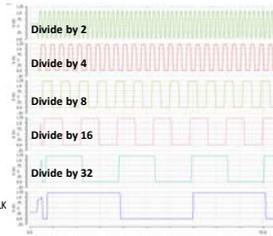


Frequency divider

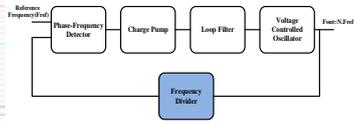
- $F_{out} = \frac{F_{in}}{2}$
- Consecutive connections results in division ratios of 2, 4, ...,  $2^n$
- Using this structure, high frequencies will be locked to much lower clock rates



Schematic view of DFF



Output waveforms

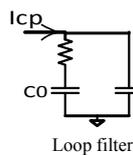
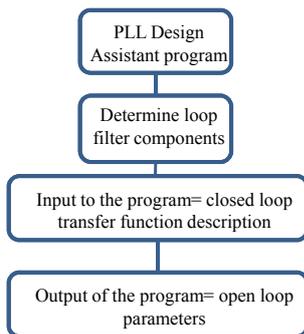


03. March 2015

INTEGRATED PHASE LOCKED LOOP

11

## LOOP FILTER



Loop filter

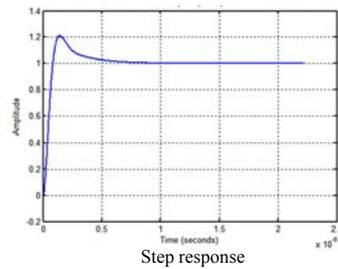
$$Fz = 6.43e5$$

$$Fp = 7.17e6$$

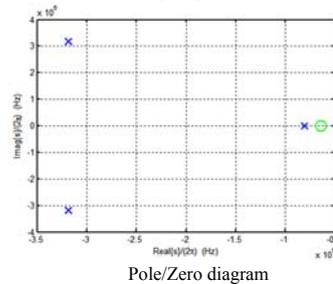
$$R = 24K$$

$$C_0 = 10pf$$

$$C_1 = 1pf$$



Step response

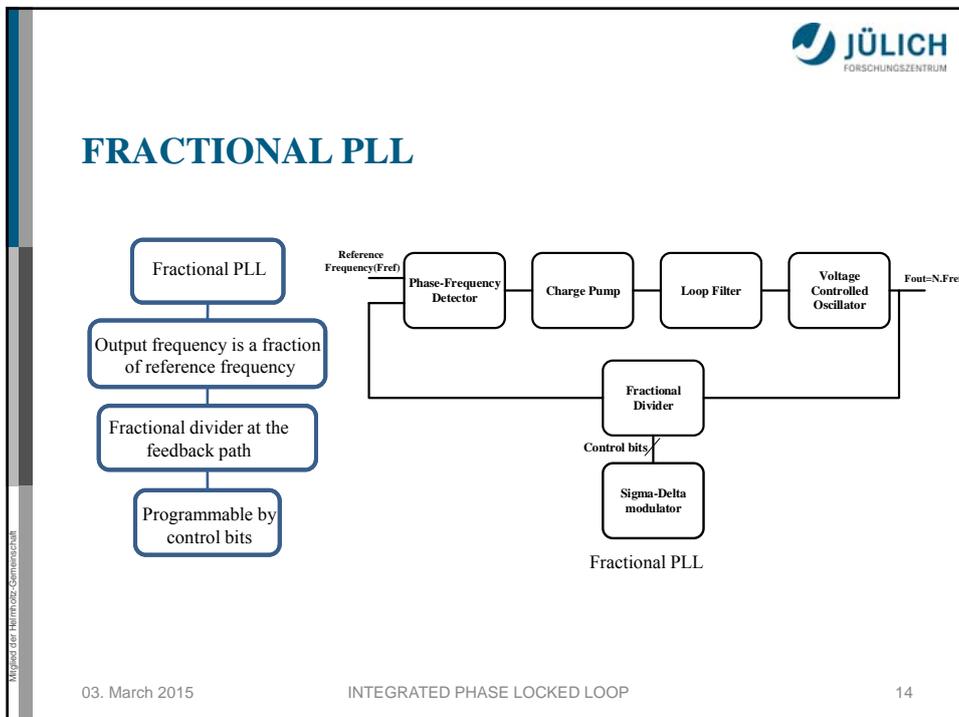
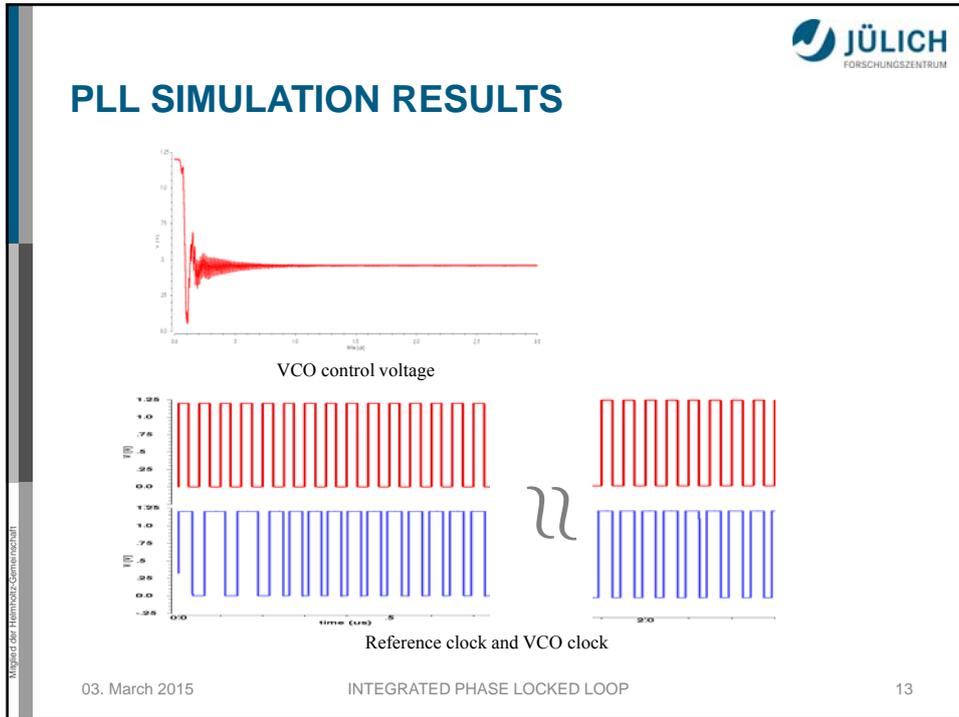


Pole/Zero diagram

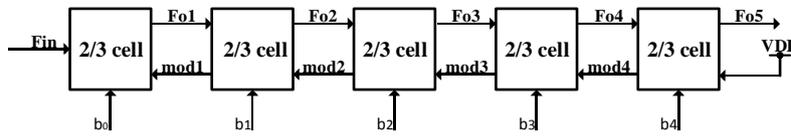
03. March 2015

INTEGRATED PHASE LOCKED LOOP

12

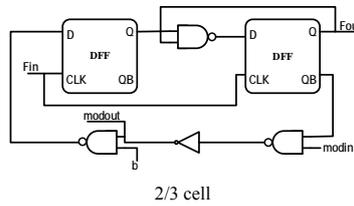


## FRACTIONAL DIVIDER



Divide by 32-63

$$T_{out} = (2^n + (2^0 b_0 + 2^1 b_1 + \dots + 2^{n-1} b_{n-1})) T_{in}$$



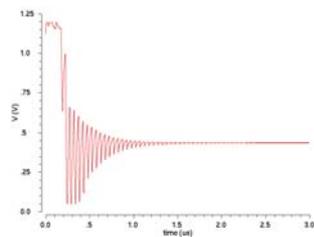
INTEGRATED PHASE LOCKED LOOP

03. March 2015

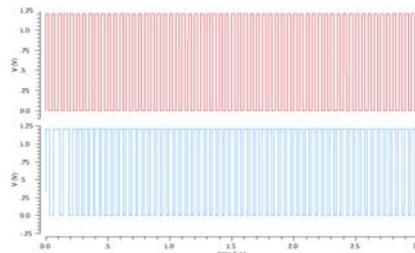
15

Mitglied der Helmholtz-Gemeinschaft

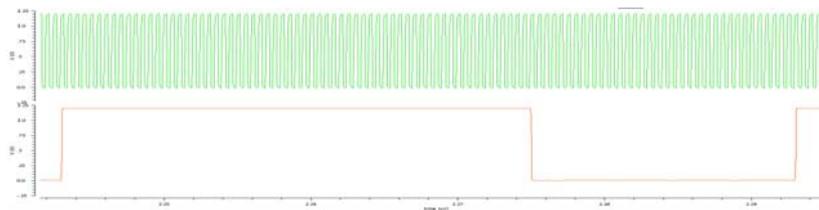
## FRACTIONAL PLL RESULTS



VCO control voltage



Reference and output clock of divider



Output of divider (division ratio=100)

03. March 2015

INTEGRATED PHASE LOCKED LOOP

16

Mitglied der Helmholtz-Gemeinschaft

## Conclusion

- The design of an integer PLL and fractional PLL has been presented in 65nm TSMC technology.

	Integer divider	Fractional divider
Reference frequency	62.5 MHz	20MHz
Center frequency of oscillator	2GHz	2GHz
Division ratio	32	100
Lock time	1484ns	1546ns
Power consumption	18.47mW	30mW

*Thank  
You!*

*Any question?*

# XFEL & DESY FLASH – MPS

## Machine Protection System (MPS) based on MicroTCA ( $\mu$ TCA)

Sven Karstensen

SEI 2015, DESY Zeuthen – 2<sup>nd</sup> - 4<sup>th</sup> March 2015

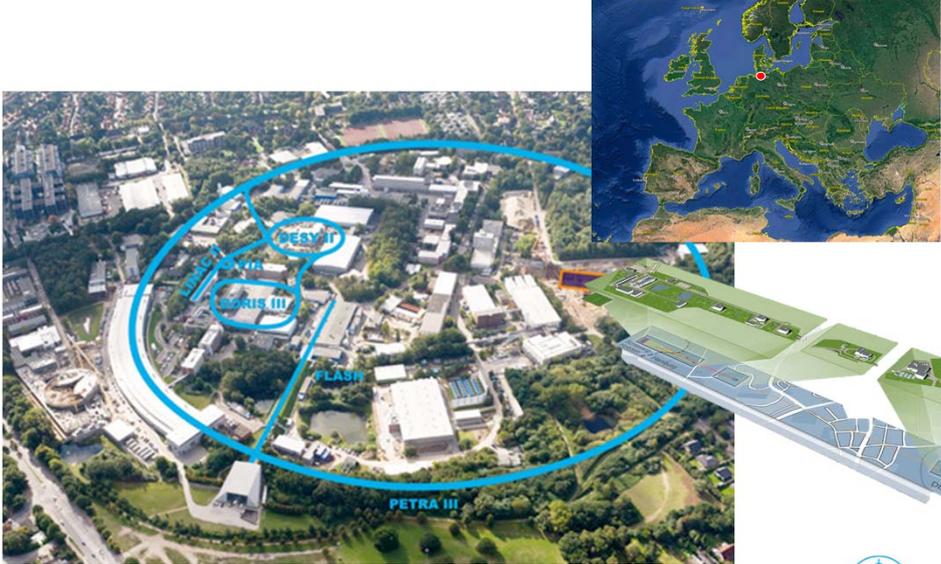


## Outline

1. Purpose of MPS
2. Overall requirements
3. Interfaces
4. Architecture
5. Features
6. Design
7. Summary
8. Status



### Location



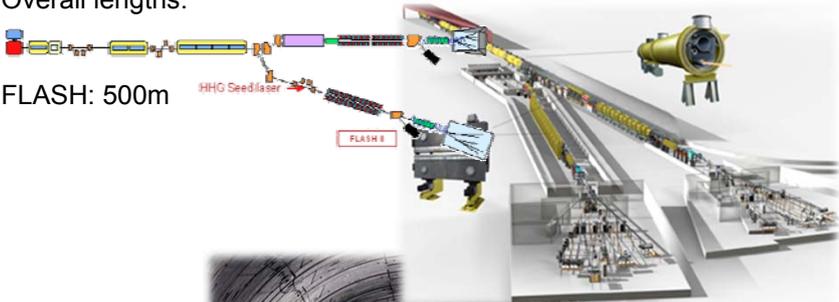
Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 3



### XFEL and FLASH - DESY

Overall lengths:

FLASH: 500m



XFEL: 5.4 km

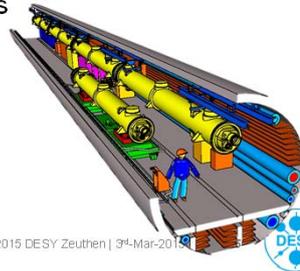


Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 4



## MPS Design Goals

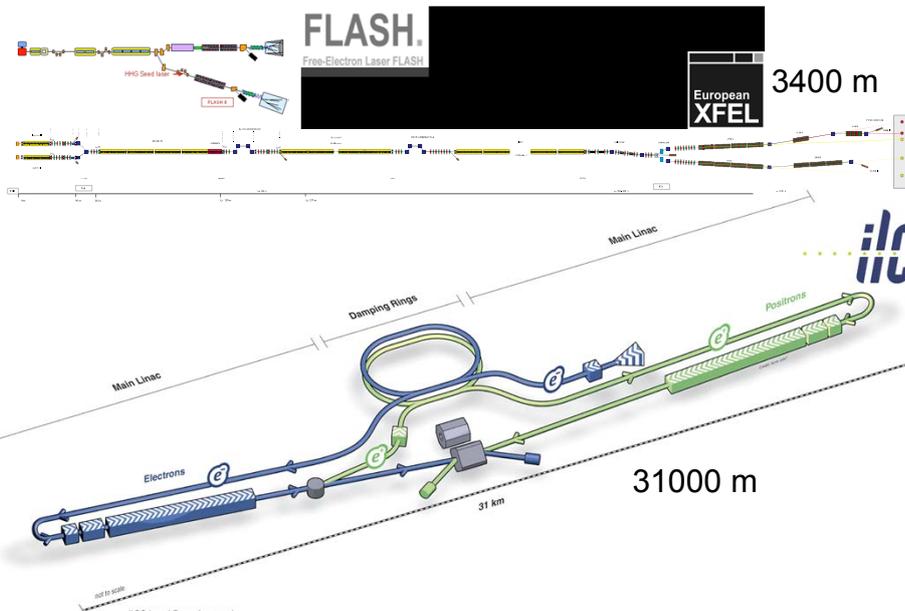
- > Maintenance without shutdown the accelerator
- > Remote firmware update
- > Remote investigation of problems
- > Reduce costs
- > Reduce manpower
- > Reduce latency of alarms
- > Reduce number of cables and fiber optic lines
- > Reliability of components
- > No programming – but configuring
- > Scalability
- > same hardware as the rest of XFEL



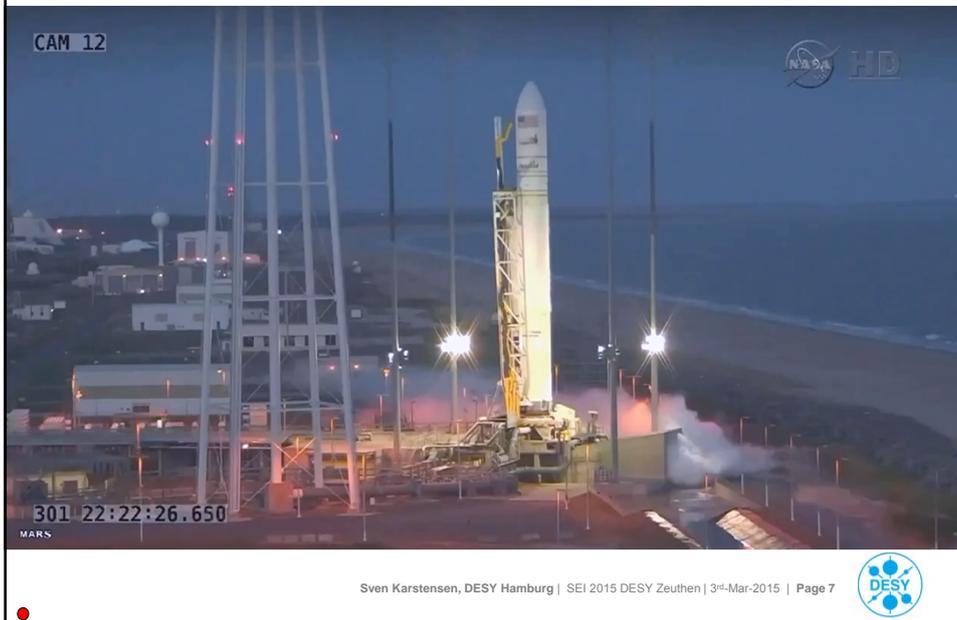
Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015



## Scalability - FLASH, XFEL, ILC



## Why do we need an MPS at all?



Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 7



## Define the purpose of XFEL MPS

### > MPS **protects** the accelerator from damage

- esp. produced by electrons or photons directly or indirectly
- e.g. caused by orbit drifts, beam misalignments of many kinds ...
- e.g. caused by subsystems' failures ...
- e.g. caused by inappropriate beam modes during diagnostic routines
  - ❖ wire scanning, TDS-activity



❖ MPS **detects** that indirectly through a whole lot of interlock, alarm, warning and status signals from a multitude of (diagnostic) systems

❖ MPS **reacts** accordingly by stopping or throttling the electron beam

- How, when and by means of ...? – will be shown on the next slides

Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 8



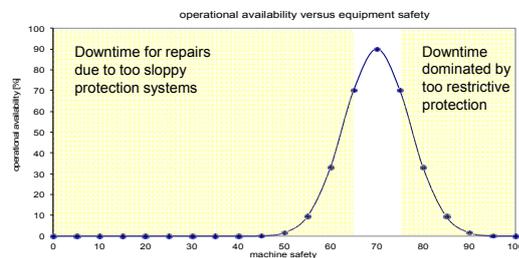
## Clarify what XFEL MPS is NOT

- ❖ does not accept beam mode wishes from the operator
  - it limits his or her wishes; based on the actual settings in the Timing System
- ❖ does not control subsystem's operation, e.g. wire scanners
  - it limits the beam if operator has forgotten that
- ❖ does not evaluate any parameter against threshold limits
  - that is the responsibility of the supplying subsystems
- ❖ does not protect staff personnel
  - but the working group named 'MPS' does



## Overall Requirements

- > MPS must be **bullet-proved**
  - XFEL benefits from **FLASH2** as the new  $\mu$ TCA-based MPS is used there first
- > MPS' alarm-responses shall be **well-balanced**
  - protection shall be as sensitive as necessary, but also as tolerant as reasonable possible to still enable a properly operable system



- > MPS shall be as **invisible** as possible
- > should be look like as **one** comprehensive MPS
  - besides the equipment protection system for the photon beamline and
  - the personnel interlock system



## List of Interlock Supplying Systems

As agreed upon the MPS-CDR

- > MPS will receive ~2000 interlock, alarm, warning and status signals from ~27 types of systems
- > MPS usually accepts only summary interlock signals
- > Signal levels must be RS422-conform
  - a TTL-signal level converter can be provided

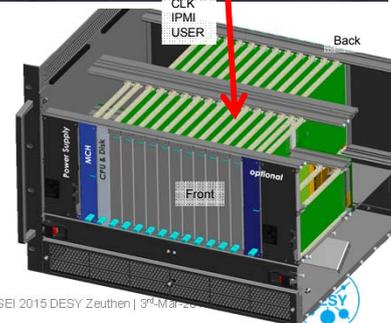
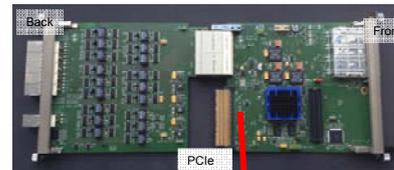
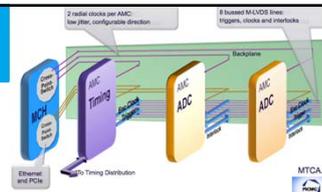
System	Approximate number of signals to MPS	Subsystems' task
Vacuum	30	Determine Operation Mode
Cryo	10	Determine Operation Mode
Magnets bending I & BC sections (warm)	5	Determine Operation Mode
Magnets bending undulator sections (warm)	5	Lead beam to linac dumps
Magnet steerers & quads (cold & warm)	600	Steer and focus beam
Coupler interlock	28 (+3 later)	RF protection
LLRF	56	Steering beam
Klystron interlock	28	RF for beam
Modulators	28	RF for beam
BLM	350	Monitor beam losses
BHM	24	Halo monitor
Wire scanner	44	Diagnostics
TPS	32*6	Monitor beam loss
BPM	72	Orbit position
Dump diagnostics	30	Protect dump and avoid radiation activation
Dump kicker	1	Dump beam
Distribution kicker	1	Distribute beam to SASE lines
Laser	1 per laser	Laser pulses
OTR screens	27	Diagnostics
OTR screens in TDS	8	Diagnostics
Photon Beamlines	9	Protect photon beamline components
Collimators	5	Protection of Undulator sections
Beam OFF	1	Switch all Beam OFF manually
Radiation monitors	390	Measure radiation
Personnel Interlock	12	Information
Timing System	150	Running information
MPS	2000	Alarm information

Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 11



## MicroTCA

- > Remote maintenance
- > Online update of FPGA firmware
- > HOT SWAPable
- > IPMI Management for 12 AMC modules
- > Management for up to 4 Power Modules
- > Management for up to 2 Cooling Units
- > Optionally provides Shelf Management
- > Front Panel Alarms
- > Clock Distribution system
- > Fabric Channel Uplink
- > UPTIME 99.999%

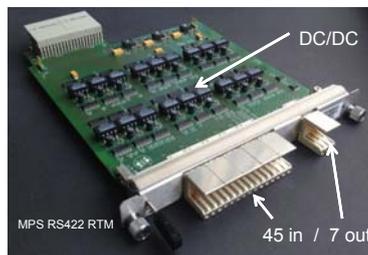
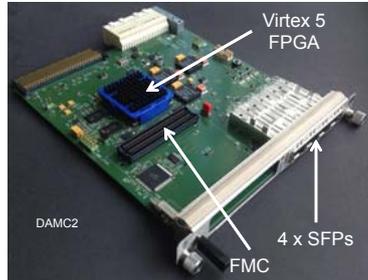


Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015



## MPS DAMC2 hardware features

- > FPGA driven
- > 45 RS422 external input channels
- > 3 internal input channels for FMC
- > 7 RS422 output channels, 1 Backplane Output
- > Galvanic isolation
- > I<sup>2</sup>C support to FMC
- > 4 SFP I/O fiber optic lines (0-4 Inputs, 0-4 outputs)
- > Indirect redundancy
- > Fast internal RS422 link from in- to outputs
- > Debug Register
- > LED status indicator (heart beat, server connection, initialization)



Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 13



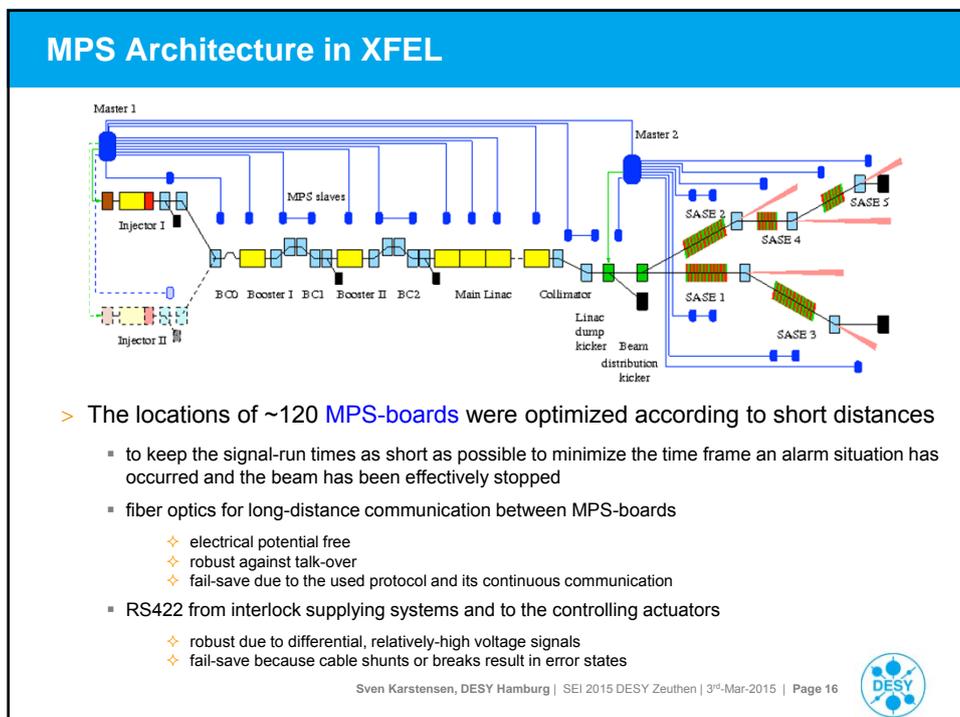
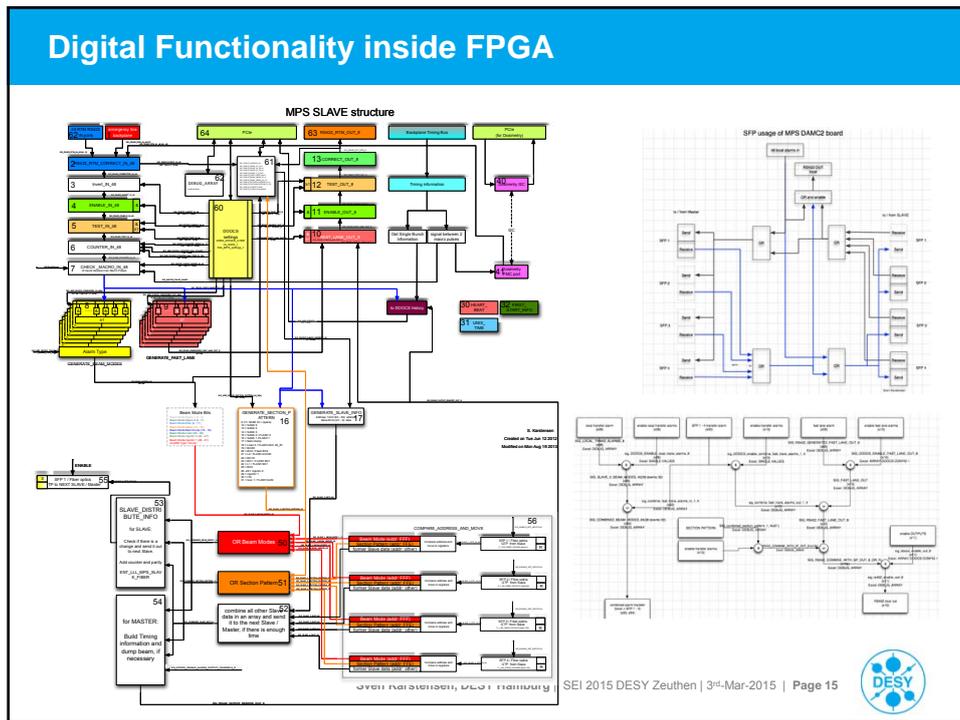
## MPS DAMC2 overall features

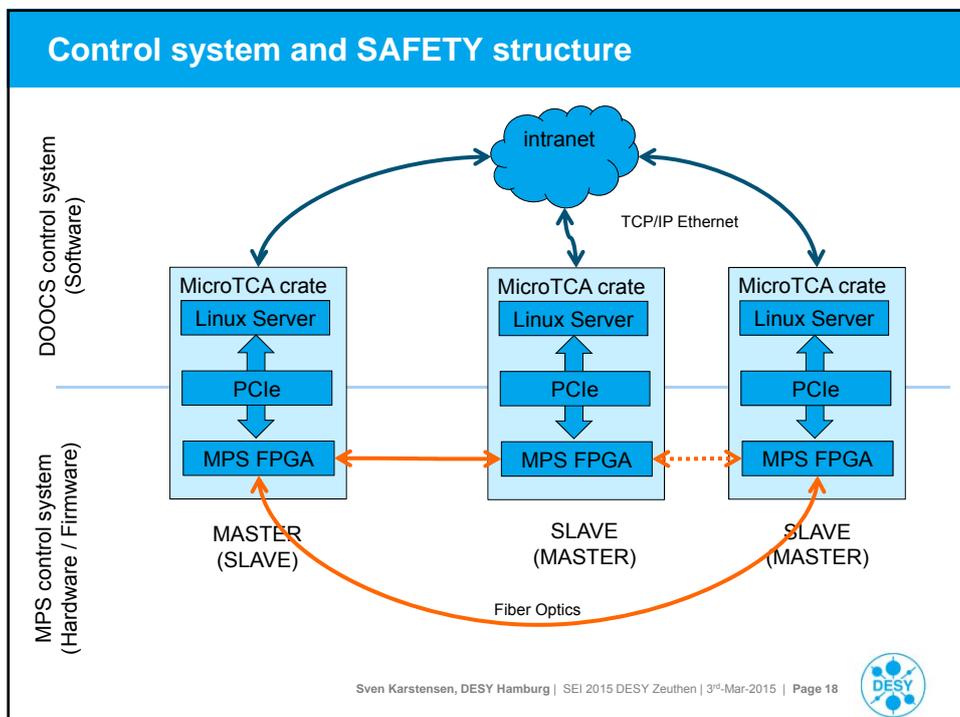
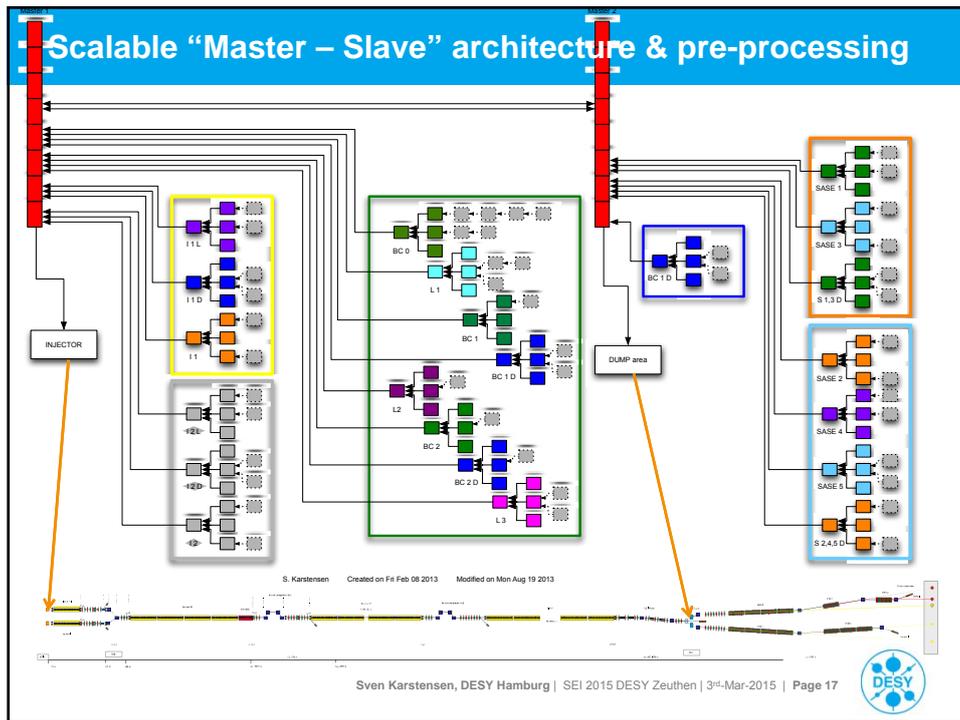
- > Scalability
- > same firmware in every DAMC2
- > Every DAMC2 slave holds all information of all prior connected slaves (debugging)
- > Every slave can be connected to the timing system
- > Every slave can be hold one I2C driven FMC Dosimetry board
- > **Configurable – NOT programmable**



Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 14

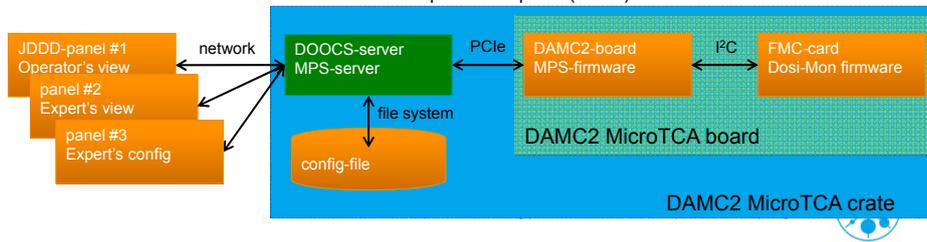




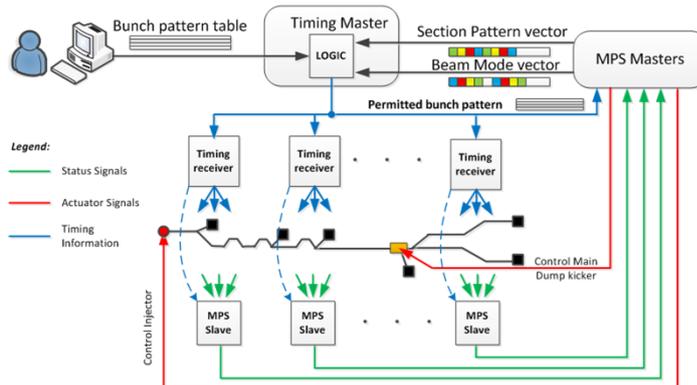


## DOOCS control system – Server (Software) View

- > Maintainability
  - same server-software – Masters AND Slaves – but differently configured
  - conformance between server software and FPGA firmware is checked
  - server-software supports hot-plugging of boards – auto-upload of static config
- > JDDD-panels
  - for operators – graphical view to the first master only
  - for experts – graphical and textual views to all masters and slaves
- > Synchronization / update times
  - JDDD-panels and MPS-server – widget-dependable between 1 and 10 Sec.
  - MPS-server to DAMC2-board – per macro pulse (10 Hz)
  - MPS-server to FMC-card via DAMC2 – per macro pulse (10 Hz)

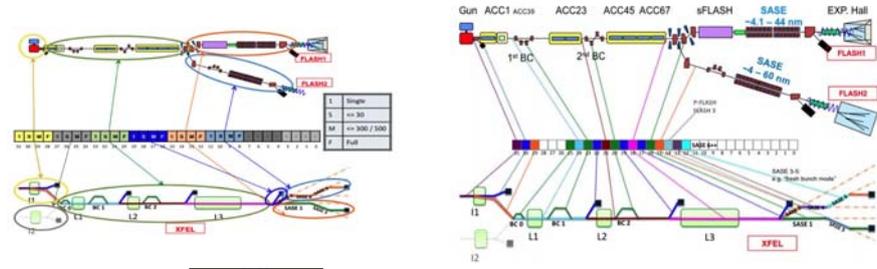


## Timing System Integration



- > The operator tells the Timing System the demanded beam parameters
- > MPS detects the current machine state through its supplying (diagnostic) systems and tells the Timing System its beam vetoes in form of Section Pattern and Beam Modes vectors
  - MPS also have a master-slave architecture with a slaves to masters communication structure
- > but MPS is also able to bypass the Timing System temporarily to directly control laser and kicker

## Information and protocol structure



**Beam Modes**  
> 1000

63-52	Sec 63-58	Addr 57-52	S1	50-48	47-40	39-32	31-0
	FFF	12 (6+6)	P	CNT	spare	ALARM Type	BEAM Modes
			1	3	8 bit	8 bit	32 bit

**Section Pattern**  
only 1

63-52	63-58	57-52	S1	50-48	47-40	39-32	31-0
	FFF	12 (6+6)	P	CNT	spare	spare	SECTION PATTERN
			1	3	8 bit	8 bit	32 bit

Fiber optics information / protocol

Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 21



## Configuration possibilities

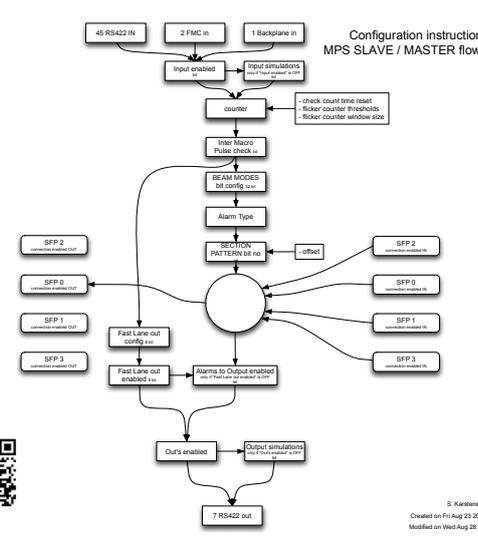
**> Configuration for:**

- IN- and OUTput enabling
- input signal bouncing filter settings
- Fast Lane enable
- Transfer Alarm
- Beam Modes
- Section Pattern
- enable MPS-board communication
- enable Timing System communication

**> QR-code database fill-in**

- locations, specifics



MCS4  
DAMC2  
1090

Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 22



## Expert's GUI – Configuration



- > MPS' alarm-response is highly configurable for each of the ~120 boards
  - Fast Lane path – locally routed interlocks
  - Transfer Alarms generation – transferred interlocks to other MPS boards
  - Beam Modes & Section Pattern generation – transferred limitations for the Timing System

Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 23



## Expert's GUI – Operation

- > Displays current state of every in-/output line, transferred alarms and transferred Beam Modes and Section Patterns, event history, health state ...
- > Provides one-click cross-system navigation – opens panel of connected in-/output system
- > Enables an expert operator to reset intentionally held alarm signals



Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 24



## Operator's GUI

**> Graphical representation**

- 'give way'-signs for current state of laser controller and linac dump kicker
- 'speed limit'-signs for currently set beam limitations for 6 accelerator sections – the Beam Modes
- 'red-green'-background for current availability of 17 different accelerator subsections – Section Pattern
- list of MPS-servers with their current health state and the number of detected interlocks

Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 25

## Latencies

- ❖ Besides already travelling bunches
  - which cannot be stopped anymore by means of the laser or linac dump kicker
- ❖ Signal run-time to be added
  - worst case 1: from end of linac to laser controller via fiber optics ~10  $\mu$ s
  - worst case 2: from last undulator to linac dump kicker via fiber optics ~2  $\mu$ s
- ❖ Latency to be added
  - of signal converters and FPGA logic
  - of slave-master communication
- ❖ Power
  - max.: 20 GeV
  - 27.000 Flashes/s

Origin of an alarm	Distance from laser	Distance from dump kicker	# of already travelling bunches
Injector	0 m	-	0
BC1	160 m	-	7
BC2	360 m	-	15
Linac center	1040 m	-	44
Linac end	1650 m	-	69
Beam distribution (2010 m)	40 m	40 m	2
Last undulator (3010 m)	1040 m	1040 m	44

Alarms IN

Alarms OUT

**+Latency Fiber Optics: 5ns/m**

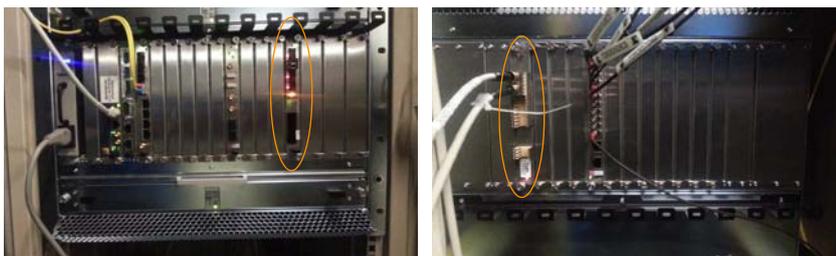
Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 26

## Status (1./2)

- > Hardware design is finished – 120+ DAMC2-boards are ordered
- > Cables and plugs are chosen – 10 km RS422 cables in stock
- > Requirements are frozen (CDR approved)
  - minor issues like inter-macro-pulse checks of subsystems can be added
- > Interfaces are fully negotiated (CDR approved)
- > Locations of board-installation are mostly planned
- > Development of DAMC2-firmware is almost finished
  - cascading communication through multiple levels is under development
  - up-the-waterfall routing of Transfer Alarms is under development
- > Development of front-end server software almost finished
  - cross-system navigation directly from reaction to cause is still under development
  - MPS-tab within the XFEL main task bar is still under development



## Status (2./2)

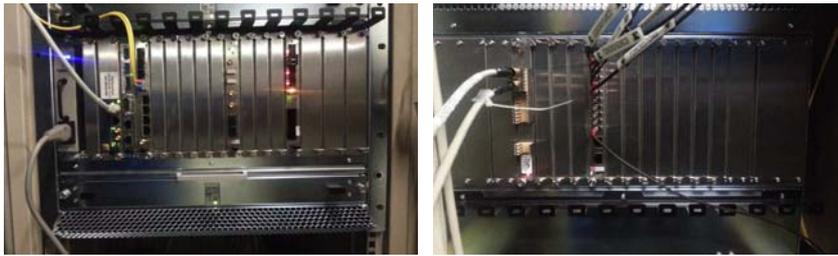


- > Already successful operational installations (to be grown quickly)
  - 2 board at the 7th basement of the XFEL tunnel – for **XFEL gun test**
  - 5 boards at the injector hatch, cryo annex and extraction area of **FLASH2**
  - 5 boards at 3 test-stands in the **AMTF-hall** for LLRF tests



# Thank you for your attention!

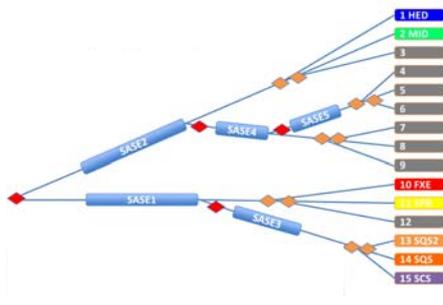
Questions and comments are welcome



Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 29



## MPS to Equipment Protection System Cooperation



- > MPS receives a few interlocks from Equipment Protection System of the photon beamline
- > MPS tells the Timing System the appropriate limits
  - the amount of bunches (Beam Modes) for two major different SASE-lines (Alster & Elbe)
  - the availability (Section Pattern) of all five SASE-lines
- > Timing System controls the Distribution Kicker accordingly
- > MPS triggers the Linac Dump Kicker in case of asynchronous beam stop

Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 30



## MPS to Timing System Cooperation

1	Single
S	<= 30
M	<= 300 / 500
F	Full

> **Beam Modes**

- amount of bunches allowed in the corresponding accelerator sections

> **Section Pattern**

- beam permissions in the corresponding accelerator subsections

> **Beam Modes**

- amount of bunches allowed in the corresponding accelerator sections

> **Section Pattern**

- beam permissions in the corresponding accelerator subsections

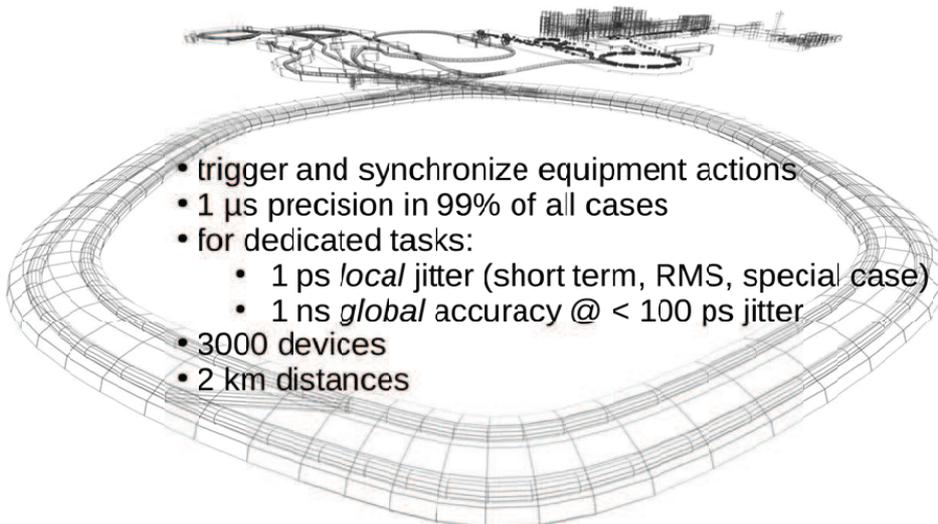
Sven Karstensen, DESY Hamburg | SEI 2015 DESY Zeuthen | 3<sup>rd</sup>-Mar-2015 | Page 31

## Acknowledgements

- GSI Timing Team: Jiaoni Bai, Alexander Hahn, Marcus Zweig, Stefan Rauch (CSCOHW), Mathias Kreider, Cesar Prados, Theodor Stana, Wesley Terpstra, Dietrich Beck
- GSI Staff: Jan Hoffmann, Nikolaus Kurz, Jochen Frühauf, Karsten Koch, Peter Skott, Sabine Voltz †, Peter Moritz †, Ralph Bär, Andreas Franke, Matthias Thieme, and, and, and ...
- CERN Rabbits, GSI Experiment Electronics group, GSI RF group ...



## General Machine Timing @ FAIR: Status



- trigger and synchronize equipment actions
- 1  $\mu$ s precision in 99% of all cases
- for dedicated tasks:
  - 1 ps *local* jitter (short term, RMS, special case)
  - 1 ns *global* accuracy @ < 100 ps jitter
- 3000 devices
- 2 km distances

- not: reference clock for rf-systems ( $\rightarrow$  BuTiS)







- CRYRING moved from Stockholm to GSI
- „a test ground for the FAIR control system“



03-Mar-2015

Dietrich Beck for the Timing Team (GSI/CSCO)

CRYRING@ESR: A study group report

## White Rabbit

- **Gigabit Ethernet network**: interconnect many nodes
- **IEEE 1588 (PTP)**: common notion of time
- **physical layer of GigE**:
  - 125 MHz carrier (8 ns): clock propagation
  - measure and adjust phase: < 100 ps precision and jitter
  - dedicated **White Rabbit Switches** required
  - single optical fibre with two different wavelengths ...
- development initiated by CERN and others [1]

[1] [www.ohwr.org](http://www.ohwr.org)



03-Mar-2015

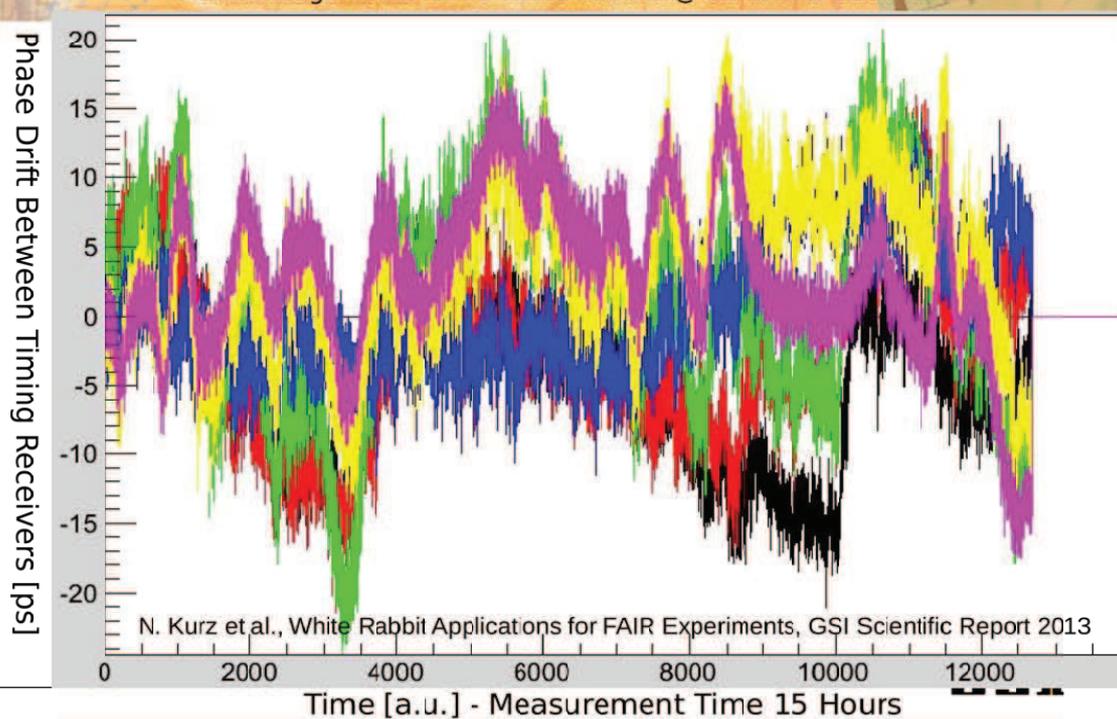
Dietrich Beck for the Timing Team (GSI/CSCO), [d.beck@gsi.de](mailto:d.beck@gsi.de)

## High Resolution Measurement of White Rabbit Clock Phase Drift

FAIR@GSI/CSEE: J. Frühauf, J. Hoffmann, N. Kurz

FAIR@GSI/CSCO: M. Zweig, S. Rauch, M. Kreider, C. Prados, W. Terpstra, D. Beck, R. Bär

Acknowledgements to the White Rabbits @ CERN and Elsewhere



## Timing System Based on Absolute Notion of Time (TAI)

"...it's just radio-controlled alarm clocks, really"

equipment is **pre-programmed** for **autonomous action** at a **given time**  
 ⇒ **distribution of information and execution of action are decoupled!!!**

„at given time“: 8 ns (1 ns for bidi I/O) granularity, 30 ps jitter (hard real-time)

**GSI**

03-Mar-2015 Dietrich Beck for the Timing Team (GSI/CSCO), d.beck@gsi.de

## General Machine Timing System (GMT)

### Real-Time Control of GSI/FAIR

Settings Management „off-line system“  
generates settings: indexed data and schedule for GMT

indexed data for config schedule with index

GMT Data Master

index, timestamp

SCU-Bus Timing Receiver Nodes I/O

slave slave slave

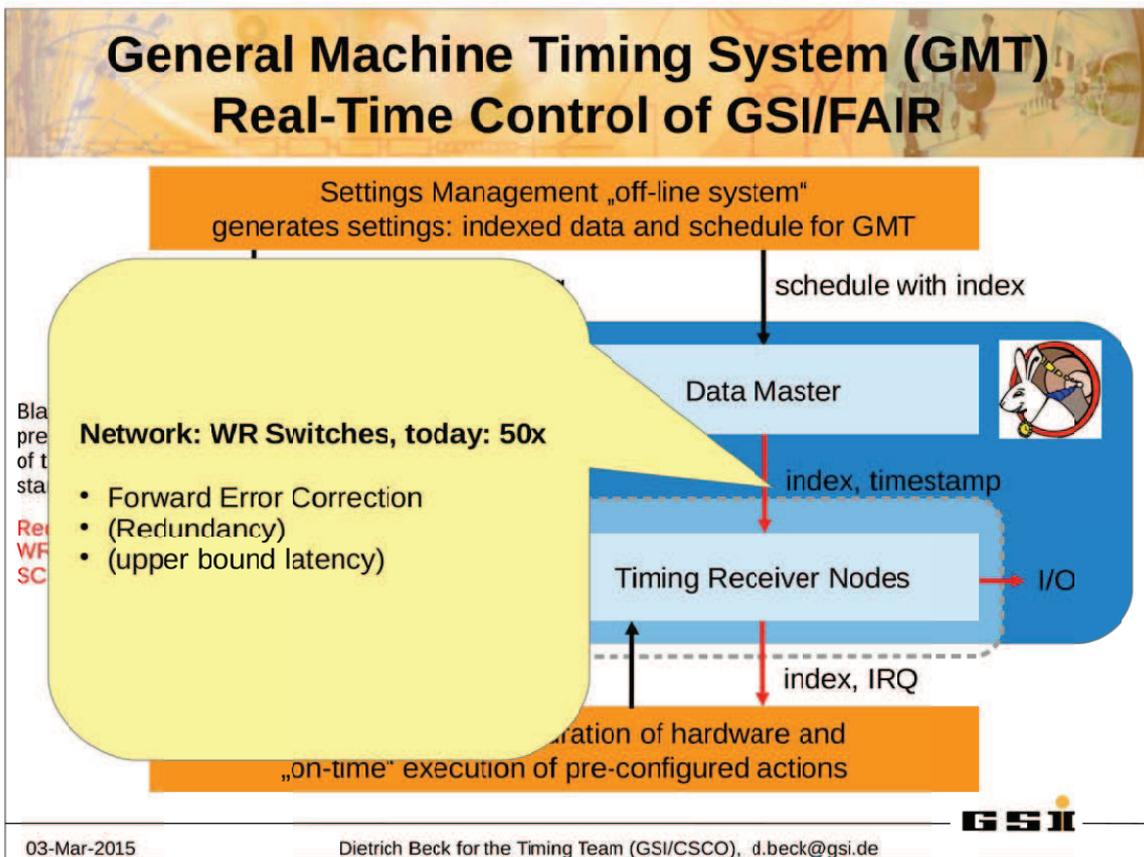
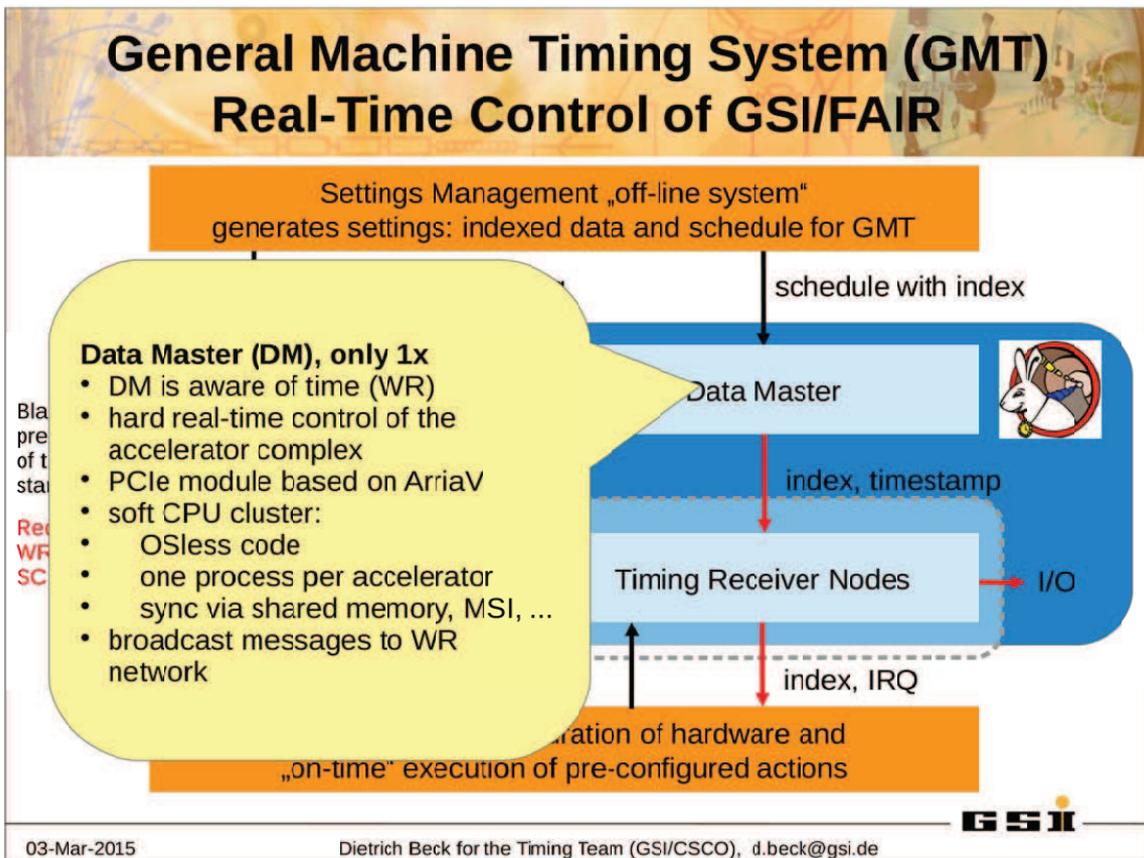
index, IRQ

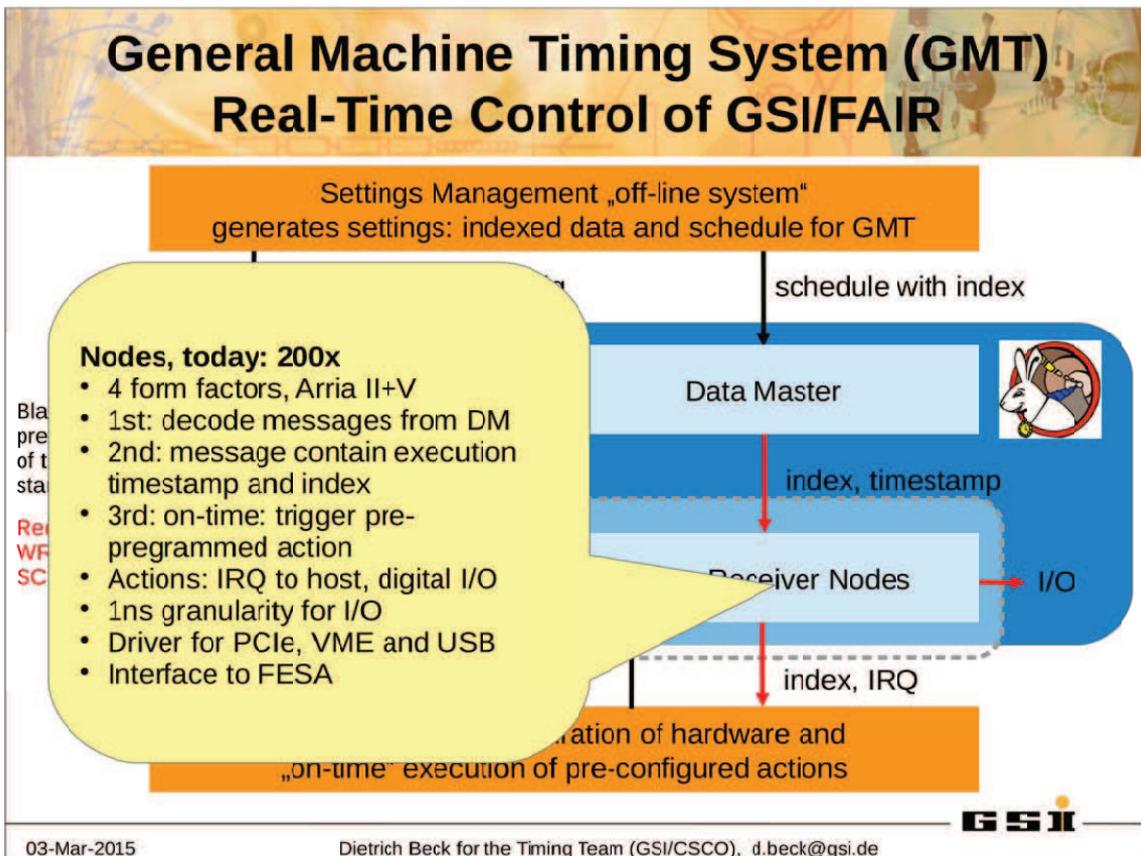
Front-End, pre-configuration of hardware and „on-time“ execution of pre-configured actions

Black: no real-time pre-load data ahead of time: software, standard network  
 Red: hard real-time WR network (solid) SCU bus (dashed)

**GSI**

03-Mar-2015 Dietrich Beck for the Timing Team (GSI/CSCO), d.beck@gsi.de





## Design Principle: Do Things Inside the FPGA

90% of development time: Gateway (HDL) + Firmware (C)

- **“Hardware follows Gateway” !!!**
- strict policy on hardware **reference design** <sup>(1)</sup>
- generic HDL **“monster”** design for all form factors (difference between form factors: instantiation of HDL components, pins)
- HDL components implemented as devices connected to a **Wishbone** crossbar SoC architecture
- **Etherbone** protocol: extends SoC bus outside FPGA (network, PCIe, VME, USB, SCU-Bus, smoke signals, whatever ... )
- embedded Lattice Micro 32 (**lm32**) soft CPU(s) with periphery (OSless hard real-time)

(1): Moreover: Only hardware delivered by us is supported by us!

**GSI**

03-Mar-2015      Dietrich Beck for the Timing Team (GSI/CSCO), d.beck@gsi.de

- USB: dev/ttyUSB0
- PCIe: dev/wbm0
- network: udp/152.168.123.456

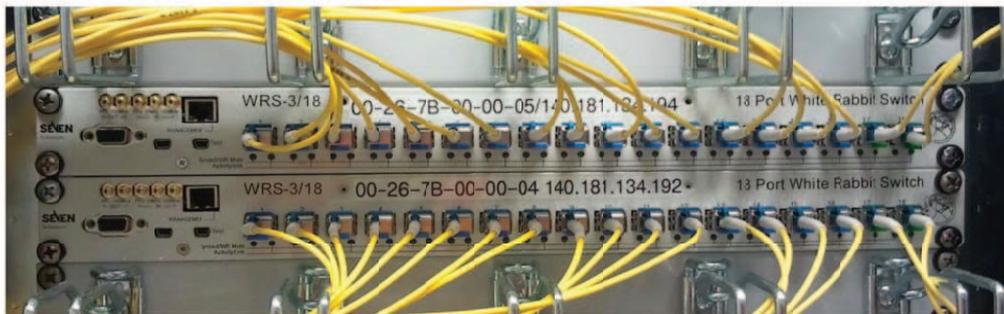
```

File Edit View Search Terminal Help
-> eb- ls dev/ttyUSB0
BusPath VendorID Product BaseAddress(Hex) Description
1 000000000000651:eef0b198 400 WB4-Bridge-GSI
1.1 000000000000651:eef0b198 600 WB4-Bridge-GSI
1.1.1 000000000000651:10050082 700 IRQ_ENDPOINT 010
1.2 ---
1.3 ---
2 000000000000651:eef0b198 40000 WB4-Bridge-GSI
2.1 000000000000ce42:66cfeb52 40000 WB4-BlockRAM
2.2 000000000000651:eef0b198 60000 WB4-Bridge-GSI
2.2.1 000000000000ce42:ab28633a 60000 WR-Mini-NIC
2.2.2 000000000000ce42:650c2d4f 60100 WR-Endpoint
2.2.3 000000000000ce42:65158dc0 60200 WR-Soft-PLL
2.2.4 000000000000ce42:de0d8ced 60300 WR-PPS-Generator
2.2.5 000000000000ce42:ff07fc47 60400 WR-Periph-Syscon
2.2.6 000000000000ce42:e2d13d04 60500 WR-Periph-UART
2.2.7 000000000000ce42:779c5443 60600 WR-Periph-IWire
2.2.8 000000000000651:68202b22 60700 Etherbone-Config
3 000000000000651:10041000 80000 CB_LM32_CLUSTER
3.1 000000000000651:10040086 80000 CLUSTER_INFO_ROM
3.2 000000000000ce42:66cfeb52 84000 WB4-BlockRAM
3.3 000000000000651:10040202 80100 LOAD_MANAGER
3.4 ---
3.5 ---
3.6 000000000000651:eef0b198 80200 WB4-Bridge-GSI
3.6.1 000000000000651:10050082 80300 IRQ_ENDPOINT 010
3.7 000000000000651:eef0b198 c0000 WB4-Bridge-GSI
3.7.1 000000000000ce42:66cfeb52 e0000 WB4-BlockRAM 010
4 000000000000651:2d39fa8b 800 GSI:BUILD_ID_ROM
5 000000000000651:5cf12a1c 1000000 SPI-FLASH-16M-MMAP
6 000000000000651:3a362063 0 FPGA_RESET
7 000000000000651:00000815 2000000 Etherbone_Master
8 000000000000651:10051981 100 GSI_TM_LATCH_V2
9 000000000000651:8752bf44 80 ECA_UNIT:CONTROL
10 000000000000651:8752bf45 7fffff0 ECA_UNIT:EVENTS_IN
    
```

GSI

03-Mar-2015 Dietrich Beck for the Timing Team (GSI/CSCO), d.beck@gsi.de

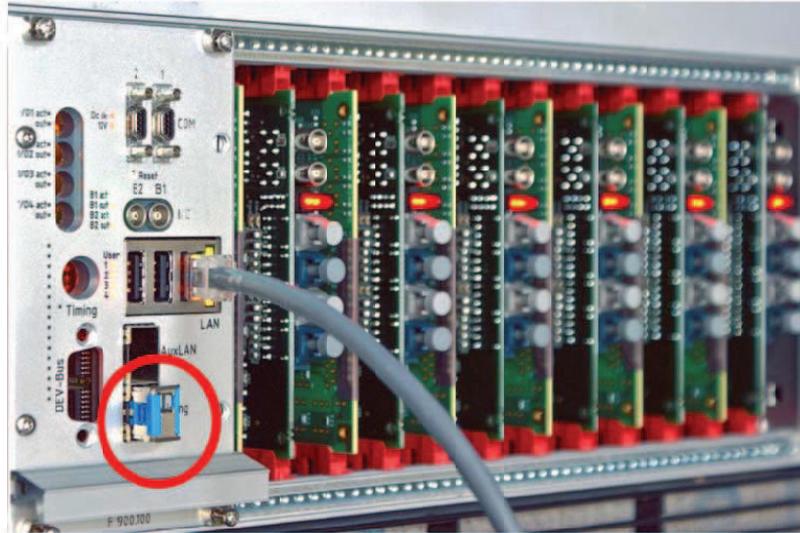
# Hardware



Switches: buy! (today @ GSI: ~50)



## Hardware



This image shows a buggy set-up

### Scalable Control Unit

- GSI, Control System HardWare + EE group (today @ GSI: ~50)
- THE standard controller for GSI/FAIR, Arria II GX FPGA



03-Mar-2015

Dietrich Beck for the Timing Team (GSI/CSCO), d.beck@gsi.de

## Hardware



### PEXARIA

- GSI, EE group (today @ GSI: ~40)
- THE reference implementation for Timing Receivers, Arria V GX
- Hardware for Data Master



03-Mar-2015

Dietrich Beck for the Timing Team (GSI/CSCO), d.beck@gsi.de

## Hardware



### EXPLODER + VETAR

- GSI, EE group (today @ GSI: ~50)
- Intermediate solution, Arria II GX



03-Mar-2015

Dietrich Beck for the Timing Team (GSI/CSCO), d.beck@gsi.de

## Hardware (Nodes) @ FAIR

- Standard Controller SCU (GSI): ~ 1500, Arria II GX
- Timing Receiver (GSI): ~ 500, Arria V GX
  - PCIe (reference design)
  - Standalone
  - Rackmount
- Timing Receiver (Slovenia): ~ 300, Arria V GX
  - PMC
  - VME
  - AMC (with extensions for i-tech Libera systems)



03-Mar-2015

Dietrich Beck for the Timing Team (GSI/CSCO), d.beck@gsi.de

## Some References

- <https://www-acc.gsi.de/wiki/Timing> (Timing System @ FAIR)
- <https://www-acc.gsi.de/wiki/Timing/TimingSystemDocuments> (talks, publications, documentation, ...)
- [https://github.com/stefanrauch/bel\\_projects.git](https://github.com/stefanrauch/bel_projects.git) (branch "asterisk": current (2014) release of gateway and firmware)
- <http://www.ohwr.org> (White Rabbit et al.)



03-Mar-2015

Dietrich Beck for the Timing Team (GSI/CSCO), d.beck@gsi.de

## Status 13 Jan 2015

Thank you for your attention!  
Questions?



## MTCA.4 Based Local Oscillator and Clock Generation Module for the European XFEL.

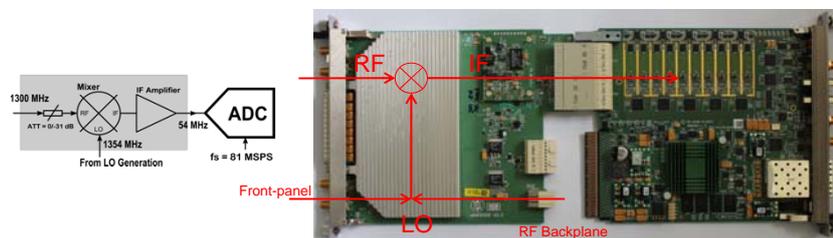
Uroš Mavrič on Behalf of the MSK Group / DESY and ISE / Technical University Warsaw,  
Tony Rohlev (TSR Engineering)

DESY, Zeuthen, 03.03.2015

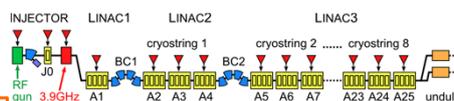


### Motivation.

- > The RF field detection scheme for the XFEL low-level RF system uses the down-conversion of 1.3 GHz pulsed RF. The frequency translation is performed through a mixer which mixes the LO (1.354 GHz) and the RF (1.3 GHz) down to IF (54 MHz).
- > The IF (54 MHz) is sampled in a fast ADC with  $F_s = 81.25 \text{ MHz}$ .



- > 25 RF stations
- > 50 MTCA.4 Crates (master and slave)
- > 9 LO and 9 CLK tap points per crate
- > **450 LO tap-points and 450 CLK tap points**

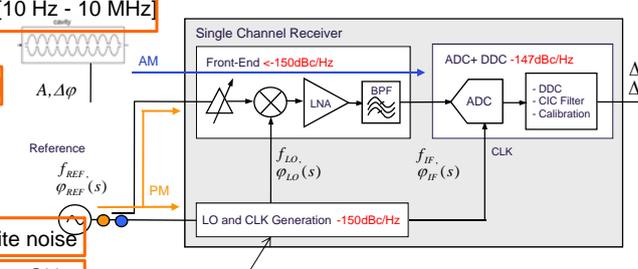


DESY - Zeuthen | 03.03.2015



## Specifications for LO and CLK Signals.

- > Specs for additive noise are derived from the noise contributions of other subsystems (RF front-end and ADC).
- 2 fs (1 mdeg at 1.3 GHz) [10 Hz - 10 MHz]
- > Long term stability
- 0.2 ps\_pp [forever - 10Hz]
- > Isolation on all ports
- < -80 dBc
- > CLK additive noise
- < -160 dBc/Hz floor for white noise
- > LO Output : 1 W at 1.354 GHz



$-150\text{dBc/Hz} - 10\log_{10}(8) = -160\text{dBc/Hz}$

Vector sum processing gain

Mixer:  $\phi_{IF}(s) = \phi_{REF}(s) - \phi_{LO}(s)$   
 $f_{IF} = f_{REF} - f_{LO}$

LO:  $\phi_{LO}(s) = \left(\frac{f_{LO}}{f_{REF}}\right) \phi_{REF}(s)$

$S_{\phi,IF}(f) = S_{\phi,REF}(f) \left(\frac{f_{IF}}{f_{REF}}\right)^2$

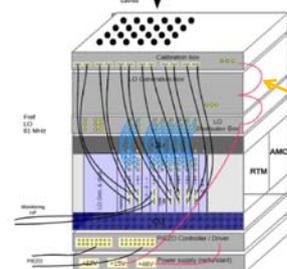
DESY - Zeuthen | 03.03.2015 

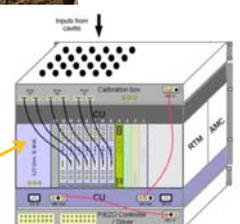
## Cable vs. Backplane LO and CLK Distribution.

- > Introduction of the new concept of integrating the LO and CLK distribution into the MTCA.4 crate.

- > External LO and CLK modules allow for better performance of the generated signals.
- > Better Temperature and humidity control of the distribution system (cables).

- > No external cables needed
- > Compact system



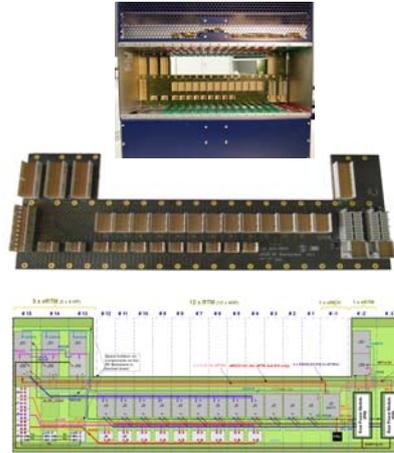


Ext. LO and CLK      Integrated LO and CLK generation

DESY - Zeuthen | 03.03.2015 

## uRF-Backplane.

- > The **uRF-backplane** is used for the distribution of the LO, CLK and calibration signals.
- > The uRF-Backplane includes also other comm. signals such as I2C to modules, power lines, dedicated LVDS conn. etc.
- > From the point of view of MTCA.4 management it can be treated as an extension of the front AMC backplane.
- > It can accept 2 power modules that comply with MTCA.4 power specifications.
- > It can accept 4 eRTM modules.
- > DRTM-LOG1300 is an eRTM sitting in slot 15 in the rear.

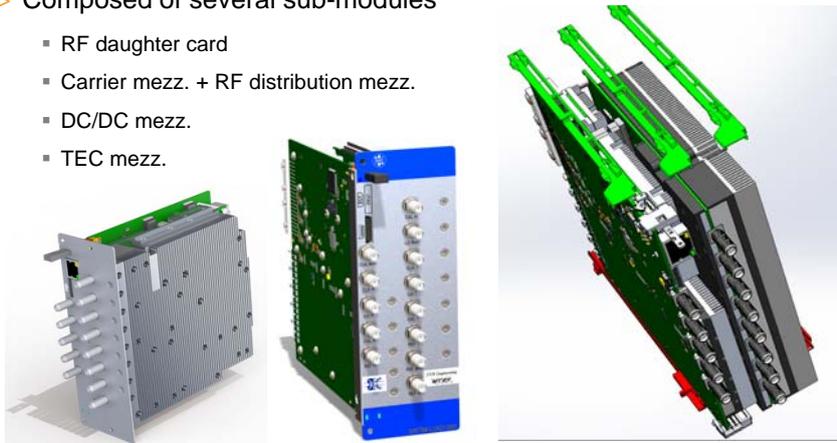


DESY - Zeuthen | 03.03.2015



## DeRTM-LOG1300.

- > Double-width, double full-size (12HP) module
- > Composed of several sub-modules
  - RF daughter card
  - Carrier mezz. + RF distribution mezz.
  - DC/DC mezz.
  - TEC mezz.



DESY - Zeuthen | 03.03.2015



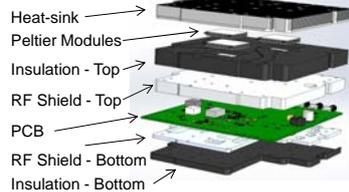
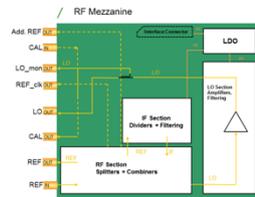
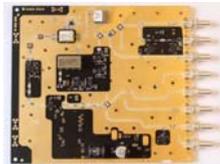
## DeRTM-LOG1300 - RF.

> Need to use small surface mount components because of compactness  
-> performance is deteriorated.

> LO generated from REF via dividers

> Features:

- Variable LO output power by -3dB
- High resolution temperature sensor (24 bit ADC with NTC Thermistor)
- Dividers in the range from 1 to 64
- 2 variants (IF=54 MHz, IF=36 MHz) – assembly defined
- Can cover RF/LO frequency range from 720 MHz To 3 GHz – assembly variant
- 3 Peltier modules for temperature regulation
- All voltages on all chips are monitored



DESY - Zeuthen | 03.03.2015

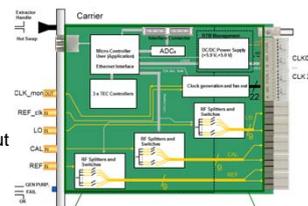
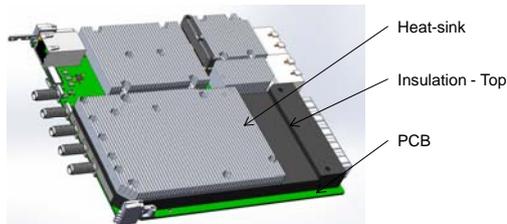


## DeRTM-LOG1300 - Carrier.

> Module that splits the RF, CLK signals and interconnects to the uRF-backplane.

> Features:

- 9 x LO/REF/Pilot outputs on Radial connectors
- 22 Diff. LVPECL CLK outputs on ERNI connectors
- Switching OFF/ON each individual CLK, LO, REF and Pilot Output
- Monitoring of the main voltages and currents
- Temperature and humidity measurements
- MMC 1.0 compliant
- Application microcontroller
- Connectivity to the ext. world

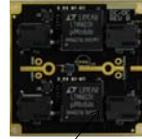


DESY - Zeuthen | 03.03.2015



## Other Mezzanine Modules.

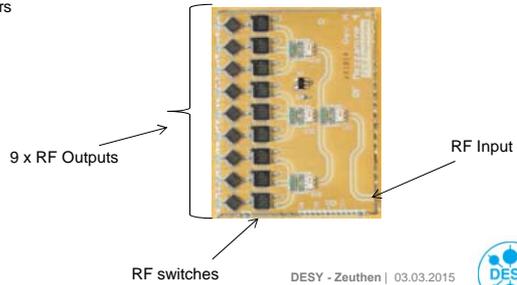
- > DC/DC power converter mezzanine
  - +12V into +5.9V and +5.4 V
- > RF splitting mezzanines
  - For splitting the REF, LO and calibration signal
- > Temperature controller mezzanine
  - Integrated 3 temperature controllers



DC/DC Converters



Temperature Controllers

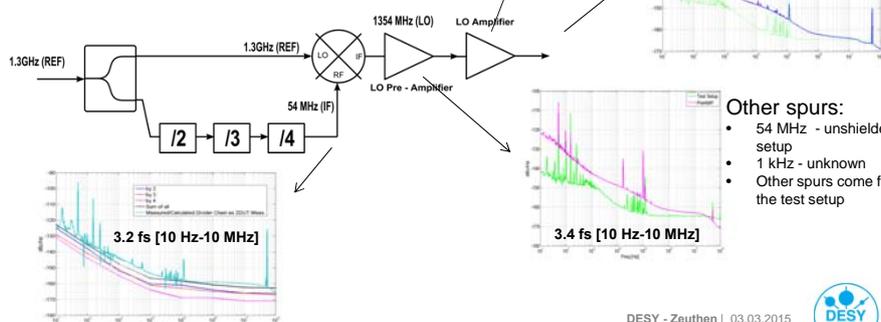


DESY - Zeuthen | 03.03.2015



## Res. Phase Noise Analysis.

- > 2 DUT measurements of residual phase noise of individual subsystems.
- > Test setup **1.3 fs [10 Hz – 10 MHz]**
- > Main limitations:
  - Dividers – 3.2 fs
  - Pre-amp – 3.4 fs
- > Overall system res. jitter = **4.3 fs (2.7 fs with de-embedded setup)** [10 Hz – 10 MHz]



- Other spurs:
- 54 MHz - unshielded setup
  - 1 kHz - unknown
  - Other spurs come from the test setup

DESY - Zeuthen | 03.03.2015



## Measurements I.

> RF daughter board:

- Isolation between channels
- Return loss at connector
- Harmonic content in output signals
- Output power

> The RF daughter card consumes 11 W

### Return Loss

Reflection at [GHz]:	S11 [dB] - Measured-Shield
Ref In (1.3)	-24
Ref Aux Out (1.3)	-27
Ref Out (1.3)	-26
Cal Out (1.3)	-29
LO Out (1.354)	-26
CLK Out (1.3)	-23
LO Mon Out (1.354)	-32
CAL In (1.3)	-29

### Output Power

Power out	Power [dBm] - Expected	Power [dBm] - Measured
Ref Aux Out (1.3)	26.2	25.8
Ref Out (1.3)	13	14.7
LO Out (1.354)	31.0	30.2
CLK Out (1.3)	9.2	10.0
LO Mon Out (1.354)	14	16.5

### Isolation between Ch.

Power out	Shielded [dBc]
Ref Aux Out (1.3)	< -80
Ref Out (1.3)	< -80
LO Out (1.354)	< -80
CLK Out (1.3)	< -80
LO Mon Out (1.354)	< -80
Pilot	< -80

### Harmonic Content

Power out	2nd [dBc]	3rd [dBc]
Ref Aux Out (1.3)	<-80	<-80
LO Out (1.354)	<-80	<-80
CLK Out (1.3)	<-80	<-80
REF (1.3)	<-80	<-80

DESY - Zeuthen | 03.03.2015



## Measurements II.

> S parameters of the splitting section:

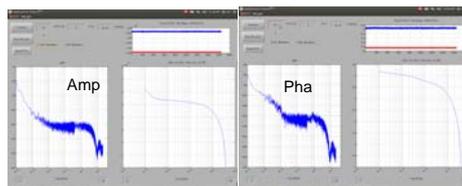
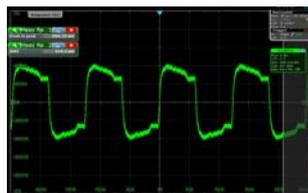
- S21 = LO -16 dB (spread = 0.4 dB), CAL -16 dB (spread = 0.5 dB)
- S11 = < -22 dB
- Isolation = mostly < -80 dB, some specific channels -65 dB

Channel	REF 1.3 GHz						CAL 1.3 GHz						LO 1.354 GHz						
	S11	S21	S32	S22	EW-REF	REF-REF	S11	S21	S32	S22	EW-CAL	REF-CAL	S11	S21	S32	S22	EW-LO	REF-LO	CAL-LO
1	-33.8	-14.9	-14.9	-23.8	95	93	-23.7	-8.6	-8.7	-17.9	95	93	-23.5	-8.7	-8.7	-20.8	97	96	75
2	-32.8	-14.9	-14.3	-22.8	99	95	-21.7	-9.2	-9.2	-23.7	97	92	-23.5	-9.2	-9.2	-19.8	98	97	90
3	-33.3	-14.2	-14.3	-19.8	97	96	-21.7	-9.2	-9.2	-24.0	96	89	-23.5	-9.2	-9.2	-17.8	97	96	81
4	-32.4	-14.7	-14.7	-24.3	97	96	-23.7	-9.4	-9.4	-30.9	100	93	-22.8	-10.2	-10.2	-16.5	98	93	81
5	-33.3	-14.6	-14.4	-21.5	97	92	-23.6	-9.7	-9.7	-24.0	97	90	-23.4	-9.2	-9.2	-20.5	97	95	79
6	-30.2	-14.9	-14.9	-25.8	97	94	-23.6	-9.5	-9.4	-26.7	98	91	-23.3	-10.3	-10.3	-19.8	97	92	78
7	-30.0	-15.4	-15.3	-29.2	93	93	-23.5	-10.3	-10.3	-24.2	98	92	-22.3	-10.0	-10.0	-20.0	90	84	75
8	-31.3	-15.8	-15.8	-33.8	98	95	-23.6	-9.4	-9.4	-23.1	99	91	-22.4	-10.9	-10.9	-19.5	88	84	77
9	-30.3	-15.8	-15.8	-27.7	95	96	-23.8	-9.4	-9.4	-22.3	97	84	-22.3	-10.0	-10.0	-17.2	89	95	64

> LO and CLK Distribution over the uRF-Backplane:

CLK distributed over the RF backplane to slot 4 (long. distance).

Sampling of signals with CLKs that were distributed over the uRF-backplane. No additional spurs were visible.



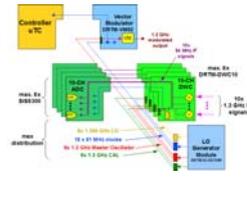
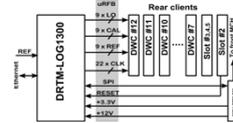
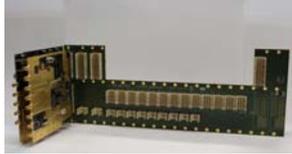
DESY - Zeuthen | 03.03.2015



## System Integration.

> Subsystems Involved:

- DRTM-LOG1300
- uRF-Backplane
- 9U Chassis
- NAT-MCH-BM or Rear Power module
- End-Users (RTMs)



DESY - Zeuthen | 03.03.2015



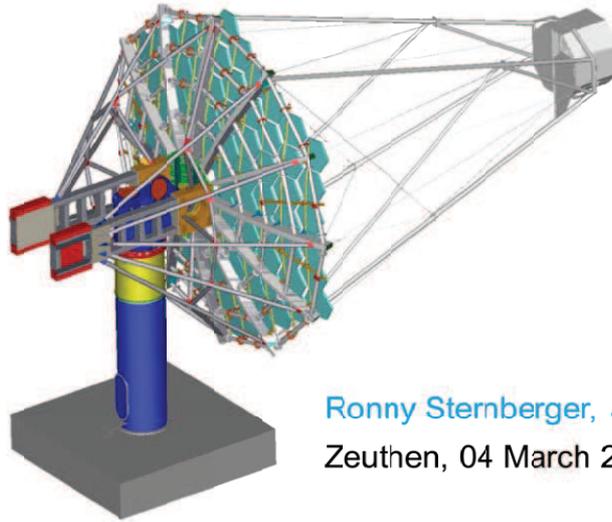
Thank you for your attention!

DESY - Zeuthen | 03.03.2015



# SEI-Tagung 2015

## Das Steuerungssystem des MST, ein 12m-Cherenkov-Teleskop



Ronny Sternberger, Jörg Schultze  
Zeuthen, 04 March 2015

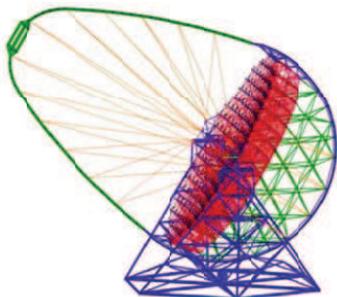


## 1. Introduction (1/5)

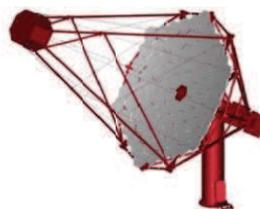
### Cherenkov Telescope Array (CTA):

- Observatory for ground-based gamma-ray astronomy
- Two arrays of telescopes (one in northern and one in southern hemisphere) are planned
- Installation of southern array should start in 2016
- 3 types of telescopes with different mirror sizes are foreseen:

Large-Sized Telescope (24 m)



Medium-Sized Telescope (12 m)



Small-Sized Telescope (4 m)



## 1. Introduction (2/5)

### DESY is responsible for the Medium-Sized Telescope (MST):

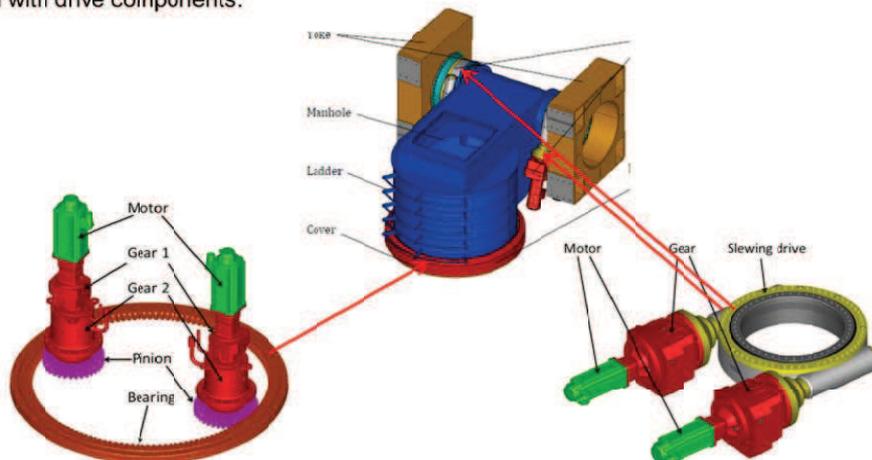
- Diameter: 12 m
- Focal length: 16 m
- Total weight: ca. 70 tons
- Camera weight: 2 tons
- Prototype was built in 2012
  
- Examples of requirements for drive system:
  - Any point above 30° in elevation has to be reached in <90 sec
  - Good running smoothness during typical tracking velocities
  - Pointing precision during tracking <0.1 deg

Prototype in Berlin-Adlershof



## 1. Introduction (3/5)

### ➤ Head with drive components:



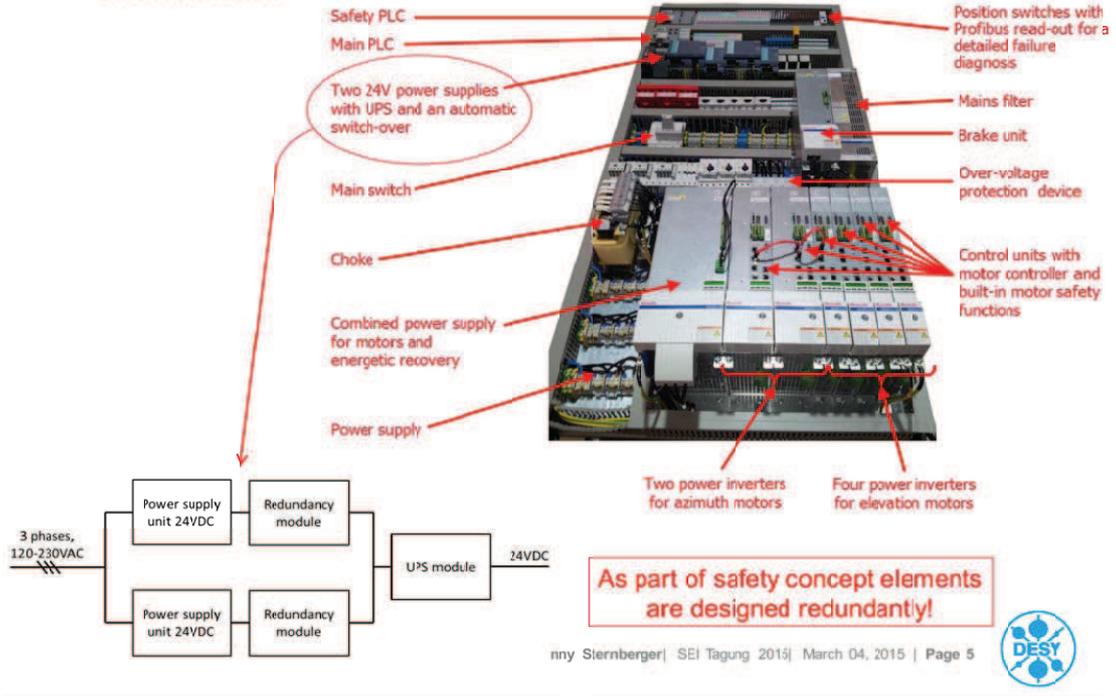
- Elevation axis: 2 slewing drives with 2 motors each
- Maximum speed: 6 °/sec (load side)
  - Total gear ratio: 11,030 : 1

- Azimuth axis: 2 motors
- Maximum speed: 1.7 °/sec (load side)
  - Total gear ratio: 3,944 : 1



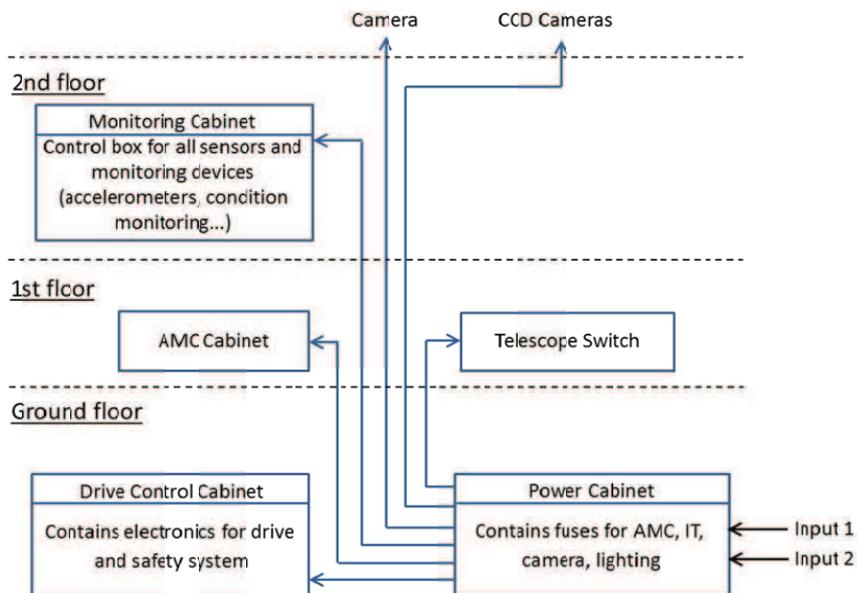
## 1. Introduction (4/5)

➤ Drive control cabinet:



## 1. Introduction (5/5)

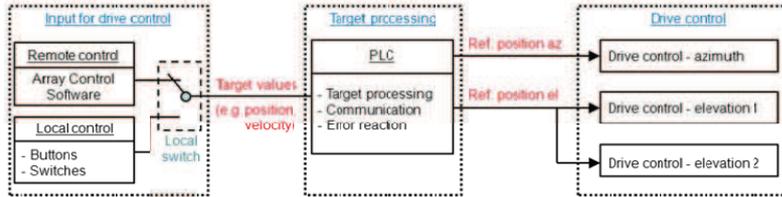
➤ Main power distribution network and cabinets:



## 2. Drive Control System 1/8

a) General structure:

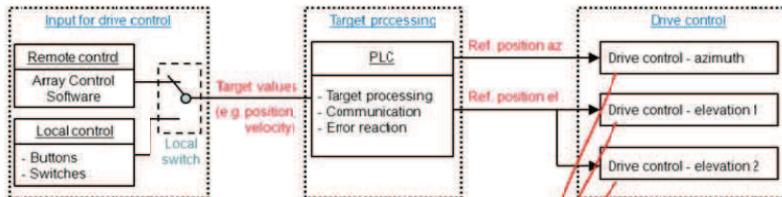
- A robust drive concept was developed that considers all possible use-cases
- Structure of drive controls are identical: each contains 2 motors with master/slave coupling



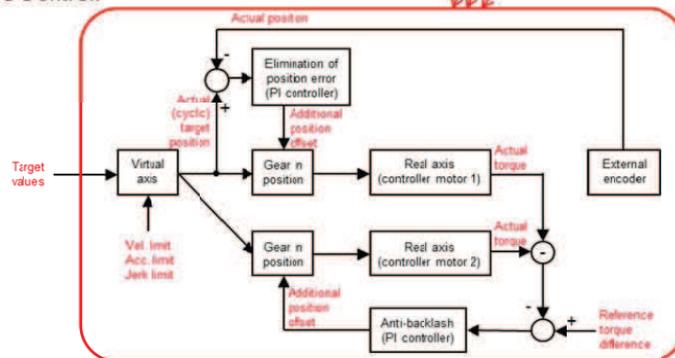
## 2. Drive Control System 1/8

a) General structure:

- A robust drive concept was developed that considers all possible use-cases
- Structure of drive controls are identical: each contains 2 motors with master/slave coupling



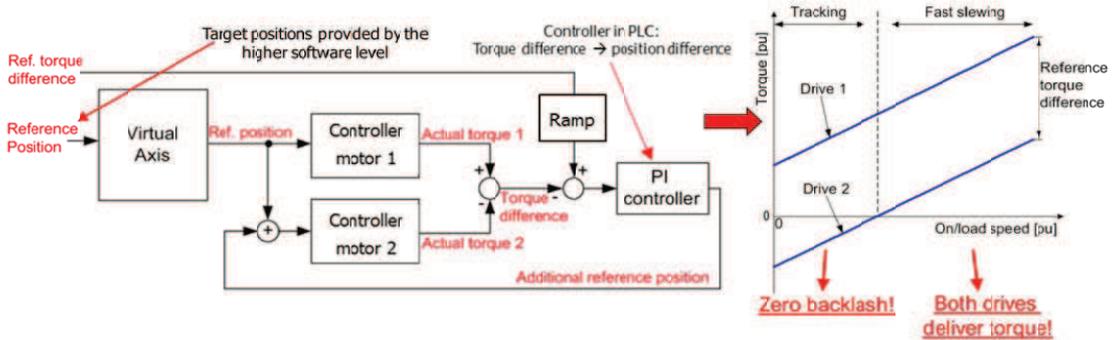
b) Structure of Drive Control:



## 2. Drive Control System 2/8

### c) Backlash elimination:

- Master-slave configuration:
  - Master motor follows reference position
  - Slave motor eliminates backlash
- Control structure of motor controller → see d)
- Principle:



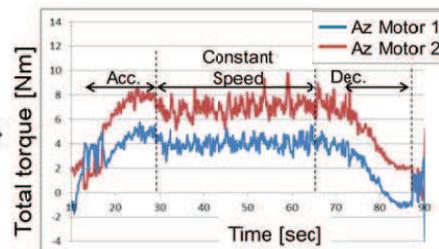
Ronny Sternberger | SEI Tagung 2015 | March 04, 2015 | Page 9



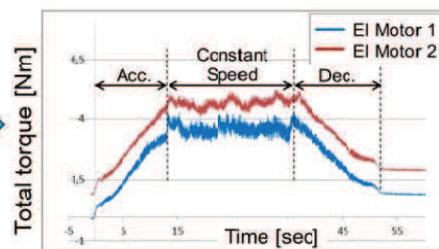
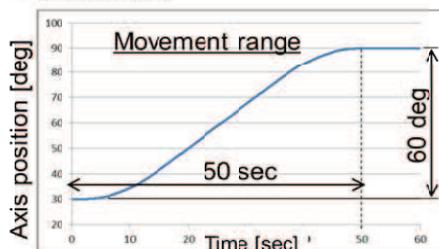
## 2. Drive Control System 3/8

### - Behaviour of controller during slewing:

#### a) Azimuth axis:



#### b) Elevation axis:



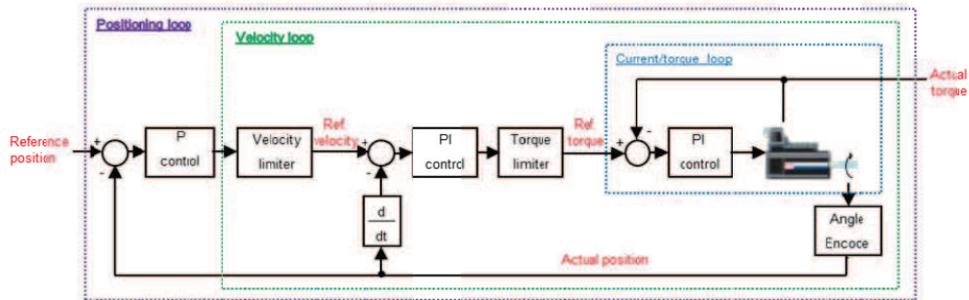
- Requirement to reach any point  $>30^\circ$  elevation angle is fulfilled
- Small structural oscillations are visible → do not cause problems
- Motor 2 „follows“ motor 1 → master-slave control works



## 2. Drive Control System 4/8

d) Drive controller:

- Integrated in each drive control unit
- contains a state-of-the-art cascaded controller



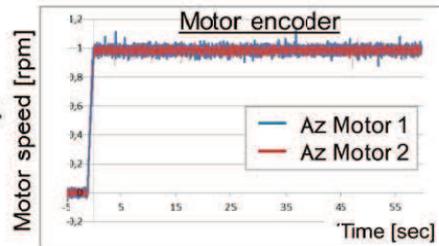
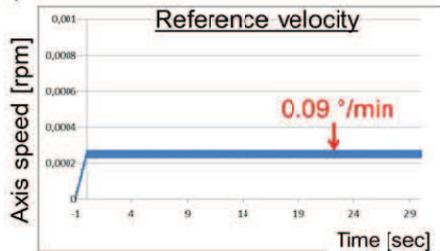
Ronny Sternberger | SEI Tagung 2015 March 04, 2015 | Page 11



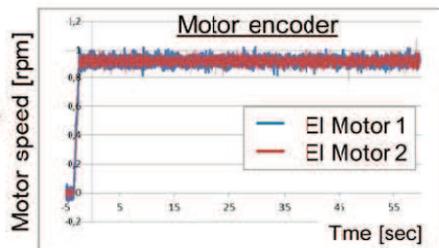
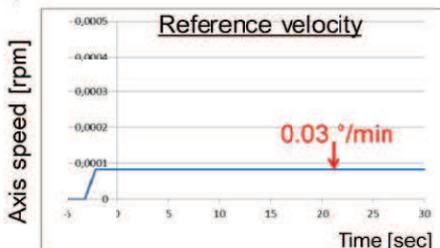
## 2. Drive Control System 5/8

- Motor speed stability at typical tracking velocities:

a) Azimuth axis:



b) Elevation axis:



→ Motors show a very good running-smoothness!

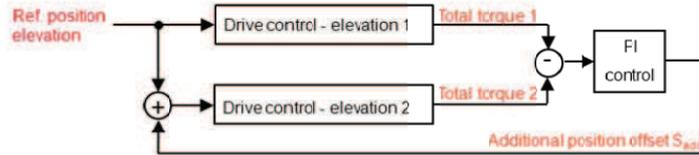
Ronny Sternberger | SEI Tagung 2015 March 04, 2015 | Page 12



## 2. Drive Control System 6/8

e) The split elevation axis (Gantry drive):

- Technical implementation:



- Working scheme of the control:

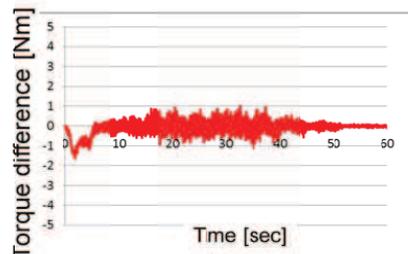
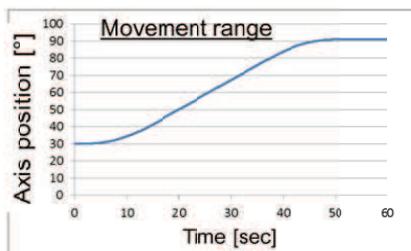
- The total torque of both elevation sides is continuously measured and compared
- A PI controller uses the torque difference to generate a position offset until the torque difference = 0



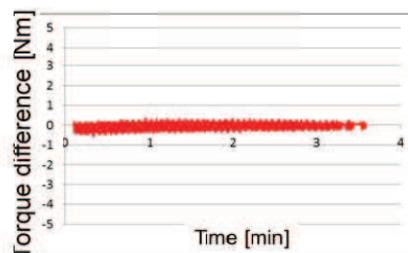
## 2. Drive Control System 7/8

- Real behaviour of the split elevation axis:

a) Fast slewing:



b) Tracking:



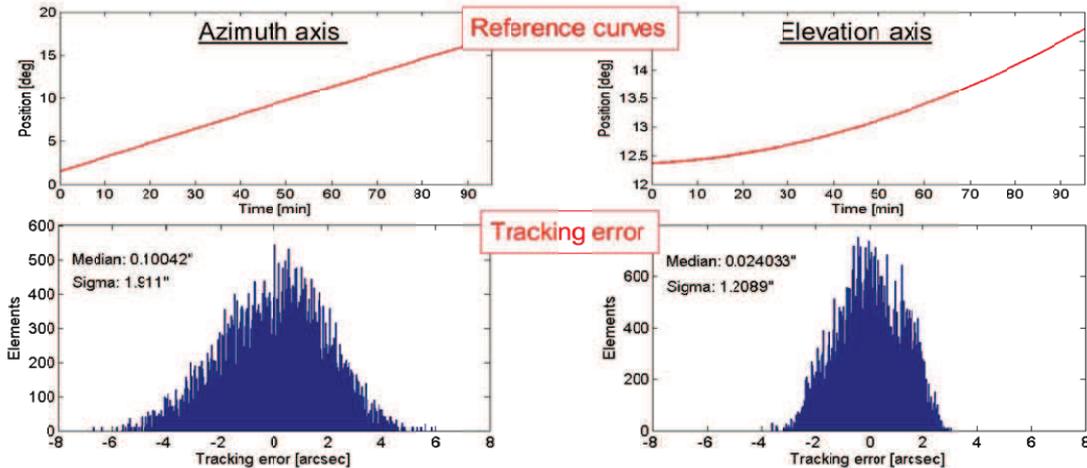
→ The controller works and causes no problems!



## 2. Drive Control System 8/8

g) Performance of drive system during tracking:

- Calculation of new target positions every 200 ms + wind speed: <10 km/h
- Tracking error = error between ext. encoder position and target position at target time  
→ Test of drive system only, it does **not** include bending model and Sky CCD!



→ Results fulfill expectations and meet requirements

(Note: this measurement is testing only the tracking algorithm and the cause of the low elevation angles is a measurement during daytime)

Ronny Sternberger | SEI Tagung 2015 | March 04, 2015 | Page 15



## 3. Summary

- Our tests show promising signs that the selected drive components are able to meet the CTA requirements:
  - Both bearings show a constant running at typical tracking speeds without any visible jerks (time: >100 min)
  - The motors have a smooth running without overshoot
  - The MST repositioning requirement is met
  - Small structural oscillations are visible on both telescope axes  
→ its effect (even at higher wind speeds) on the positioning accuracy is small  
→ can be removed by using active vibration damping
- Prototyping phase was important for the drive system development:
  - Theory and practice are two different things!
  - Much progress has been made to identify and solve possible problems

Ronny Sternberger | SEI Tagung 2015 | March 04, 2015 | Page 16



# Questions...?

Thank you for your attention.

Ronny Sternberger

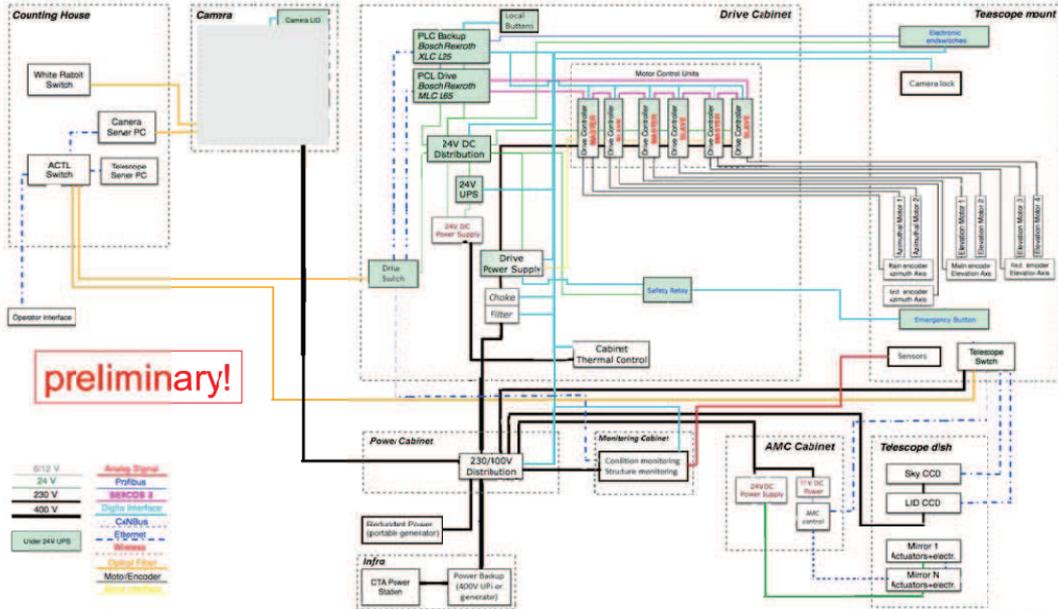


## Backup slides



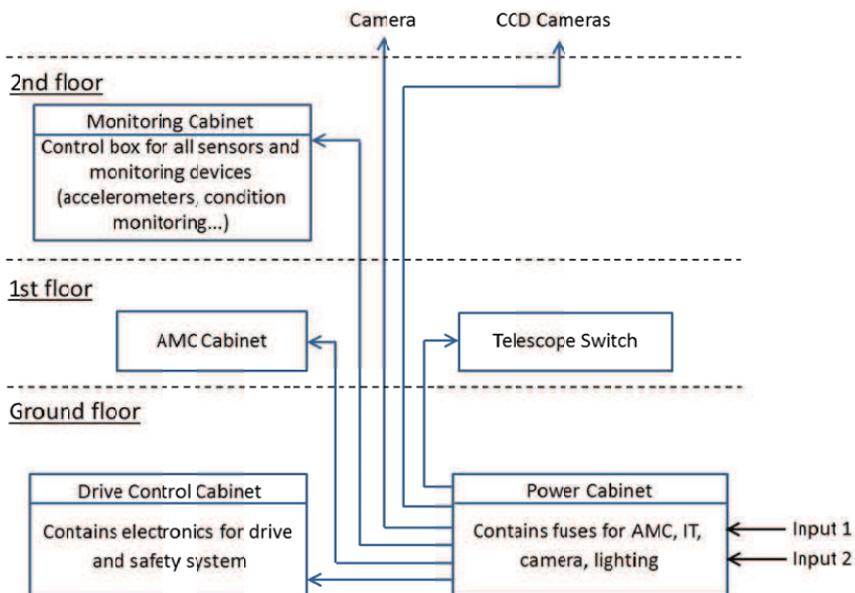
## The telescope architecture and connections between subsystems

### Overview:



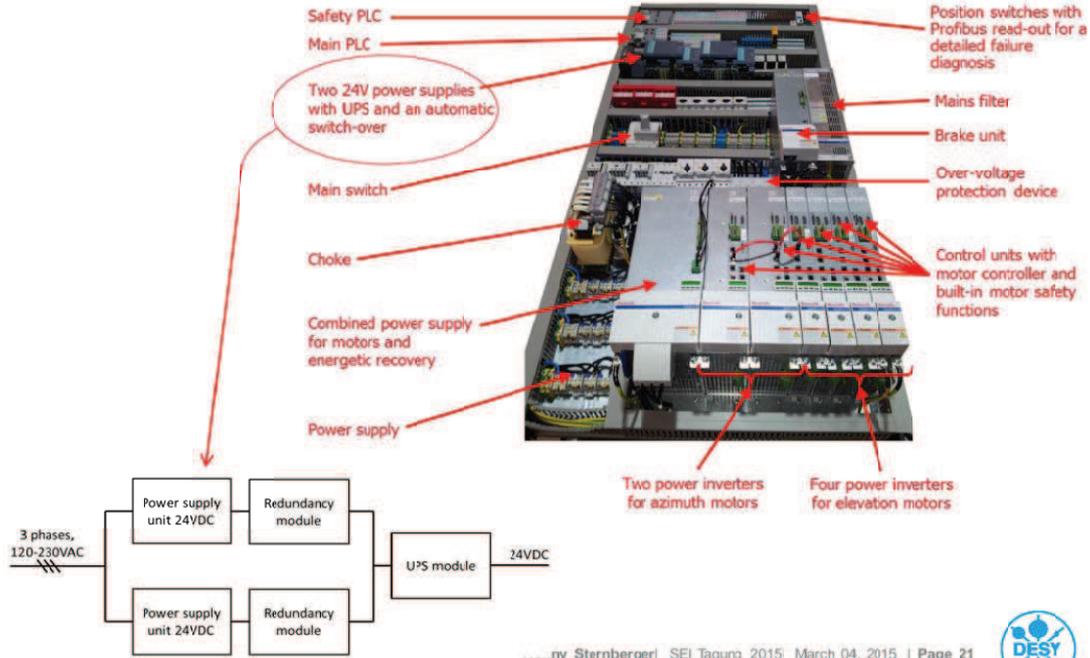
## The telescope architecture and connections between subsystems

### Main power distribution network and cabinets:



## The telescope architecture and connections between subsystems

### Drive control cabinet:



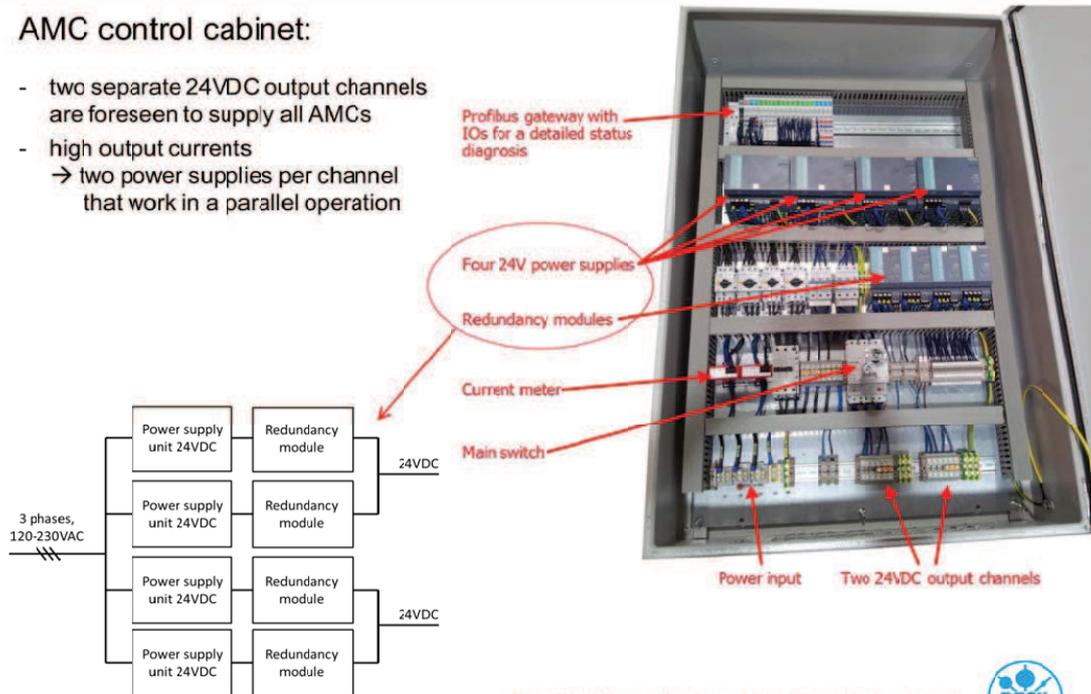
Ronny Sternberger | SEI Tagung 2015 March 04, 2015 | Page 21



## The telescope architecture and connections between subsystems

### AMC control cabinet:

- two separate 24VDC output channels are foreseen to supply all AMCs
- high output currents  
→ two power supplies per channel that work in a parallel operation



Ronny Sternberger | SEI Tagung 2015 March 04, 2015 | Page 22



## Safety System 1/7

### Identification of potential failure modes and consequences:

a) FMEA document was prepared

→ All identified failure modes were rated and if necessary, actions recommended



Most of these actions could be summarized in three groups:

- 1) A proper maintenance plan is crucial
- 2) Elements/components should be designed redundantly (if possible)
- 3) Replacement of faulty components should not be too complex and time-consuming
- 4) If point 3) is not possible or too difficult to realize then high safety factors should be foreseen

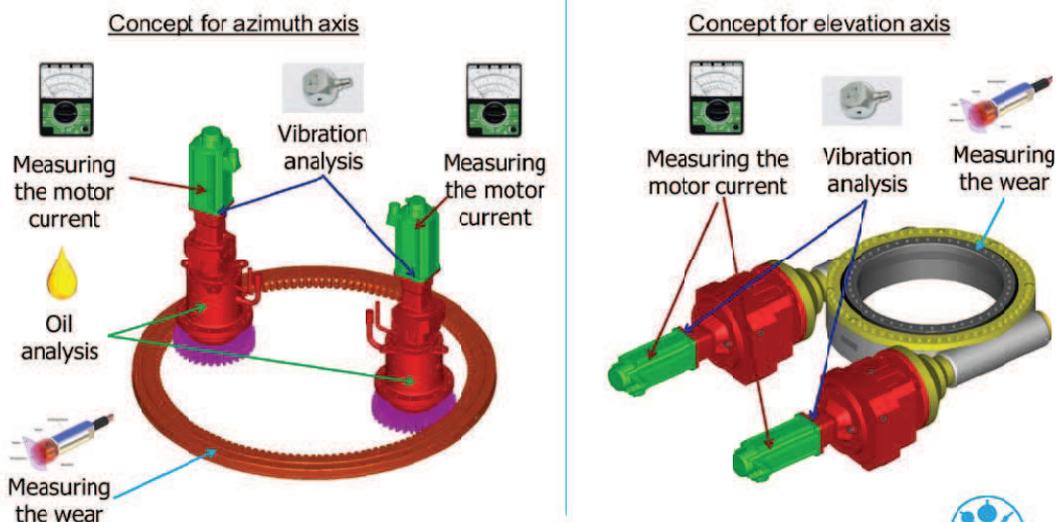


## Safety System 2/7

b) Consequence 1 of our FMEA document

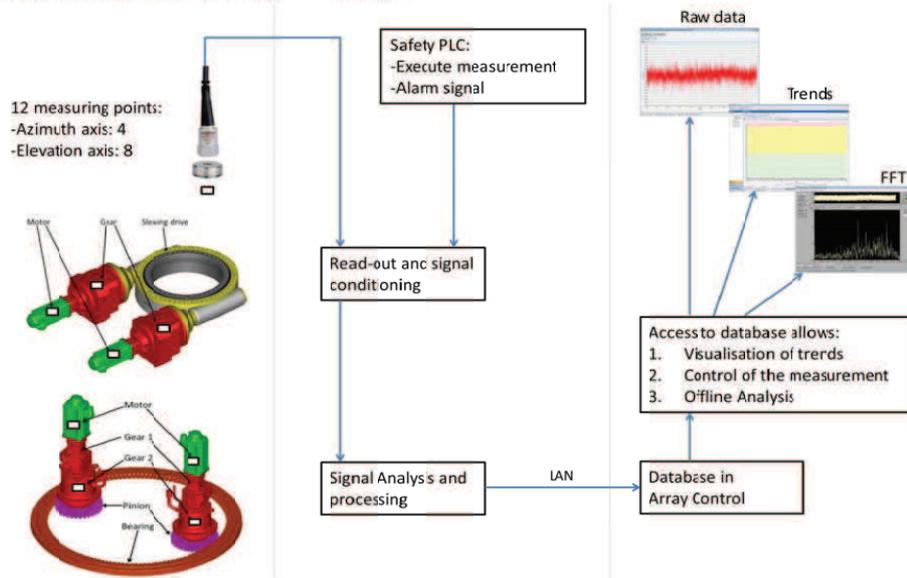
- Investigations on structural health monitoring is currently ongoing

→ Aim: to know in advance if a drive component shows evidence of uprising faults



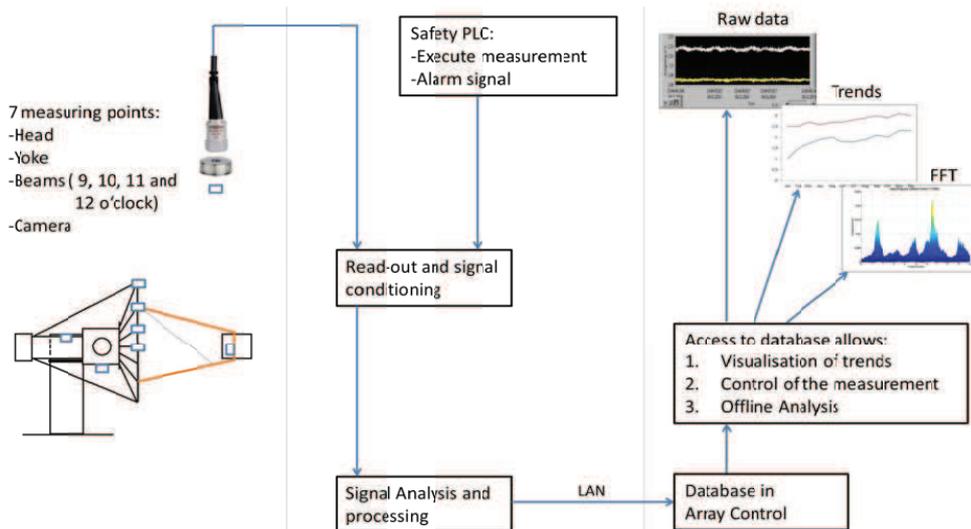
## Safety System 3/7

- Design of the drive assembly monitoring:



## Safety System 4/7

- Design of the structure monitoring:



## Safety System 5/7

### c) Consequence 2 of our FMEA document

- Redundant design of all main components and internal connections
- Example: Control cabinet:

#### Safety PLC:

- to control all position switches
- to check all movement limits
- to take over control in cases of exception errors
- to provide redundant error messages via Ethernet

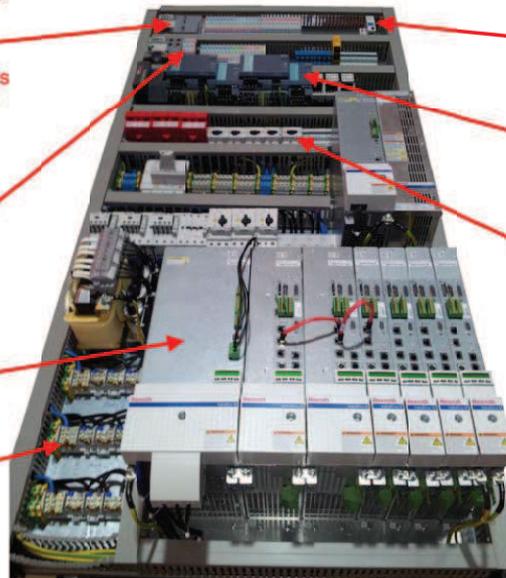
#### Main PLC:

- all motion commands during normal operation
- communication to the higher software level

Combined power supply for motors and energetic recovery

#### Independent power supplies:

- 1 – main supply
- 2 – redundant supply (UPS, diesel generator)



Position switches with Profibus read-out for a detailed failure diagnosis

Two 24V power supplies with UPS and an automatic switch-over

Over-voltage protection device (type 1+2)

Ronny Sternberger | SEI Tagung 2015 March 04, 2015 | Page 27



## Safety System 6/7

### d) Movement into a safe position under different possible errors:

- Options related to possible errors:

#### 1) in case of minor errors:

- Main plc has control
- Examples: error in plc code, communication to higher software level, ...

#### 2) in case of major errors:

- Safety plc has control
- Motors are controlled via 6 digital inputs
- Examples: failure on SERCOS3-bus, hardware failure, encoder failure, ...

#### 3) in case of fatal exception errors:

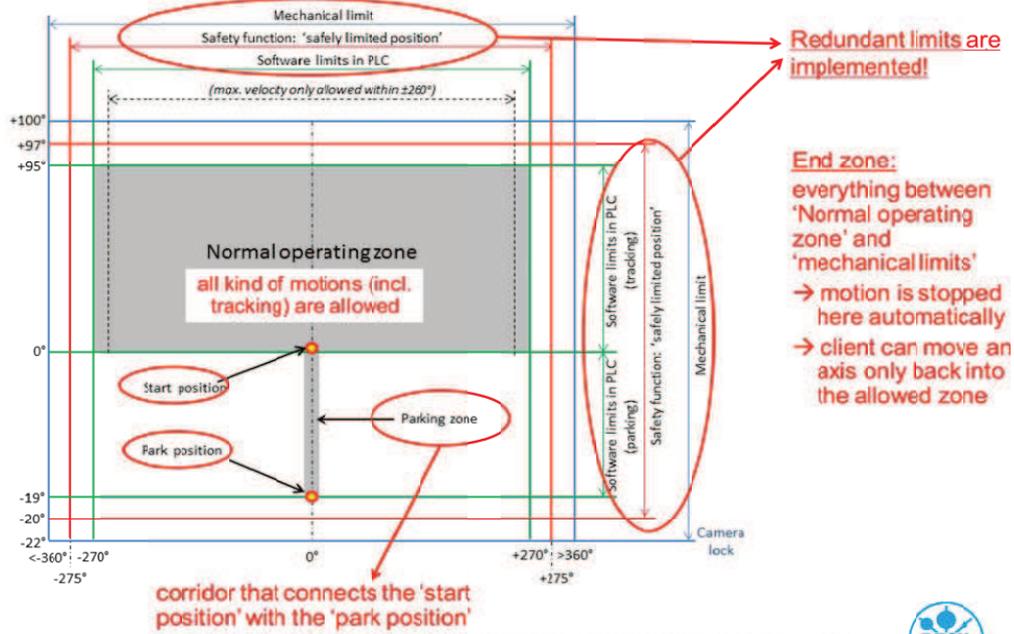
- Human intervention required
- Examples: a blocked bearing, a faulty E-stop, ...

Ronny Sternberger | SEI Tagung 2015 March 04, 2015 | Page 28



## Safety System 717

### Proposed operating zones and positions:





 **RWTH AACHEN UNIVERSITY**

## Motivation

- Beim Versuch CMS (Compact Muon Solenoid) werden gasgefüllte Kammern benutzt. Geladene Teilchen, die die Kammer durchfliegen, ionisieren das Gas und lösen so ein elektrisches Signal aus.
- Die Qualität des Gases wird im VDC-Versuch überwacht (VDC: Velocity Drift Chamber).
- In sechs VDCs wird die Driftgeschwindigkeit von Teilchen gemessen, die von radioaktiven Quellen stammen.
- Der VDC-Schrank mit den sechs Driftkammern ist in der Service-Caverne neben dem CMS-Detektor aufgestellt (USC55).
- Die Ergebnisse, die diese Kammern liefern sind temperaturabhängig. Deshalb muss die Temperatur um die Kammern möglichst konstant gehalten werden.

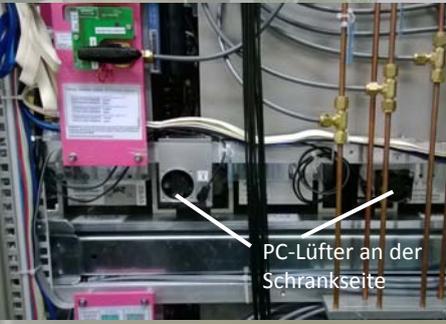


 **RWTH AACHEN UNIVERSITY**

## Motivation

Die Physiker selbst haben diverse Versuche mit PC-Lüftern aber auch mit leistungsfähigen Querstromlüftern unternommen.

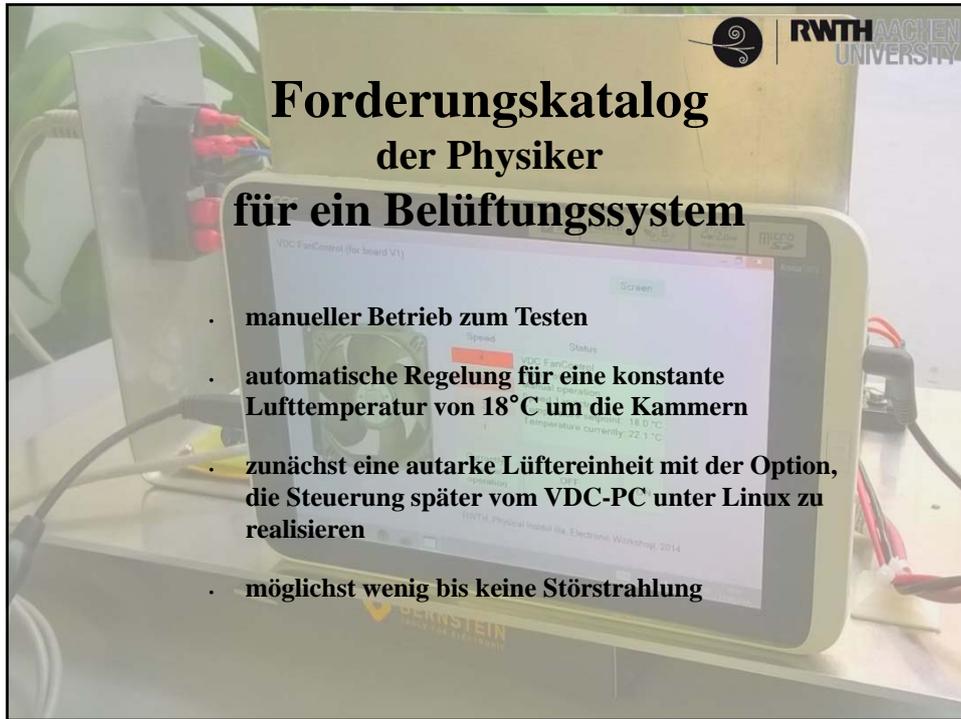
Die Ergebnisse waren allerdings unbefriedigend.



PC-Lüfter an der Schrankseite

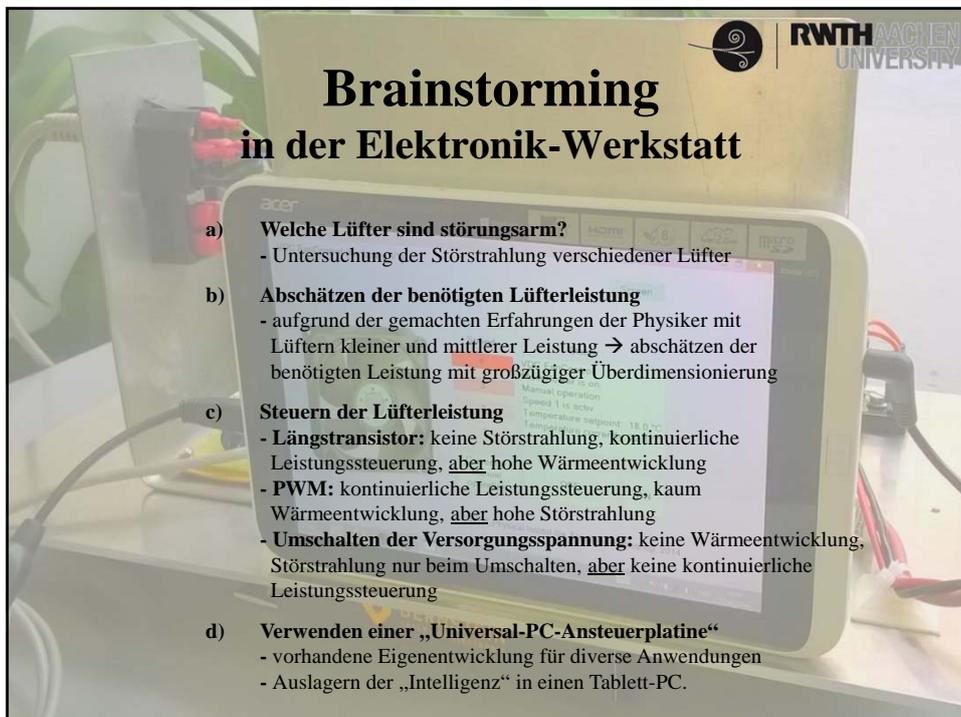


Querstromlüfter



**Forderungskatalog  
der Physiker  
für ein Belüftungssystem**

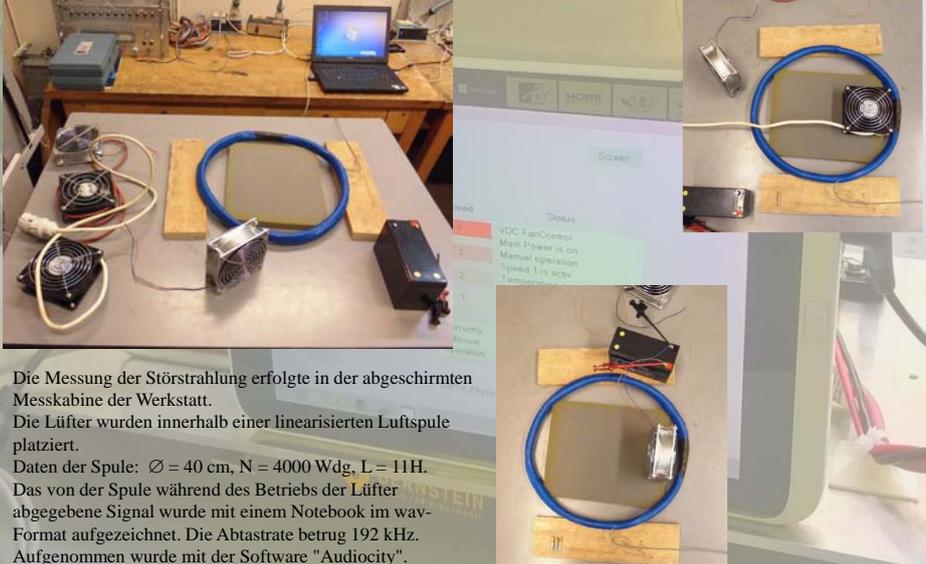
- manueller Betrieb zum Testen
- automatische Regelung für eine konstante Lufttemperatur von 18°C um die Kammern
- zunächst eine autarke Lüftereinheit mit der Option, die Steuerung später vom VDC-PC unter Linux zu realisieren
- möglichst wenig bis keine Störstrahlung



**Brainstorming  
in der Elektronik-Werkstatt**

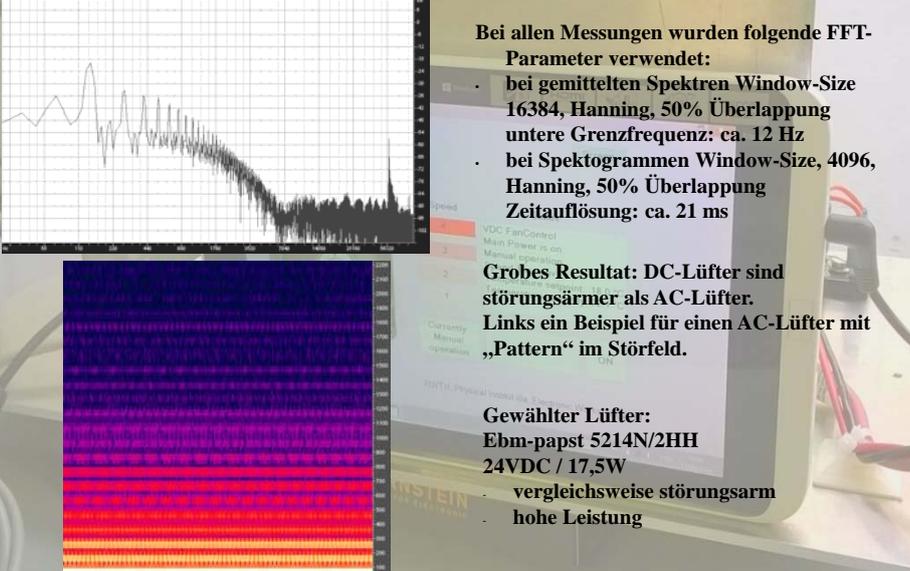
- Welche Lüfter sind störungsarm?**
  - Untersuchung der Störstrahlung verschiedener Lüfter
- Abschätzen der benötigten Lüfterleistung**
  - aufgrund der gemachten Erfahrungen der Physiker mit Lüftern kleiner und mittlerer Leistung → abschätzen der benötigten Leistung mit großzügiger Überdimensionierung
- Steuern der Lüfterleistung**
  - **Längstransistor:** keine Störstrahlung, kontinuierliche Leistungssteuerung, aber hohe Wärmeentwicklung
  - **PWM:** kontinuierliche Leistungssteuerung, kaum Wärmeentwicklung, aber hohe Störstrahlung
  - **Umschalten der Versorgungsspannung:** keine Wärmeentwicklung, Störstrahlung nur beim Umschalten, aber keine kontinuierliche Leistungssteuerung
- Verwenden einer „Universal-PC-Ansteuerplatine“**
  - vorhandene Eigenentwicklung für diverse Anwendungen
  - Auslagern der „Intelligenz“ in einen Tablett-PC.

## Lüftertest – welche Lüfter sind störarm?



Die Messung der Störstrahlung erfolgte in der abgeschirmten Messkabine der Werkstatt.  
Die Lüfter wurden innerhalb einer linearisierten Luftspule platziert.  
Daten der Spule:  $\varnothing = 40 \text{ cm}$ ,  $N = 4000 \text{ Wdg}$ ,  $L = 11 \text{ H}$ .  
Das von der Spule während des Betriebs der Lüfter abgegebene Signal wurde mit einem Notebook im wav-Format aufgezeichnet. Die Abtastrate betrug 192 kHz.  
Aufgenommen wurde mit der Software "Audiocuity".

## Lüftertest – welche Lüfter sind störarm?



Bei allen Messungen wurden folgende FFT-Parameter verwendet:

- bei gemittelten Spektren Window-Size 16384, Hanning, 50% Überlappung untere Grenzfrequenz: ca. 12 Hz
- bei Spektrogrammen Window-Size, 4096, Hanning, 50% Überlappung Zeitauflösung: ca. 21 ms

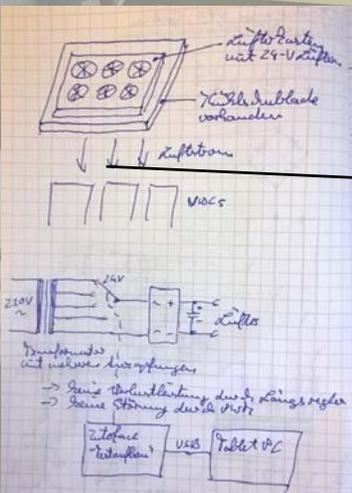
**Grobes Resultat: DC-Lüfter sind störungsärmer als AC-Lüfter.**  
Links ein Beispiel für einen AC-Lüfter mit „Pattern“ im Störfeld.

**Gewählter Lüfter:**  
Ebm-papst 5214N/2HH  
24VDC / 17,5W  
- vergleichsweise störungsarm  
- hohe Leistung


**RWTH AACHEN UNIVERSITY**

## Lüfterbaugruppe

8 x Ebm-papst 5214N/2HH, 24VDC / 17,5W



*Handwritten notes:*  
 Lüfterkarte mit 24-V-Lüftern  
 Kühlbleche vorhanden  
 Lüftern  
 VACs  
 24V  
 Transformator mit mehreren Ausgängen  
 → keine Überlastung durch Leistungsrisiko  
 → keine Störung durch VACs  
 Zentrale 'Kabelbaum' USB Tablet PC



Gummiring unter den Auflageflächen

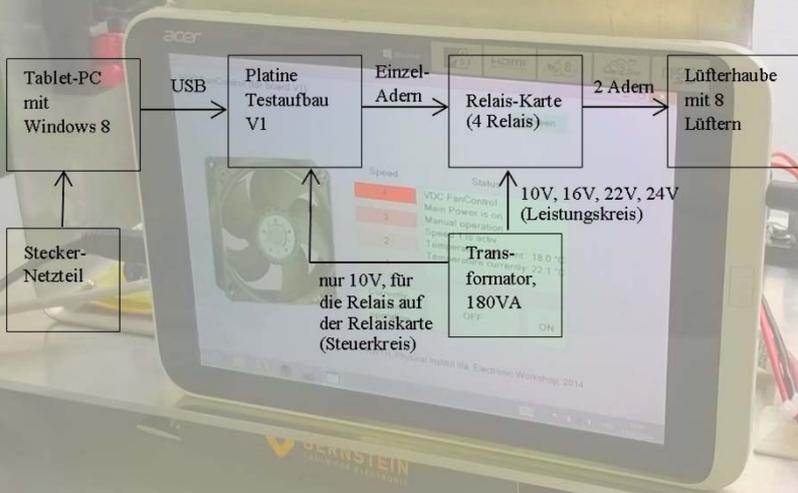
Lüfterleistung:  
8 x 17,5W = 140W



180VA-Transformator  
Spannungen:  
24V  
22V  
16V  
10V

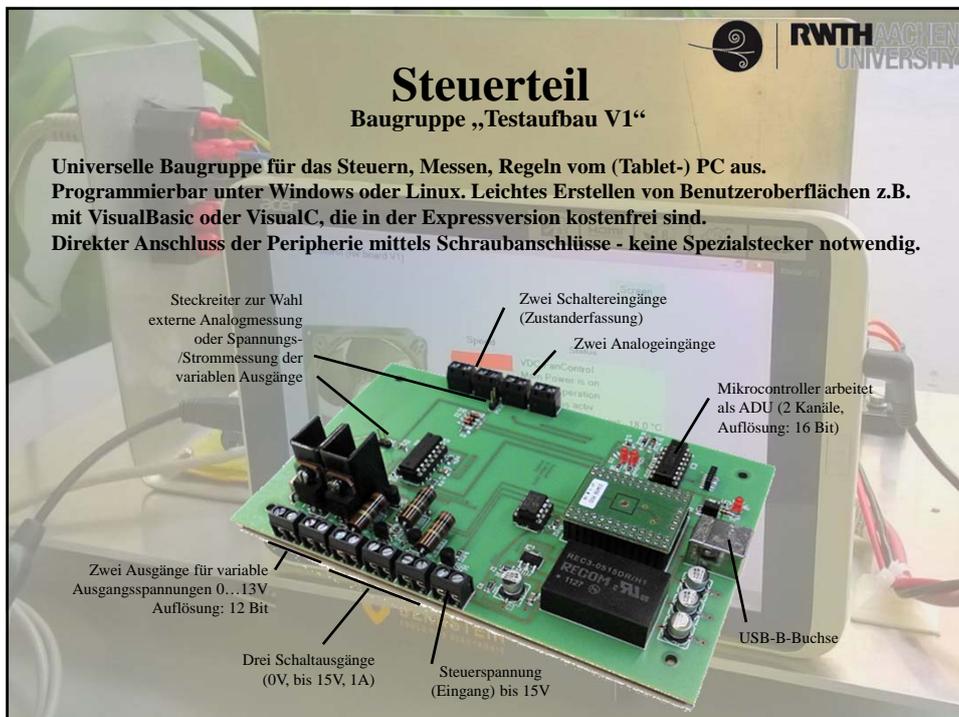
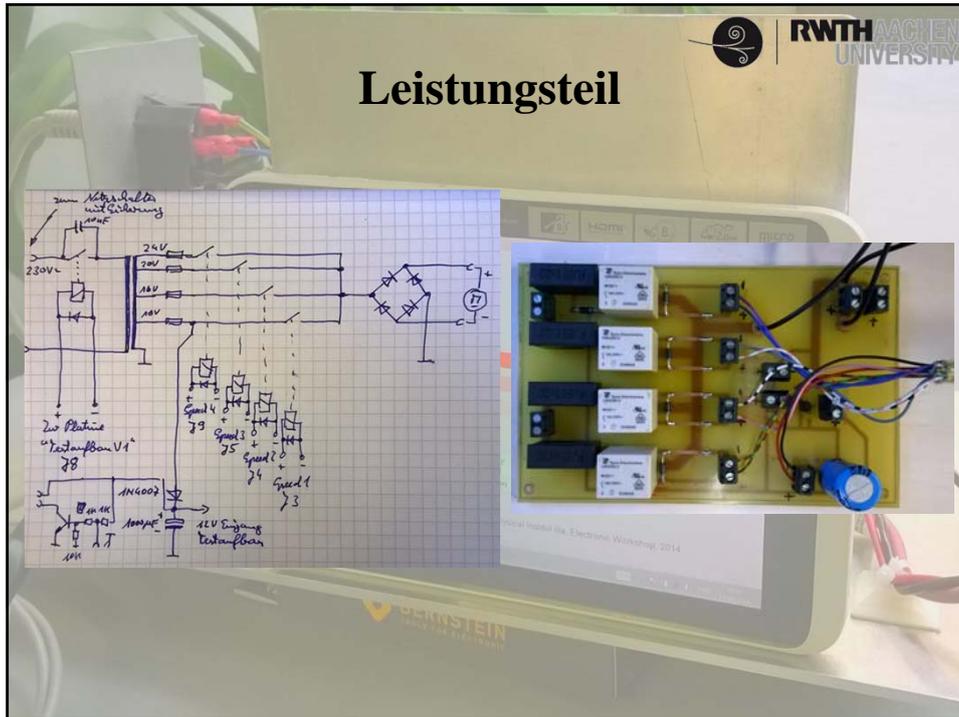

**RWTH AACHEN UNIVERSITY**

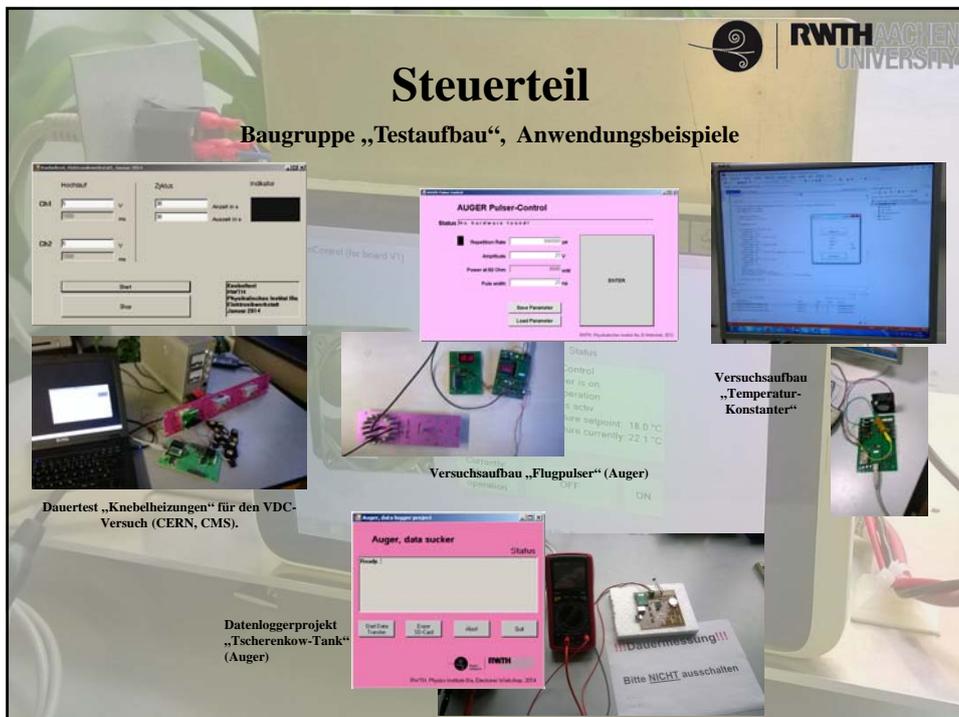
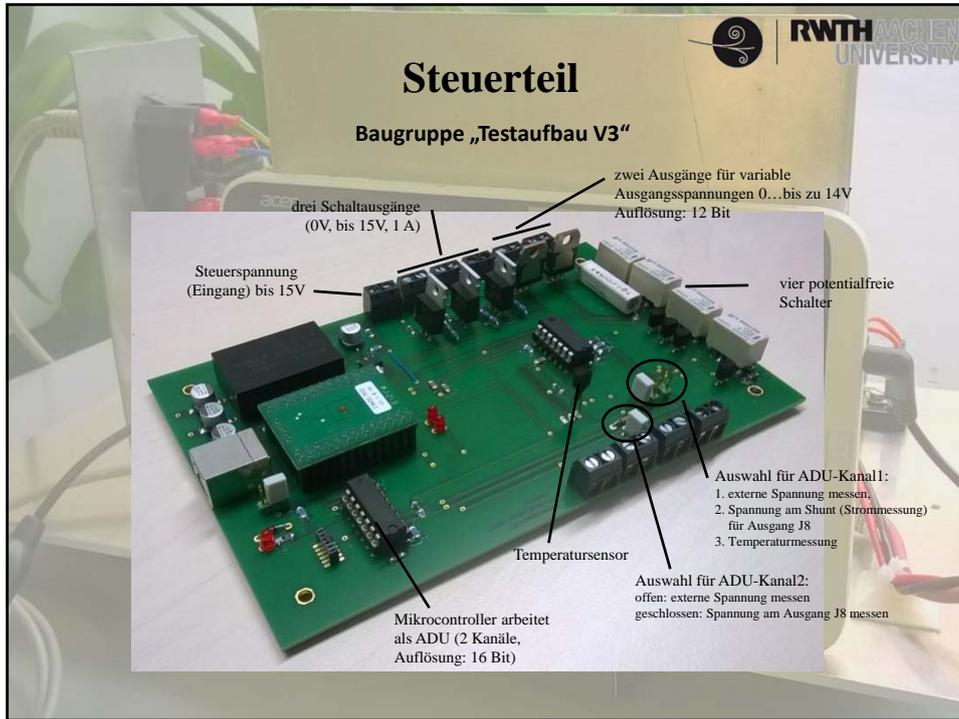
## Komponenten

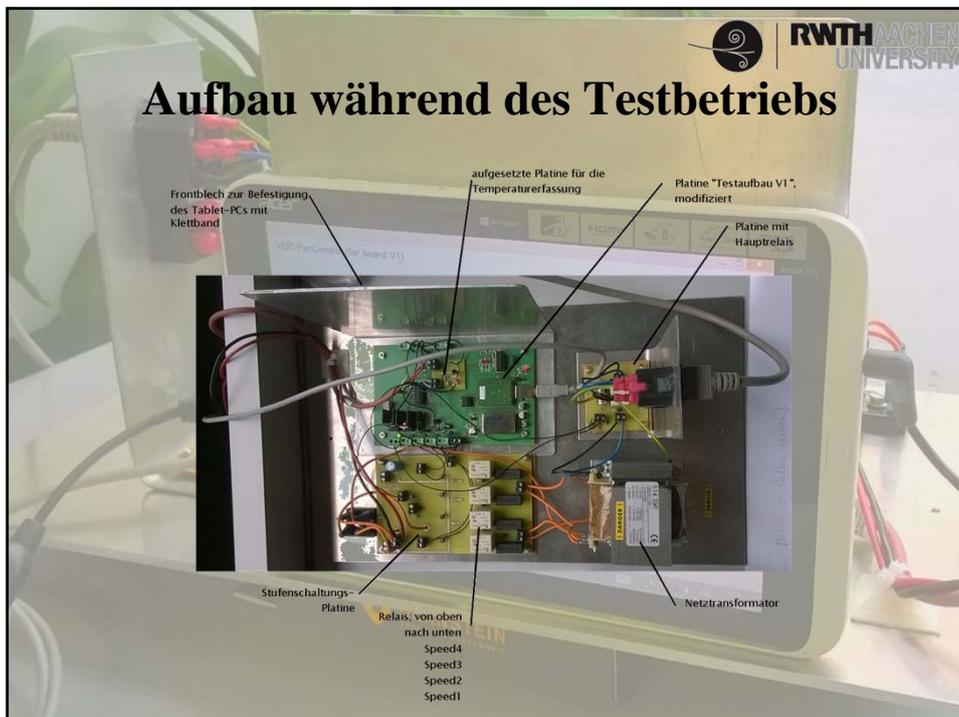
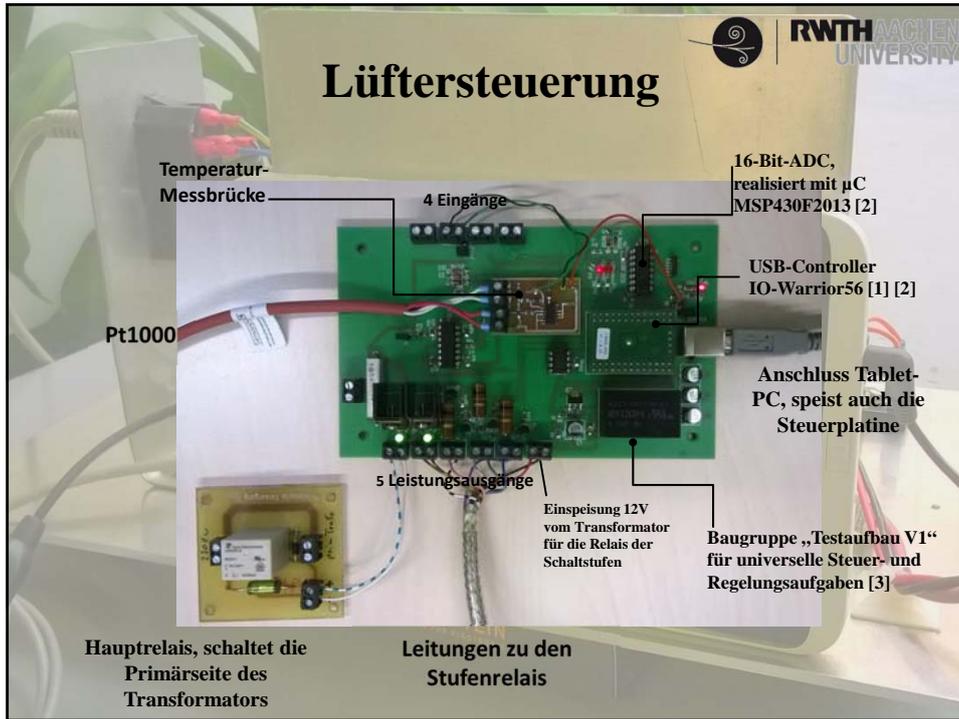


```

    graph LR
        Net[Stecker-Netzteil] --> Trans[Transformator, 180VA]
        Trans -- "10V, für die Relais auf der Relaiskarte (Steuerkreis)" --> Relais[Relais-Karte (4 Relais)]
        Trans -- "10V, 16V, 22V, 24V (Leistungskreis)" --> Platine[Platine Testaufbau V1]
        Platine -- "Einzel-Adern" --> Relais
        Relais -- "2 Adern" --> Fans[Lüfterhaube mit 8 Lüftern]
        Tablet[Tablet-PC mit Windows 8] -- USB --> Platine
    
```





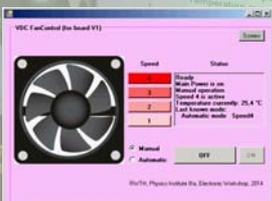


## Steuerung/Software






Betrieb „Automatik“

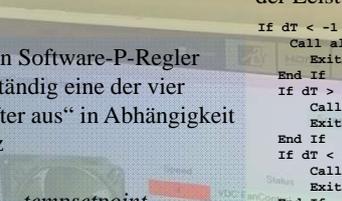


Betrieb „Manuell“

Die Software ist erstellt mit VisualBasic.NET [3]

- Expressversion, kostenfrei
- leicht zu erlernen
- Code leicht zu lesen
- Ressourcen sind identisch mit anderen .NET-Sprachen (C#, Visual C).
- Anbindung über die USB-Schnittstelle
- Betriebsart Manuell (Steuerung) und Automatik (Regelung) wählbar
- Sanftanlauf zur Vermeidung hoher Anlaufströme
- animierter Lüfter; man erkennt sofort ob die Lüfter aktiv sind; nach einiger Zeit auch auf welcher Leistungsstufe

## Automatikbetrieb

Im Automatikbetrieb ist ein Software-P-Regler aktiv. Dieser wählt selbstständig eine der vier Leistungsstufen oder „Lüfter aus“ in Abhängigkeit von der Temperaturdiffenz

$$dT = tempPT1000 - tempsetpoint$$

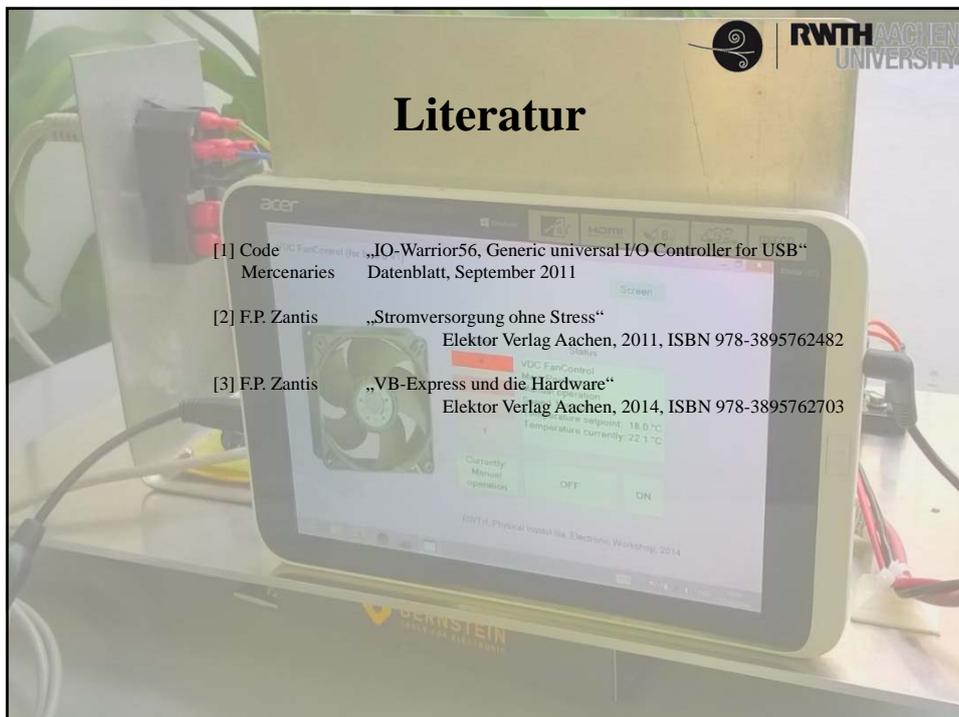
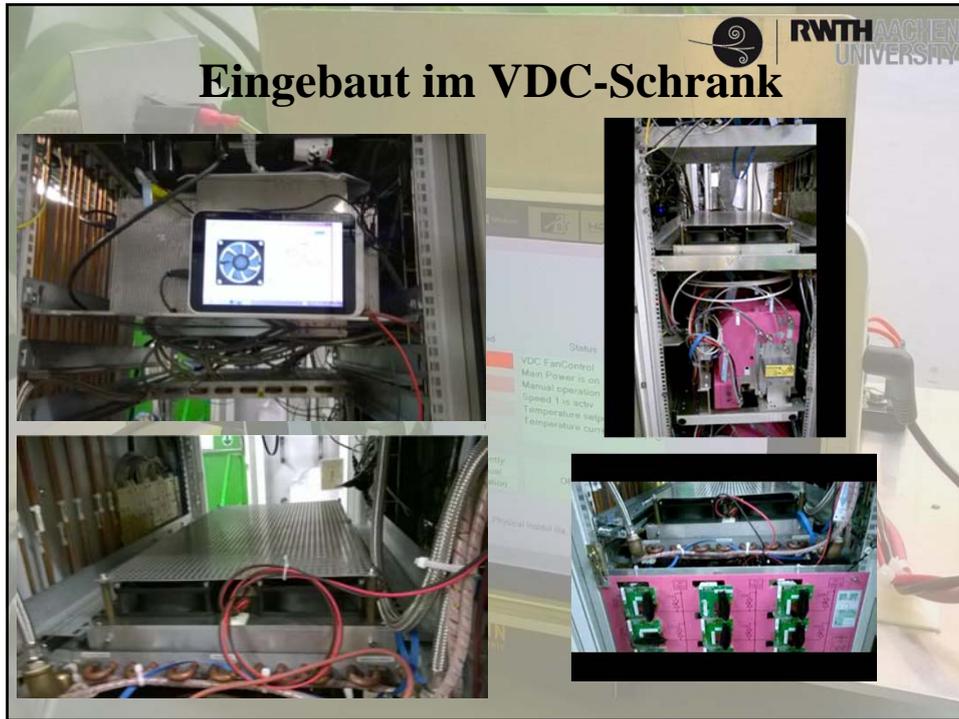
*tempsetpoint* ist fest vorgegeben mit 18°C.

Es darf jeweils nur auf die nächstniedrigere oder auf die nächsthöhere Stufe umgeschaltet werden.

Programmteil für die Auswahl der Leistungsstufe:

```

If dT < -1 And speed = 1 Then
    Call allOFF()
    Exit Sub
End If
If dT > 0 And speed = 0 Then
    Call Btnlevel1_Click(Nothing, Nothing)
    Exit Sub
End If
If dT < 1 And speed = 2 Then
    Call Btnlevel1_Click(Nothing, Nothing)
    Exit Sub
End If
If dT > 2 And speed = 1 Then
    Call Btnlevel2_Click(Nothing, Nothing)
    Exit Sub
End If
If dT < 3 And speed = 3 Then
    Call Btnlevel2_Click(Nothing, Nothing)
    Exit Sub
End If
If dT > 4 And speed = 2 Then
    Call Btnlevel3_Click(Nothing, Nothing)
    Exit Sub
End If
If dT < 5 And speed = 4 Then
    Call Btnlevel3_Click(Nothing, Nothing)
    Exit Sub
End If
If dT > 6 And speed = 3 Then
    Call Btnlevel4_Click(Nothing, Nothing)
    Exit Sub
End If
    
```



# Implementierung eines TANGO-Servers zur Anbindung des Mythen-Detektors beim Experiment GALAXI

3. März 2015 | Alexander Steffens | ZEA-2

Mitglied der Helmholtz-Gemeinschaft

## Gliederung

Einleitung

Experimentensystem GALAXI

Mythen-Detektor

Implementierung des Servers

Zusammenfassung

Ausblick

3. März 2015

Alexander Steffens

Folie 2

Mitglied der Helmholtz-Gemeinschaft

## Einleitung

### Vorstellung

- Dualer Student im 3. Lehrjahr
- Studiengang Scientific Programming
- Bachelorarbeit an der FH Aachen im Sommer 2015
- Mathematisch-technischer Softwareentwickler (MATSE)
- Ausbildung im ZEA-2<sup>1</sup> des Forschungszentrums Jülich

---

<sup>1</sup>Zentralinstitut für Engineering, Elektronik & Analytik - Systeme der Elektronik

## Einleitung

### ZEA-2 – Softwaresysteme

- Team Softwaresysteme
- Kooperation mit Wissenschaftlern, insbesondere mit dem JCNS<sup>2</sup>
- Implementierung von Digitalelektronik und Software für wissenschaftliche Experimente
- Schwerpunkt: Realisierung von Steuerungs- und Datenerfassungssystemen für Neutronenstreulinstrumente

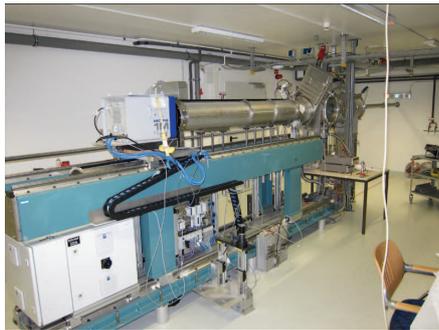
---

<sup>2</sup>Jülich Centre for Neutron Science

## Experimentensystem GALAXI

### Allgemeines

- Gallium Anode Low-Angle X-ray Instrument



- Speziell für Röntgenkleinwinkelstreuung unter streifendem Einfall optimiert
- Metaljet-Röntgenquelle von Bruker AXS ermöglicht höchste Brillanz aller Laborröntgenquellen
- Verfahrbarer Detektor

## Experimentensystem GALAXI

### Derzeitiger Experimentaufbau

- Zur Zeit ein Detektor mit zweidimensionaler Auflösung im Einsatz
- Messung von Streuungen maximal in einem Winkel von ca.  $-7^\circ$  bis  $4^\circ$
- Streuung links-rechts-symmetrisch, daher kein Nachteil für Messergebnisse

## Experimentensystem GALAXI

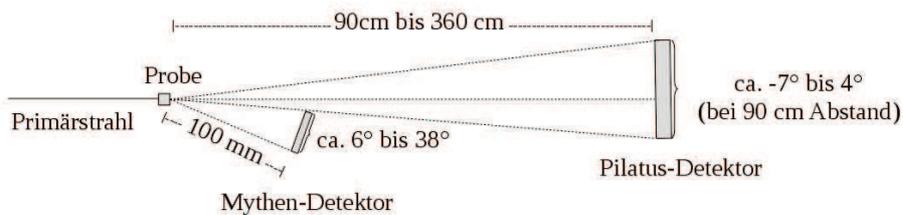
### Messbild Pilatus-Detektor



## Experimentensystem GALAXI

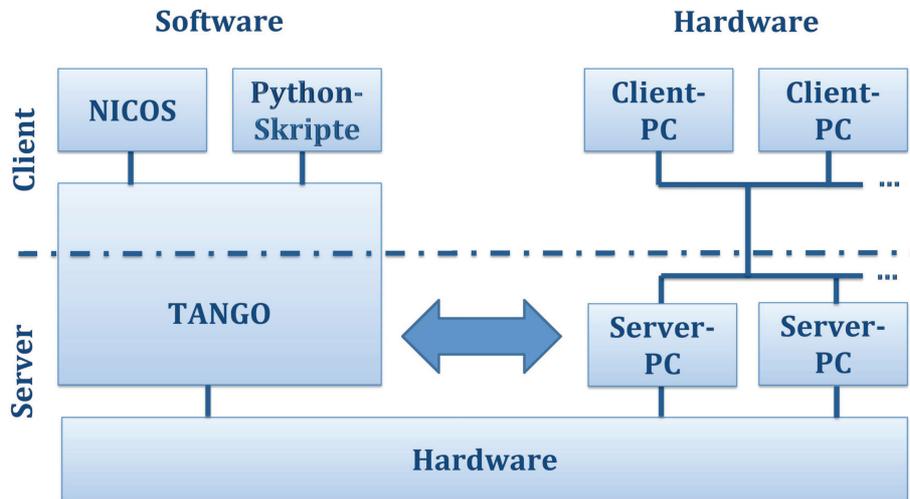
### Motivation

- Anschluss des Mythen-Detektors zur Vergrößerung des Winkelbereichs
- Abstand zur Probe ca. 100 mm
- Erfassung von Streuwinkeln zwischen  $6^\circ$  und  $38^\circ$
- Einsatz nur bei isotropisch streuenden Proben sinnvoll
- Server zur Bedienung benötigt



## Experimentssystem GALAXI

### Architektur der DAQ-Kontrollsysteme



Mitglied der Helmholtz-Gemeinschaft

3. März 2015

Alexander Steffens

Folie 9

## Mythen-Detektor

### Allgemeines

**DECTRIS®**

- Maße: 72 · 100 · 24 mm<sup>3</sup>
- Silizium-Halbleiter-Detektor mit Mikrostreifenleitern
- CMOS-basierte ASIC-Ausleseelektronik
- Verwendung bei Einzelphotonenzählungen
- Eindimensionaler Sensor unterteilt in mehrere Pixel
- Größe eines Pixels: 50 · 8000 μm<sup>2</sup>
- TCP/IP als Schnittstelle zur Kommunikation



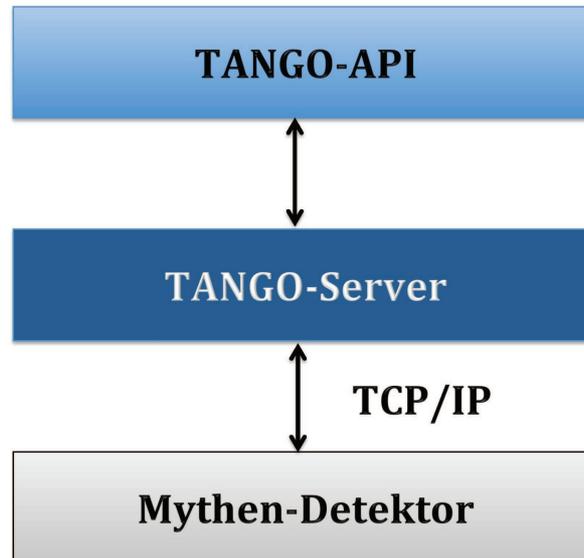
Mitglied der Helmholtz-Gemeinschaft

3. März 2015

Alexander Steffens

Folie 10

## Mythen-Detektor Kommunikation



3. März 2015

Alexander Steffens

Folie 11

## Implementierung des Servers Anforderungen

- Programmiersprache C++
- Verwendung des Kontrollsystems TANGO
- Kommunikation per TCP/IP
- Funktionalitäten:
  - 1 **Parametrierung:** Energie und Diskriminatorschwelle
  - 2 **Messablauf:** Messzeit, Zahl der Bilder, Start/Stop, Datenauslese
  - 3 **Sonstiges:** Zurücksetzen, Ausgabe der restlichen Messzeit, generische Funktionen
- Simulationsserver

3. März 2015

Alexander Steffens

Folie 12

## Implementierung des Servers

### TANGO-Objekt

#### Mythen-Detektor

**Commands:** On(), Off(), Start(), Stop(), State(), ...

**Attributes:** Energy, Kthresh, Time, Frames, ...

**State:** On, Off, Moving, ...

**Properties:** IP, Port, Shape

Hardware Control Code

## Implementierung des Servers

### Kommunikation

- Senden
  - ASCII-Zeichenkette: -<befehl>
  - Bei Parametern: -get <name> bzw. -<name> <wert>
- Empfangen
  - Antwort als Byte-Array
  - Interpretation abhängig von verschicktem Befehl
  - Null als Bestätigung oder Fehlernummer
- Ablauf
  - Ermittlung der erwarteten Länge der Antwort
  - Absenden des Kommandos und Empfangen der Antwort
  - Überprüfung auf Auftreten von Fehlern
  - Weiterverarbeitung der Daten

## Implementierung des Servers

### Starten des Servers

- Auslesen der Eigenschaften aus der Datenbank
- Deklaration der Attribute
- Herstellung der Verbindung zum Detektor
- Zurücksetzen auf Standardeinstellungen

## Implementierung des Servers

### Lesen und Setzen von Parametern

- Senden des entsprechenden Befehls
- Interpretieren der Antwort in richtigem Datentyp
- Rückgabe des erhaltenen Werts (Lesen)  
oder
- Rückgabe einer Null als Bestätigung (Schreiben)  
oder
- Anzeigen einer Warnung (Auftreten von Fehlern)

## Implementierung des Servers

### Durchführung einer Messung

- Während der Messung nur Datenauslese, Statusabfrage oder Beenden möglich
- Datenauslese durch Abfrage des Attributs „value“
- Sicherung von maximal vier Bildern
- Ausgabe von Zwischenergebnissen nicht möglich
- Verlust des aktuellen Bilds bei vorzeitigem Beenden
- Statusabfrage als gepollte Methode implementiert

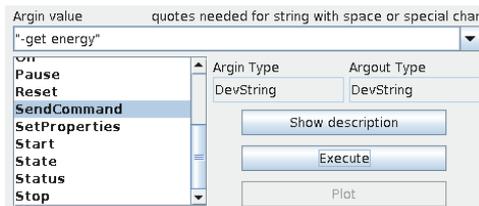
## Implementierung des Servers

### Weitere Funktionalitäten

- Zurücksetzen auf die Standardeinstellungen
- Abfrage der restlichen Messdauer
  - Vergleich verstrichener Zeit seit Messbeginn mit erwarteter Messdauer
  - Ausgabe der Differenz in Stunden, Minuten und Sekunden
- Generische Funktionen
  - Absenden des erhaltenen Kommandos
  - Ausgabe der Antwort in allen möglichen Datentypen
  - Bei Fehlern: Ausgabe der Beschreibung

## Implementierung des Servers

### Beispiel: Generischer Aufruf



```
Command: galaxi/Mythen/1/SendCommand
Duration: 3 msec
Output argument(s) :
Response as string: ÎÎ
Response as integer: 1090571469
Response as float: 8.05
Response as long long:1090571469
```

Abbildung: Absenden eines Kommandos

Abbildung: Ausgabe in allen Datentypen

## Zusammenfassung

- Ansprechen des Mythen-Detektors mittels TCP/IP
- Einstellen der für eine Messung notwendigen Parameter
- Starten und Stoppen von Messungen
- Auslesen von Messergebnissen
- Anzeigen der restlichen Messdauer
- Zugriff auf gesamte Funktionsvielfalt mittels generischer Aufrufe

## Ausblick

### TANGO-Server für Pilatus-Detektor

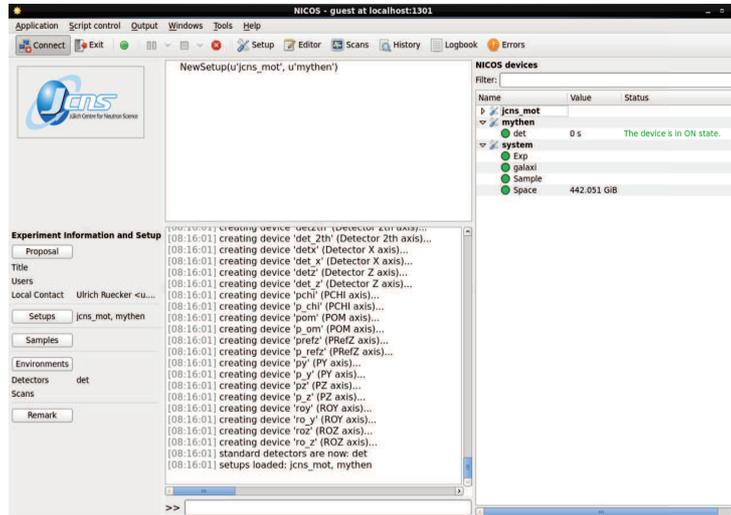
- Zur Zeit Kommunikation mit Pilatus-Detektor ohne Verwendung von TANGO
- Übernahme vieler Programmbestandteile möglich (z. B. TCP/IP-Kommunikation)
- Erweiterungen: u. a. Konfiguration des 2D-Sensors
- Änderungen: u. a. Datenauslese anpassen

## Ausblick

### Integration in NICOS

- Network Instrument Control System
- Umstellung aller Experimentssysteme des JCNS auf Bedienung mit NICOS geplant
  - ⇒ Vereinfachung der Steuerung, u. a. durch Verwendung einer graphischen Oberfläche
- Abbildung aller Geräte in NICOS
- Erweitern der Standard-Funktionen um speziell zugeschnittene Kommandos
- Inbetriebnahme von GALAXI unter Verwendung von NICOS

## Ausblick NICOS-GUI



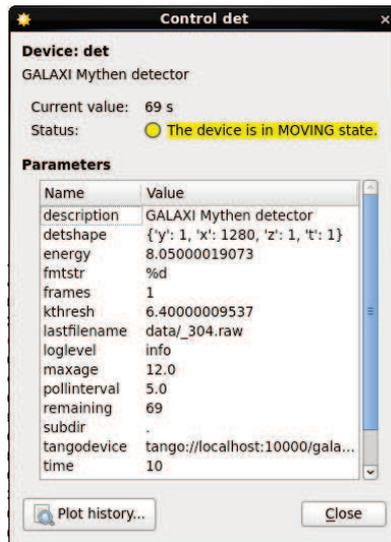
Mitglied der Helmholtz-Gemeinschaft

3. März 2015

Alexander Steffens

Folie 23

## Ausblick Konfiguration eines Geräts



Mitglied der Helmholtz-Gemeinschaft

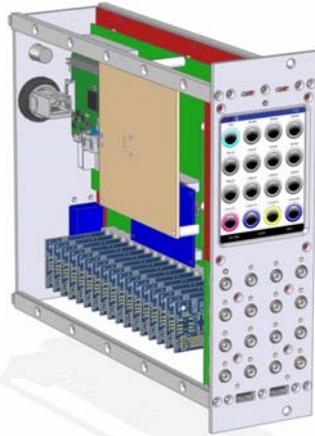
3. März 2015

Alexander Steffens

Folie 24

# PiLC Raspberry Pi Logik Controller

Modul zur schnellen Verarbeitung von Signalen.



T. Spitzbart, L. Wilke, H. Zink  
Hamburg, 04.03.2015



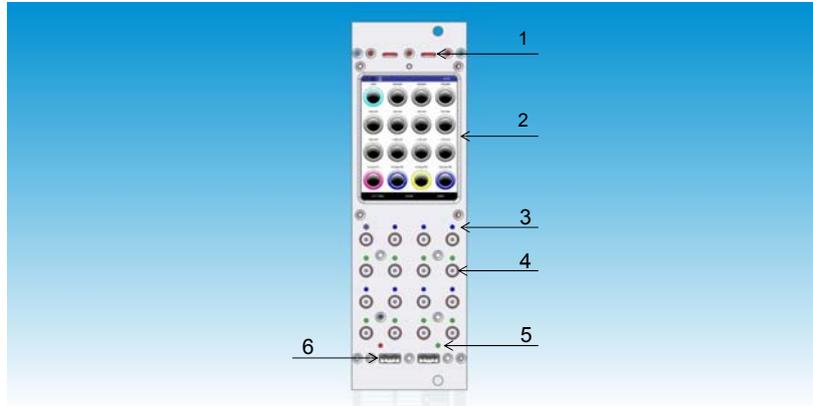
## PiLC Motivation

Eine Hardware zu entwickeln, die eine flexible und schnelle Problemlösung ermöglicht und die das Messequipments der Experimente erweitert und unterstützt.

T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 2



## PiLC Frontansicht

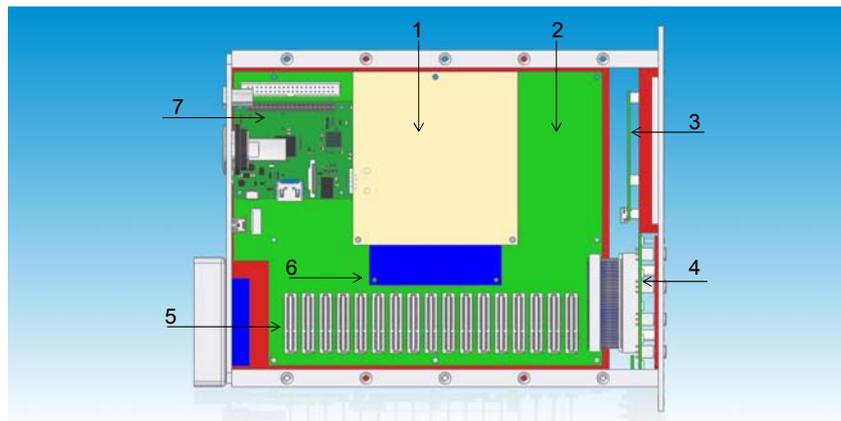


- |                                                 |                                            |
|-------------------------------------------------|--------------------------------------------|
| 1. Stereo Lautsprecher                          | 4. Isolierte LEMO-Buchsen                  |
| 2. 3,5" Touchdisplay                            | 5. 2x frei konfigurierbare RGB Status-LEDs |
| 3. RGB-LEDs für Statusanzeige der Ein-/Ausgänge | 6. 2x USB 2.0 Buchsen                      |

T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 3



## PiLC Seitenansicht

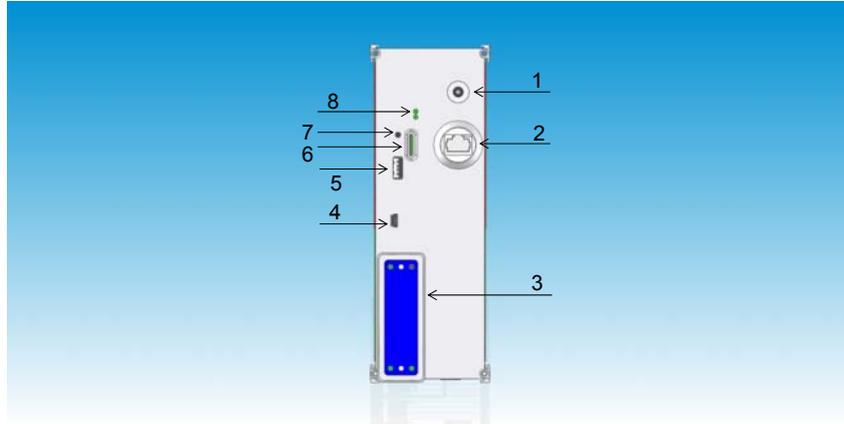


- |                                 |                                  |
|---------------------------------|----------------------------------|
| 1. Netzteil                     | 5. 16 Steckplätze für I/O-Karten |
| 2. Mainboard                    | 6. FPGA-Board                    |
| 3. Display Interface            | 7. Raspberry Pi 2                |
| 4. I/O-Platine mit LEMO-Buchsen |                                  |

T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 4



## PiLC Rückansicht



- |                                          |                                         |
|------------------------------------------|-----------------------------------------|
| 1. Anschluss externe Spannungsversorgung | 5. USB 2.0 Anschluss                    |
| 2. Ethernet Buchse                       | 6. $\mu$ SD-Kartenslot für Raspberry Pi |
| 3. Stecker für NIM-Crate                 | 7. Reset Button                         |
| 4. Service-Buchse Mini USB               | 8. Raspberry Pi LEDs                    |

T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 5



## PiLC Gehäusevarianten

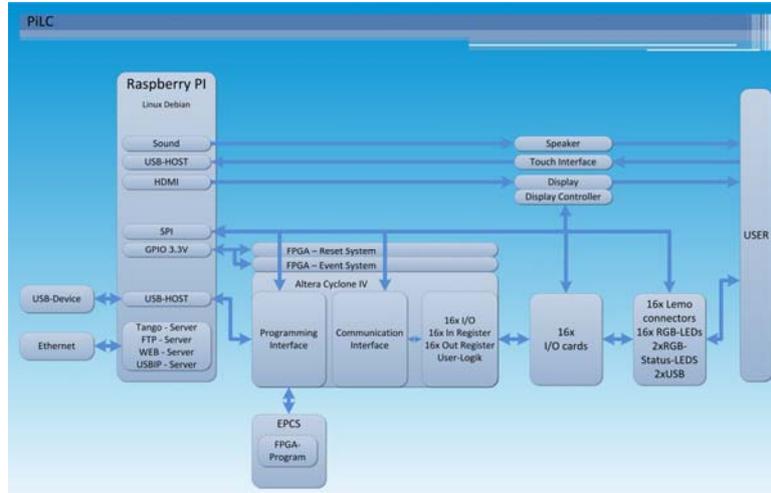


- 19" Einschub 2 HE
- Tischgehäuse
- Größeres Display 4.3" mit 800x480 Pixel
- 230V Kaltgeräteanschluss

T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 6



## PiLC Funktionsdiagramm

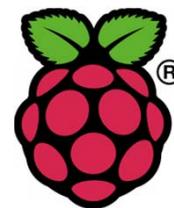


T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 7



## PiLC Hardware Features

- Raspberry PI 2
  - > Quad Core 900 MHz ARM Prozessor
  - > 1GB Arbeitsspeicher
  - > 26 GPIO-Pins, SPI, I<sup>2</sup>C, UART
  - > 10/100-MBit-Ethernet
  - > 4x USB 2.0 Anschlüsse
  - > Micro SD-Speicherkarte als Bootmedium und als Datenspeicher



- DE0-Nano Board mit Altera Cyclone® IV
  - > Gatterlaufzeit 6ns
  - > 22,320 Logik Elemente
  - > 4 PLLs
  - > 32MB SDRAM



T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 8



## PiLC Hardware Features

- Touch Display (NIM-Modul)
  - Größe: 3,5"
  - Auflösung 480x640 Pixel (229 dpi)
  - Resistives-Touchdisplay
  - Operation Temp. -20 ...70°C
  - $\mu$ C gesteuerte Hintergrundbeleuchtung
- Unterbrechungsfreie Stromversorgung für den RPI und den FPGA
  - Lithium polymer Batterie mit 3Wh
  - Versorgung für ca. 10min
  - Automatisches "herunterfahren"
  - $\mu$ C gesteuerte Ladeelektronik
- Stereo Sound
- Spannungsversorgung: NIM-Crate oder externes +6V Netzteil
- Leistungsaufnahme: < 20W



T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 9



## PiLC I/O Karten

- 16 Slots für I/O-Karten
- Signale galvanisch getrennt
- I/O Karten:
  - TTL bis zu 80MHz
  - NIM bis zu 60MHz
- ADC Karte
  - 16 Bit Auflösung
  - 2 MSPS
  - Eingangsspannung 0-10V
- DAC Karte
  - 16 Bit Auflösung
  - 2 MSPS
  - Ausgangsspannung 0-10V



T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 10



## PiLC GUI Konzept

The left screenshot displays a home screen with 16 circular indicators arranged in a 4x4 grid. The indicators are labeled as follows:

- Row 1: 1.ADC, 2.ADC, 3.DAC, 4.DAC
- Row 2: 5.Input TTL, 6.Output TTL, 7.Input TTL, 8.Output TTL
- Row 3: 9.No Card, 10.No Card, 11.No Card, 12.No Card
- Row 4: 13.Output TTL, 14.Output TTL, 15.Output TTL, 16.Output TTL

The right screenshot shows a detailed view for 'IO 1 ADC' with the following information:

- Direction: High/Low
- Status: High/Low
- Input Register: 16385
- Output Register: 26209
- ADC Value: 3.9991V

Both screenshots include a top status bar with a clock and a bottom navigation bar with 'SETTING', 'HOME', and 'INFO' buttons. The DESY logo is located in the bottom right corner of the slide.

T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 11

## PiLC Software Features

- Betriebssystem: Debian
- Mögliche Programmiersprachen sind u.a. C, C++, Python
- Einfache Funktionen für die Kommunikation zwischen den Modulen
- Über Tango-Server, Touch-Display oder Web-Interface steuerbar
- Erstellen einer GUI zur Bedienung am Touch-Display
- FPGA Aktualisierung über Raspberry Pi
- FPGA Debugging über USB-IP möglich (beta)

T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 12

## PiLC FPGA Design

- FPGA Programmierung mit Quartus II von Altera
- 4% der FPGA Kapazität belegt
- VHDL\*
- Grafische Programmierung möglich
- Debuggen
- Grundkenntnis der FPGA Programmierung erforderlich

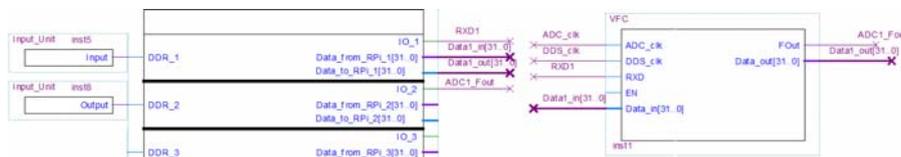


\*Very High Speed Integrated Circuit Hardware Description Language

T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 13



## PiLC FPGA Design VFC



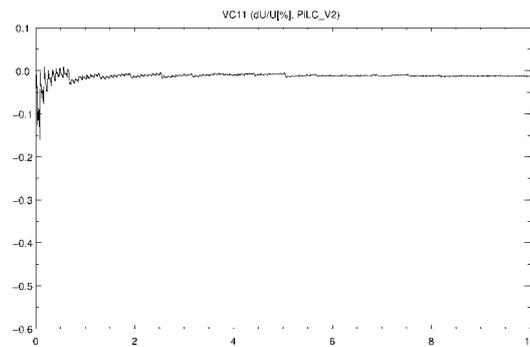
T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 14



## PiLC Proof of concept

- Volt to Frequency converter
  - Einstellbare Ausgangs Frequenz von 1MHz bis 50 MHz

Sample time 0.1, 50 MHz, PiLC\_V2



PiLC VFC converter (absolute error from 0-10V → 0 – 50Mhz)

T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 15



## PiLC Proof of concept

- Encoder lesen
  - Encoder lesen und Trigger Signale erzeugen
- ADC
  - ADC Werte mit 1kHz lesen und in eine Datenbank schreiben
- DAC
  - Verschiedene Ausgangssignale erzeugen: Sägezahn, Dreieck, Sinus etc.
- Frequenz Generator
  - Einstellbare Ausgangsfrequenz (Rechteck) erzeugen zwischen 1Hz bis zu 80 MHz
- Frequenzzähler
  - Frequenzzähler bis zu 80 MHz
- Piezo Motor Controller

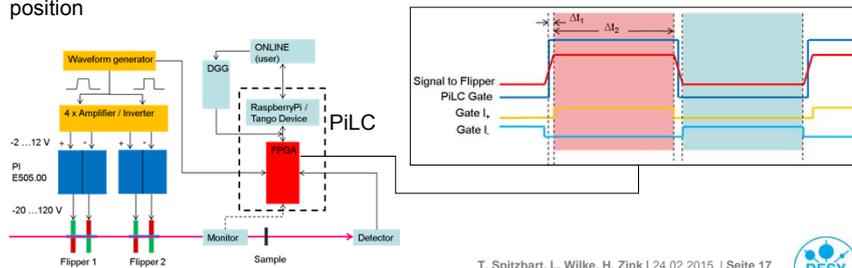
T. Spitzbart, L. Wilke, H. Zink | 24.02.2015 | Seite 16



## XMCD at beamline P09

PiLC used for investigation of XMCD signal at Gd  $L_3$  absorption edge:

- Waveform generator with frequency 10 – 40 Hz
- Synchronized signals for Flippers (Trapezoidal) and PiLC (Rectangular/TTL)
- Separate summation of signals with circular left and circular right incident polarization
- Summation over period  $t$  (counting time)
- Output of XMCD signal
- Stepwise variation of energy and counting for time period  $t$  (1 – 60 sec) at each energy position

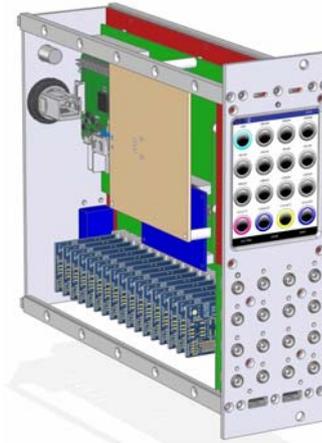


## PiLC Zukunftsaussichten

- PT 100 Karte
- GUI Entwicklung
- CE-Zertifizierung  
→ erste Tests bei ZE erfolgreich.
- Serienfertigung von 30 Stück



## PiLC Key Features



### Key Features

- Flexibel einsetzbar
- Direkter Support
- Austauschbar
- Modular aufgebaut
- Embedded Computer
- Betriebssystem: Debian
- FPGA
- Ethernet
- Tango
- Touch Display
- 16 I/Os bis zu 80MHz
- ADC
- DAC
- RGB-Anzeige-LEDs



## Messung wichtiger Strahlparameter des LHCs mit Diamantsensoren

Wolfgang Lange, DESY Zeuthen und CMS-BRIL-Gruppe am CERN

Tagung der  
„Studiengruppe Elektronische Instrumentierung“ der Helmholtzzentren  
im März 2015 im DESY Zeuthen



### Der Fahrplan:



#### Einführung

Strahlmonitore, das Experiment CMS

#### BCM1F in der ersten Betriebsperiode des LHC

Systemaufbau, Ergebnisse, Grenzen

#### Erweiterung für die kommende Betriebsperiode

Beschreibung, Entwurf, vorläufige Ergebnisse

#### Schlussfolgerungen



## Einführung



**Einführung**  
Strahlmonitore, das Experiment CMS

BCM1F in der ersten Betriebsperiode des LHC  
Systemaufbau, Ergebnisse, Grenzen

Erweiterung für die kommende Betriebsperiode  
Beschreibung, Entwurf, vorläufige Ergebnisse

Schlussfolgerungen

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 3



## Strahlmonitore



**Kontext**

- Der LHC erreichte die bislang höchsten Kollisionsenergien und –raten.
- Bereits minimale Strahlverluste können Maschine und Experimenten schaden.

**Strahlmonitore**

- messen den Teilchenfluss nahe am Strahlrohr ( $r \geq 5\text{cm}$  ... einige Meter);
- Sichern durch mögliche Korrekturen ausreichend niedrigen Untergrund;
- stellen Strahlverluste fest;
- veranlassen, wenn nötig, Sofortmaßnahmen (beam abort).

**CMS**

hat unterschiedliche Strahlmonitore (BRM-System):

- integrierende Strahlmonitore (signal current monitors) → BCM1L, BCM2;
- bunch by bunch monitors → Szintillatoren und **BCM1F**;  
(zukünftig noch Cherenkov-Detektoren).

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 4



## Fahrplan...



Einführung  
Strahlmonitore, das Experiment CMS

BCM1F in der ersten Betriebsperiode des LHC  
Systemaufbau, Ergebnisse, Grenzen

Erweiterung für die kommende Betriebsperiode  
Beschreibung, Entwurf, vorläufige Ergebnisse

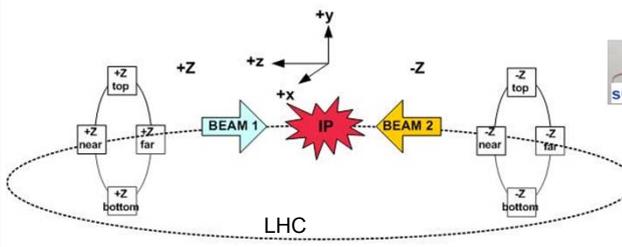
Schlussfolgerungen

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 5

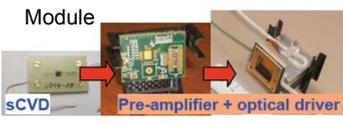
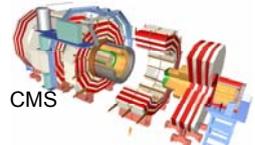


## Der Strahlmonitor BCM1F (bis Anfang 2013)





Module

8 single-crystal CVD diamonds ( $5 * 5 * 0.5 \text{ mm}^3$ , Element 6) positioned around the beam-pipe, radial distance 4.5 cm, 1.8 m from interaction point

- Diamond → no cooling, robust, radiation-hard
- Sensor module: diamond, radiation-hard preamplifier, optical driver

Bunch-by-bunch information on flux of beam halo and collision products

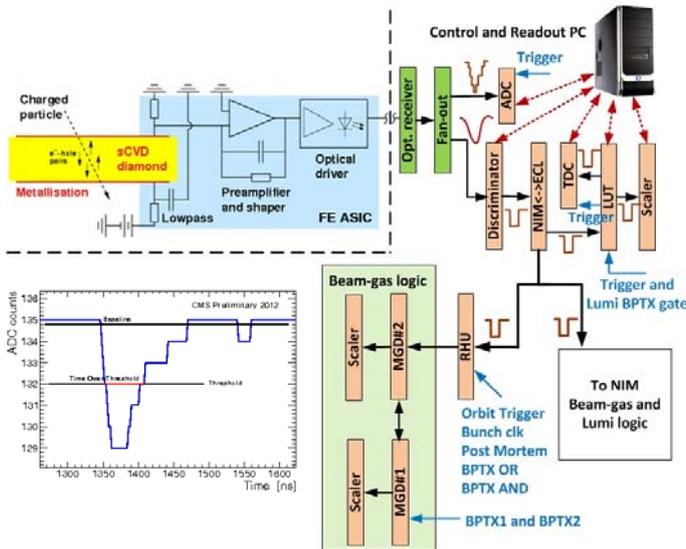
- Monitor condition of beam: ensure low radiation for silicon tracker
- Monitor luminosity

Readout independent of CMS DAQ

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 6



### BCM1F-Elektronik (bis Anfang 2013)



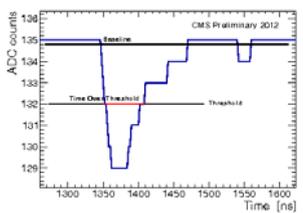
**Output:**

**analog spectra**  
ADC → monitoring

**hit rates**  
Discriminator →

Look-up table  
"LUT"

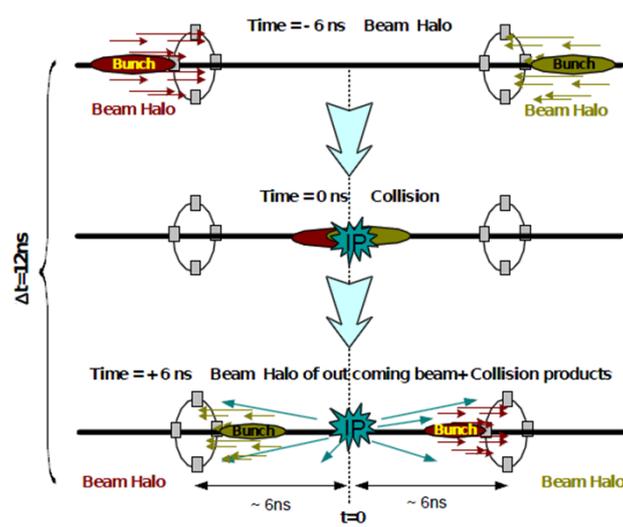
Recording  
Histogram  
Unit  
"RHU"



ADC counts vs Time [ns] showing a pulse at approximately 1350 ns. The y-axis ranges from 120 to 130. A 'Time Out Threshold' is indicated at approximately 125 counts.

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 7

### Was sieht man mit einem solchen Gerät?



$\Delta t = 12 \text{ ns}$

Time = -6 ns: Beam Halo

Time = 0 ns: Collision

Time = +6 ns: Beam Halo of outgoing beam + Collision products

~6 ns

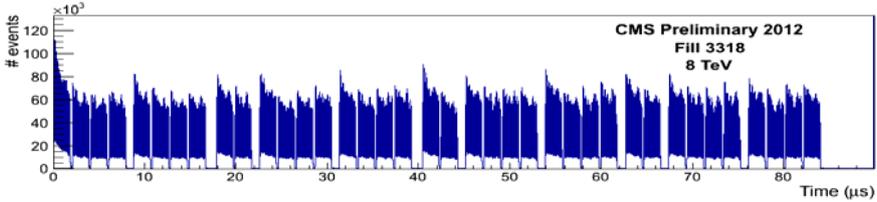
t=0

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 8

## Messungen mit BCM1F - 1



- betrieben unmittelbar ab Start des LHC → erste Strahlen im LHC bereits gemessen
- misst Untergrundraten und Zeitstrukturen der beiden gegenläufigen Strahlen
- Entdeckung des "Albedo-Effektes" (Nach"leuchten" durch langsame Teilchen)
- liefert relevante Untergrundraten für CMS und den LHC-Kontrollraum
- misst die Online-Luminosität



Bunch structure of one full orbit inside LHC, abort gap on the right

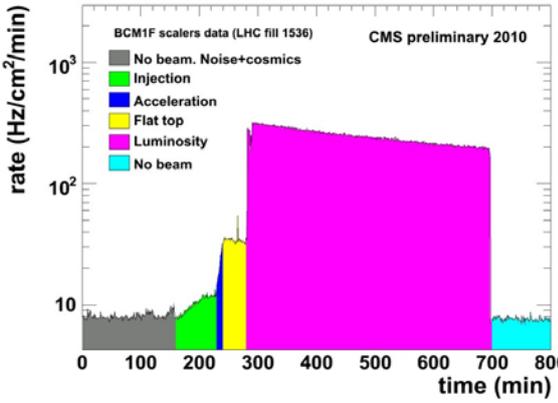


Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 9

## Messungen mit BCM1F - 2



- betrieben unmittelbar ab Start des LHC → erste Strahlen im LHC bereits gemessen
- misst Untergrundraten und Zeitstrukturen der beiden gegenläufigen Strahlen
- Entdeckung des "Albedo-Effektes" (Nach"leuchten" durch langsame Teilchen)
- liefert relevante Untergrundraten für CMS und den LHC-Kontrollraum
- misst die Online-Luminosität



"Lebenszyklus" einer Füllung des LHCs

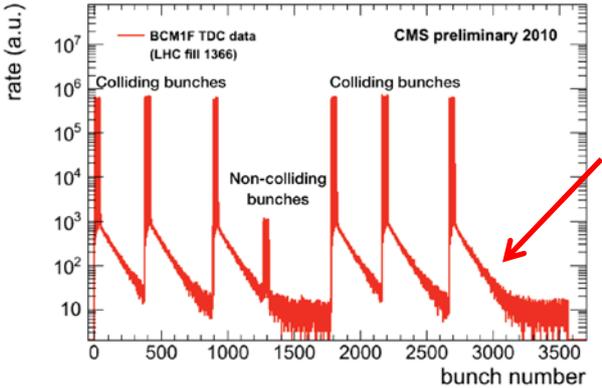


Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 10

## Messungen mit BCM1F - 3



- betrieben unmittelbar ab Start des LHC → erste Strahlen im LHC bereits gemessen  
 - misst Untergrundraten und Zeitstrukturen der beiden gegenläufigen Strahlen  
 - Entdeckung des "Albedo-Effektes" (Nach"leuchten" durch langsame Teilchen)  
 - liefert relevante Untergrundraten für CMS und den LHC-Kontrollraum  
 - misst die Online-Luminosität



**Albedo Effect after collisions:**

- particles hit CMS material
- excitation of material
- decays
- slow remaining particles
- lifetime ~2 μs

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 11



## Messungen mit BCM1F – Luminosität



- Was ist die Luminosität  $L$  ?

$$L = \frac{n \cdot N_1 \cdot N_2 \cdot f}{A}$$

N – Zahl der Teilchen pro Teilchenpaket (bunch) für den jeweiligen Strahl  
 n – Zahl der Teilchenpakete im Umlauf  
 f – Umlauffrequenz  
 A – Querschnittsfläche des Strahls (der Teilchenpakete)

Die Luminosität hat dieselbe Einheit wie die Teilchenstromdichte:  $\text{cm}^{-2}\text{s}^{-1}$ .

Erst durch die Kenntnis der Luminosität können Messungen durch den Vergleich mit sehr gut bekannten Prozessen kalibriert werden. Außerdem ist sie ein Maß für die "Produktivität" des Beschleunigers...

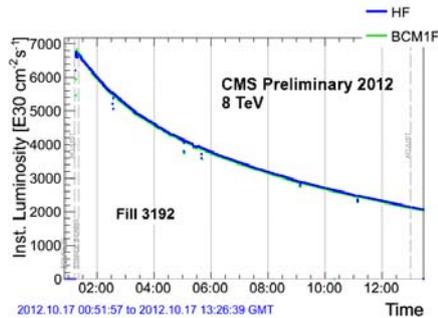
Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 12



## Messungen mit BCM1F - 4



- betrieben unmittelbar ab Start des LHC → erste Strahlen im LHC bereits gemessen
- misst Untergrundraten und Zeitstrukturen der beiden gegenläufigen Strahlen
- Entdeckung des "Albedo-Effektes" (Nach"leuchten" durch langsame Teilchen)
- liefert relevante Untergrundraten für CMS und den LHC-Kontrollraum
- misst die Online-Luminosität



Kollisionsraten (LUT) werden benutzt:

- erfordert Kalibrierung
- Online-Luminosität in CMS gemessen durch Hadron Forward Calorimeter (HF)

Test von BCM1F als Online-Luminometer:

- gute Übereinstimmung
- geprüft mit Berechnungen von HF sowie Messungen des Pixeldetektors → hat Potential als Online-Luminometer
- Vorteil: unabhängig von CMS DAQ



## Grenzen der Messungen mit BCM1F



- 25 ns shaping time des Vorverstärkers – 50 ns → 25 ns bunch spacing
- preamp needs a long recovery time from large input signals (overdriven, saturated)
- laser diodes (analog signal transmission) show radiation damage
- diamond sensors show radiation damage → polarization → how to cure?
- only 4 sensors on each side of the interaction point → saturation / pile-up problems



## Fahrplan...



Einführung  
Strahlmonitore, das Experiment CMS

BCM1F in der ersten Betriebsperiode des LHC  
Systemaufbau, Ergebnisse, Grenzen

Erweiterung für die kommende Betriebsperiode  
Beschreibung, Entwurf, vorläufige Ergebnisse

Schlussfolgerungen

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 15



## Neubau und Erweiterung von BCM1F 2013/2014 - (1)



- preamp has 25 ns shaping time – too slow for 25 ns bunch spacing
- preamp needs a long recovery time from large input signals (overdriven, saturated)
- laser diodes (analog signal transmission) have radiation damage
- diamond sensors show radiation damage → polarization → how to cure?
- only 4 sensors on each side of the interaction point → saturation / pile-up problems

**Design of a new preamp:**

- rise time below 12 ns
- fast recovery from overdrive
- differential outputs

No better laser diodes available:

- Moving of laser diodes to a less exposed area
- Adding slow control for current and gain (compensation)

- use of components with extended high voltage tolerance
  - metallization of sensors split into two pads
- use of 12 sensors with two pads each → 24 channels per side

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 16



## Neubau und Erweiterung von BCM1F 2013/2014 – (2)



- preamp has 25 ns shaping time – too slow for 25 ns bunch spacing
- preamp needs a long recovery time from large input signals (overdriven, saturated)
- **laser diodes (analog signal transmission) have radiation damage**
- diamond sensors show radiation damage → polarization → how to cure?
- only 4 sensors on each side of the interaction point → saturation / pile-up problems

### Design of a new preamp:

- rise time below 12 ns
- fast recovery from overdrive
- differential outputs

### No better laser diodes available:

- Moving of laser diodes to a less exposed area
- Adding slow control for current and gain (compensation)

- use of components with extended high voltage tolerance
  - metallization of sensors split into two pads
- use of 12 sensors with two pads each → 24 channels per side



## Neubau und Erweiterung von BCM1F 2013/2014 – (3)



- preamp has 25 ns shaping time – too slow for 25 ns bunch spacing
- preamp needs a long recovery time from large input signals (overdriven, saturated)
- laser diodes (analog signal transmission) have radiation damage
- **diamond sensors show radiation damage → polarization → how to cure?**
- only 4 sensors on each side of the interaction point → saturation / pile-up problems

### Design of a new preamp:

- rise time below 12 ns
- fast recovery from overdrive
- differential outputs

### No better laser diodes available:

- Moving of laser diodes to a less exposed area
- Adding slow control for current and gain (compensation)

- use of components with extended high voltage tolerance,
  - HV design to be improved
  - metallization of sensors split into two pads
- use of 12 sensors with two pads each → 24 channels per side



## Neubau und Erweiterung von BCM1F 2013/2014 – (4)



- preamp has 25 ns shaping time – too slow for 25 ns bunch spacing
- preamp needs a long recovery time from large input signals (overdriven, saturated)
- laser diodes (analog signal transmission) have radiation damage
- diamond sensors show radiation damage → polarization → how to cure?
- **only 4 sensors on each side of the interaction point → saturation / pile-up problems**

Design of a new preamp:

- rise time below 12 ns
- fast recovery from overdrive
- differential outputs

No better laser diodes available:

- Moving of laser diodes to a less exposed area
- Adding slow control for current and gain (compensation)

- use of components with extended high voltage tolerance

- **metallization of sensors split into two pads**

- **use of 12 sensors with two pads each → 24 channels per side**



## Neubau und Erweiterung von BCM1F 2013/2014 – (5)



### Implications of LHC upgrade for BCM1F

Radiation: Luminosity  $10^{34} \text{ cm}^{-2}\text{s}^{-1}$

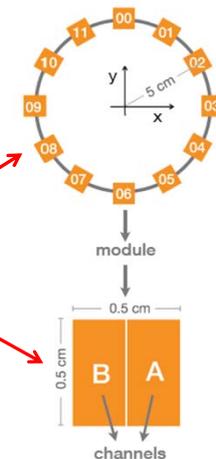
→ BCM1F expects charged particle flux  
 $\sim 3 \times 10^7 \text{ cm}^{-2}\text{s}^{-1}$

25 ns bunch spacing

High hit rate

Summary of upgrade goals:

- 12 diamonds with 2 pads per diamond, both sides of IP → 48 channels
- Scale up full system from 8 channels to 48
- Deal with radiation damage
- Faster electronics (preamp)
- New backend with analogue and digital subsystems in parallel

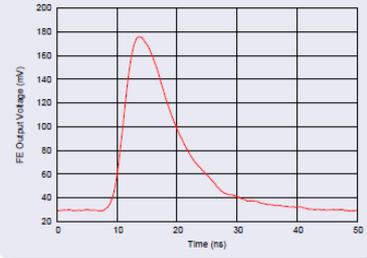


## Von Plänen zur Wirklichkeit – der Vorverstärker

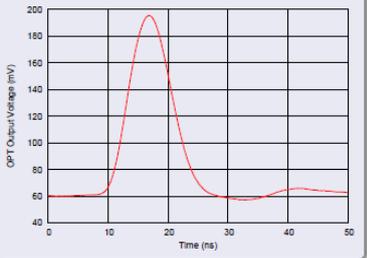


- ASIC designed by AGH – Krakow (PL), Designer: Dominik Przyborowski
- IBM CMOS-8RF-130nm technology (radiation hard, submitted via CERN)
- ~50 mV/fC charge gain
- < 1k electrons ENC with sensor capacitance
- Sophisticated calibration logic
- 4 channels on 1 chip

### Front-end



### Optical



Labormessungen der gesamten Ausleseketten des aktuellen BCM1F-Detektors

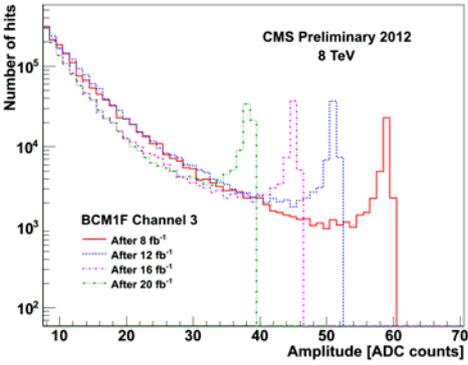
Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 21


## Von Plänen zur Wirklichkeit – Optische Übertragung



Radiation damage of laser driver visible in decreasing signal amplitude:

- 25% gain lost in BCM1F optical transmission after 30 fb<sup>-1</sup>



CMS Preliminary 2012  
8 TeV

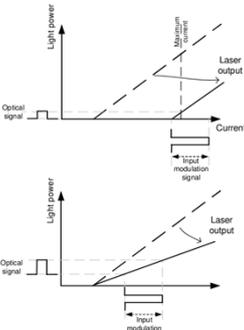
BCM1F Channel 3

- After 8 fb<sup>-1</sup>
- After 12 fb<sup>-1</sup>
- After 16 fb<sup>-1</sup>
- After 20 fb<sup>-1</sup>

**Countermeasures:**

- Go away from the "hot" area
- Compensate the loss in gain
- Compensate for the shifted laser threshold

→ Slow control needed



Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 22


### Von Plänen zur Wirklichkeit – Träger und Verdrahtung

Die "C-shape" trägt Sensoren und Elektronik

Laser in Richtung weniger Teilchenfluss ( $r, z$ ).

Sämtliche Verdrahtung und alle Bauteile auf einer **Starr-Flex-Leiterplatte** mit mehreren Faltungen, um Länge zu "entfalten".

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 23

### Von Plänen zur Wirklichkeit – Auswerteelektronik

1. Pfad – Diskriminator → digitale Verarbeitung:  
LUT: Koinzidenzen zwischen allen 48 Kanälen → Muster  
RHU → Belegungs- oder Füllungshistogramme

2. Pfad – Analogsignale mit ADC  
Systemdiagnose, Signalanalyse, Strahlenschäden etc.

sensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 24

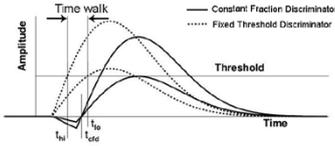
## Signalverarbeitung



**Zwei parallele Wege, die verfolgt werden:**

### Diskriminatoren

Fixed-threshold vs. constant-fraction



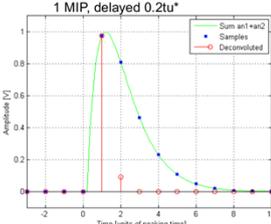
Constant-fraction: better time resolution

Fixed-threshold: lower deadtime

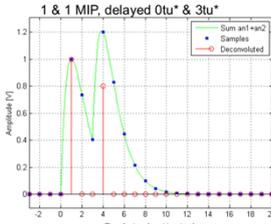
Preliminary conclusion: deadtime outweighs resolution → use FTD (CAEN V895) for primary path but install CFD to run and test in parallel

### Digitizer with fast peak-finding algorithms

1 MIP, delayed 0.2tu\*



1 & 1 MIP, delayed 0tu\* & 3tu\*



\*tu – time units

Identify pulse arrival time and peak height, distinguish signals close in time (overlapping) “deconvolution”

Development of algorithms ongoing

Current hardware choice: uTCA ADC FMC mezzanine system. Multiple FMC candidates, currently tested

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 25



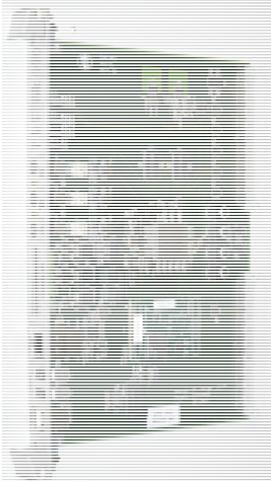
## Recording Histogram Unit (RHU)



**RHU: Readout of full-orbit histograms**

- No deadtime (buffered readout)
- 8 histogramming input channels
- Bins of 6.25 ns = 4/bunch bucket (14k bins/orbit)
- Bunch clock, orbit clock, beam abort
- Configurable sampling period
- Ethernet readout

- Developed at DESY-Zeuthen (H. Leich, M. Penno)
- Prototype installed Sept. 2012, validated during 2012-2013 run
- Very flexible unit (FPGA based, own interface and OS)
- Physics friendly data compression for direct access



Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 26



## Fahrplan...



Einführung  
Strahlmonitore, das Experiment CMS

BCM1F in der ersten Betriebsperiode des LHC  
Systemaufbau, Ergebnisse, Grenzen

Erweiterung für die kommende Betriebsperiode  
Beschreibung, Entwurf, vorläufige Ergebnisse

Schlussfolgerungen

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 27



## Schlussfolgerungen und Ausblick



Neuer, leistungsfähiger Detektor BCM1F gebaut und installiert

- **Träger:** 48 Kanäle (24 Sensoren mit je 2 Pads), eine Leiterplatte
- **Diamantsensoren:** höhere Betriebsspannung möglich (1 kV)
- Neuer **Auslese-ASIC** schneller und übersteuerungsfester
- **Optische Signalübertragung:** Laser jetzt in weniger "heißer" Region
- **Back end:** Diskriminatorpfad parallel zum "digitizer peak-finding"
- RHU zur direkten Bestimmung von Raten, keine Totzeit
- Algorithmen **für direkte Luminositätsmessung** (online)
- **erfolgreiche Installation** von 4 Trägern rechts, links, außen, innen)  
im Experiment CMS am LHC im Januar 2015  
→ volle Funktionstüchtigkeit

Aussichten

- bereit für Messungen mit dem erneut startenden LHC im Frühjahr

Wolfgang Lange | Strahlmonitore mit Diamantsensoren | SEI 2015 DESY Zeuthen | 04-Mar-2015 | Page 28



Was wäre noch zu sagen?



**Danke für Ihre Aufmerksamkeit!**

**Thank you for your attention!**

**Спасибо за внимание!**

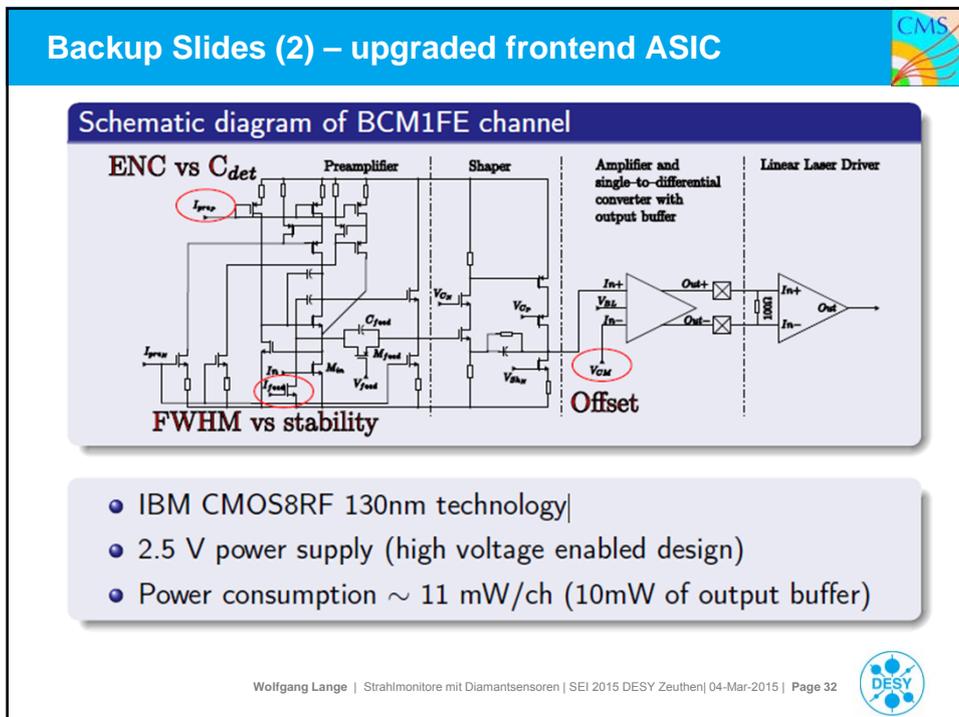
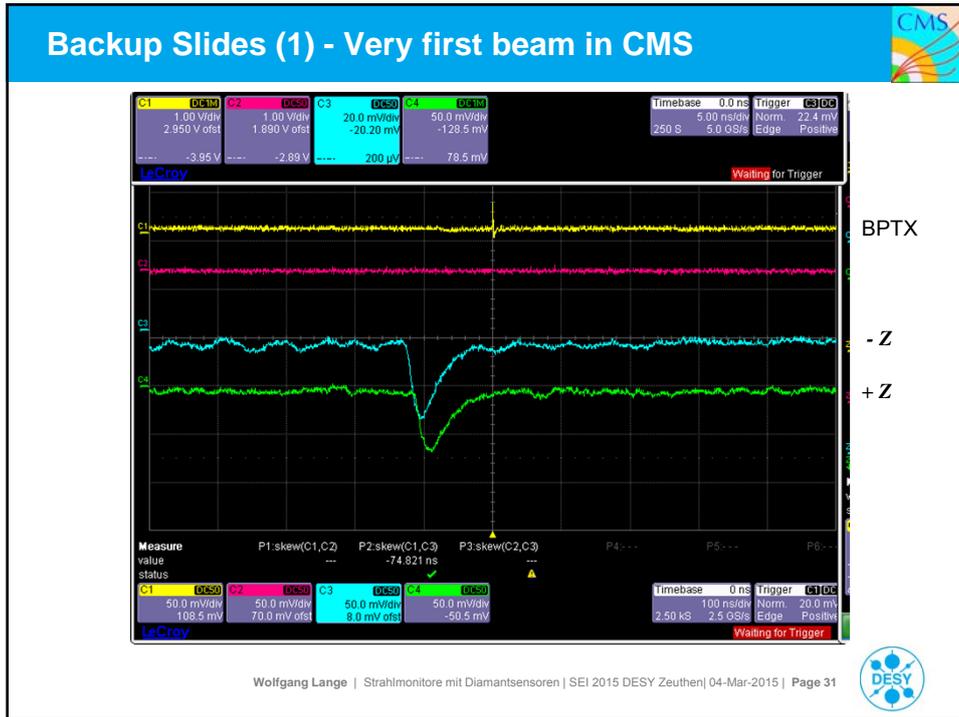


Backup Slides



1. **Allererste Signale vom LHC (2008)**
2. **Details zum weiterentwickelten Preamp**
3. **Technologieprobleme der Starr-Flex-Leiterplatte**
4. **zu Diskriminatoren**





### Backup Slides (3) – Probleme bei der Technologie



Die Trägerleiterplatte (starr-flex) bietet außerordentliche Herausforderungen:

- sehr feiner Aufbau (Bondpads für Nacktchips, Feinleitertechnik, Bauteile 04-02);
- Durchkontaktierungen extrem anspruchsvoll (Dmr. 0.2 mm bei 2.4 mm Stärke);
- Hochspannungsfestigkeit (1 kV) bei sehr begrenztem Raum ) für 6 Kanäle;
- sehr komplexe mechanische Trägerfunktion, Mono-Mode-Fasern, optische Steckverbinder;
- Größe und Komplexität erforderten spezielle Werkzeuge beim Reflow-Löten und Bonden;

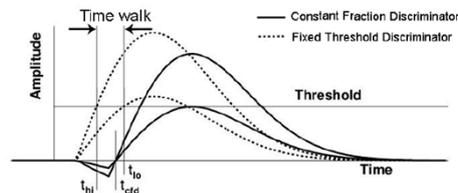


### Backup Slides (4) – Discriminators



Current discriminator: *CAEN v258B* fixed-threshold discriminator

- Does not discriminate pulses closer than  $\sim 12$  ns: deadtime causes loss of consecutive signals
- Triggers pulses of different amplitudes at different times: "time walk"  $\Delta T \sim 12$  ns

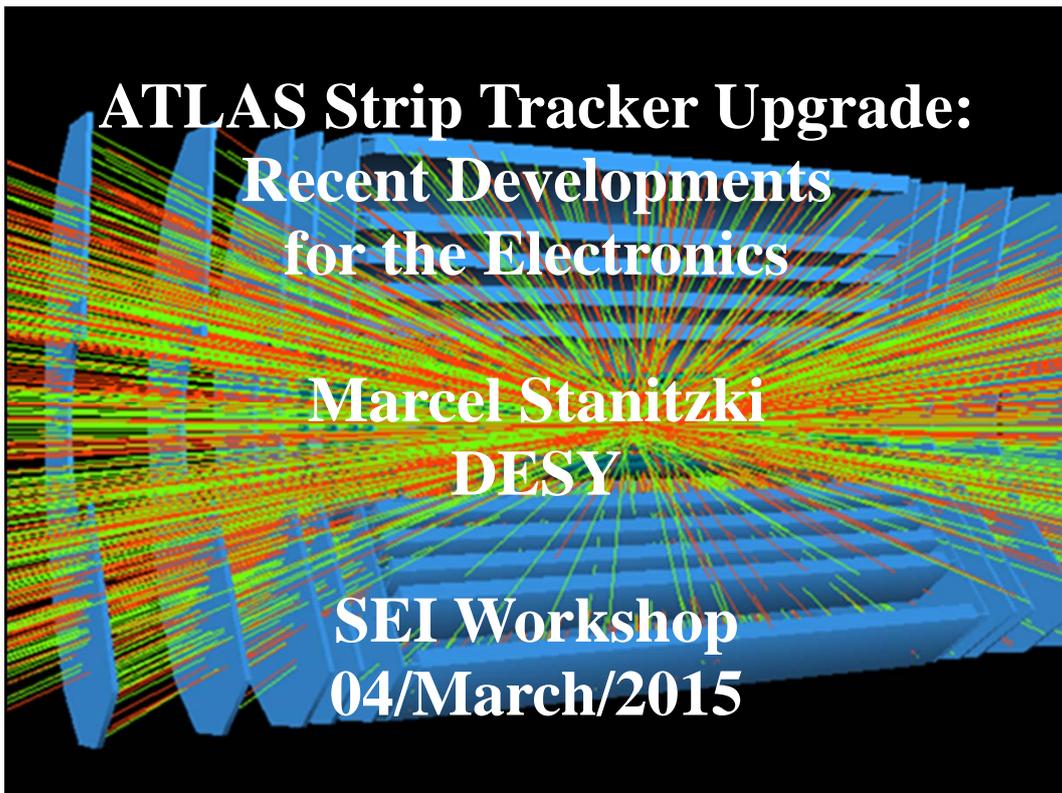


Meanwhile tested: two constant-fraction discriminators: *CAEN V812*, *PSI CFD950*

Both CFDs significantly improve on FTD time walk

- *V812*: better time resolution for trigger of single pulse
- *CFD950*: better resolution between consecutive pulses





## The HL-LHC Upgrade



- Highest Priority project for HEP
  - “Europe’s top priority should be the exploitation of the full potential of the LHC, including the **high-luminosity upgrade** of the machine and detectors with a view to collecting **ten times** more data than in the initial design, by around 2030. This upgrade programme will also provide further exciting opportunities for the study of flavour physics and the quark-gluon plasma.”
- Machine goals
  - 3000 fb<sup>-1</sup>
  - Luminosity leveling
- Physics goals
  - Precise measurements of the Higgs properties
  - Search for new physics
- HL-LHC Installation starts in 2022/2023



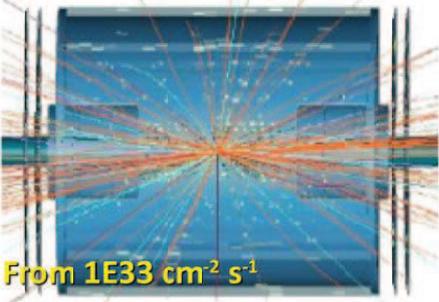
2

Marcel Stanitzki

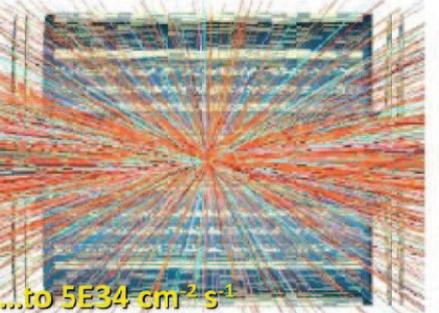


## Strip Tracker from LHC to HL-LHC





From  $1E33 \text{ cm}^{-2} \text{ s}^{-1}$



...to  $5E34 \text{ cm}^{-2} \text{ s}^{-1}$

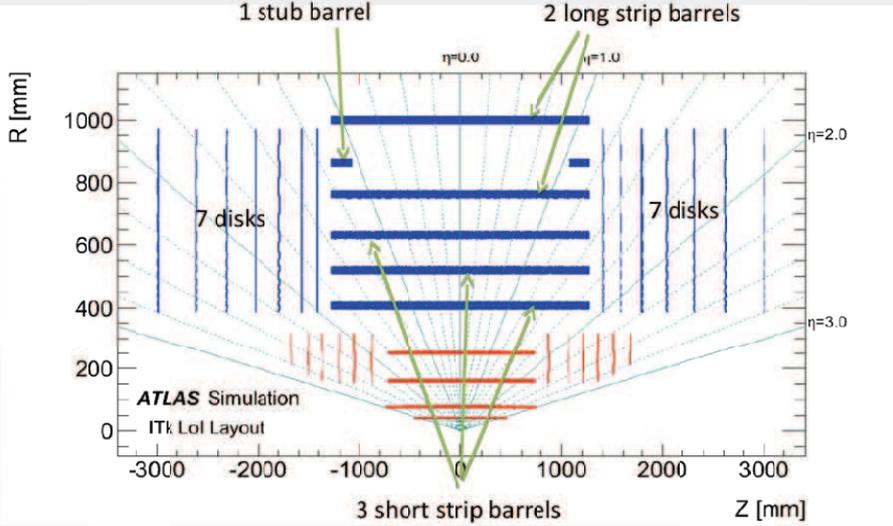
- Higher Occupancies
  - 140 interactions / bunch crossing (including Luminosity Leveling)
- Higher Particle Fluences
  - $10^{14}$  outermost layers
  - $10^{16}$  innermost layers
- Larger Area & Finer Segmentation
  - $200 \text{ m}^2$  (4 x ATLAS SCT)
  - 74 million channels


3
Marcel Stanitzki



## Provisional Layout





1 stub barrel      2 long strip barrels

$\eta=0.0$        $\eta=1.0$

$\eta=2.0$

$\eta=3.0$

7 disks      7 disks

ATLAS Simulation  
ITk Lol Layout

3 short strip barrels

Z [mm]

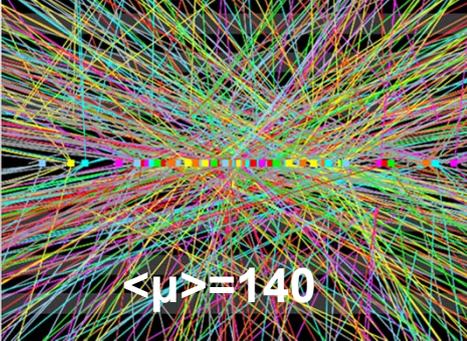
Strip system:  $193 \text{ m}^2$  sensor area, 74M channels


4
Marcel Stanitzki



## The Challenges





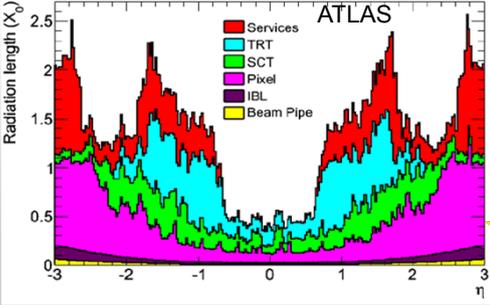
- Increased Radiation Tolerance ( $\sim$  Factor 10)
  - Both Sensors & Electronics
  - Improved Cooling
- Lower material budget
  - Efficient power/bias distribution
- Cost
  - Cheaper Sensors
  - Reduce Cost/per channel.


5
Marcel Stanitzki



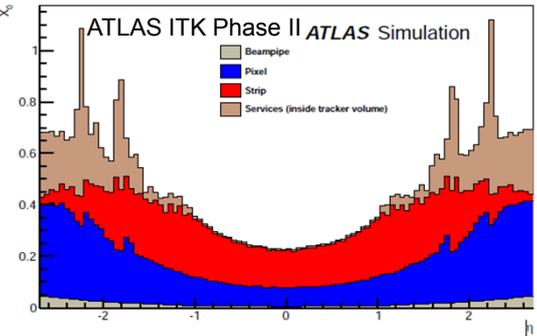
## Material Budget Goals





R&D on Services,  
Mechanics, Cooling

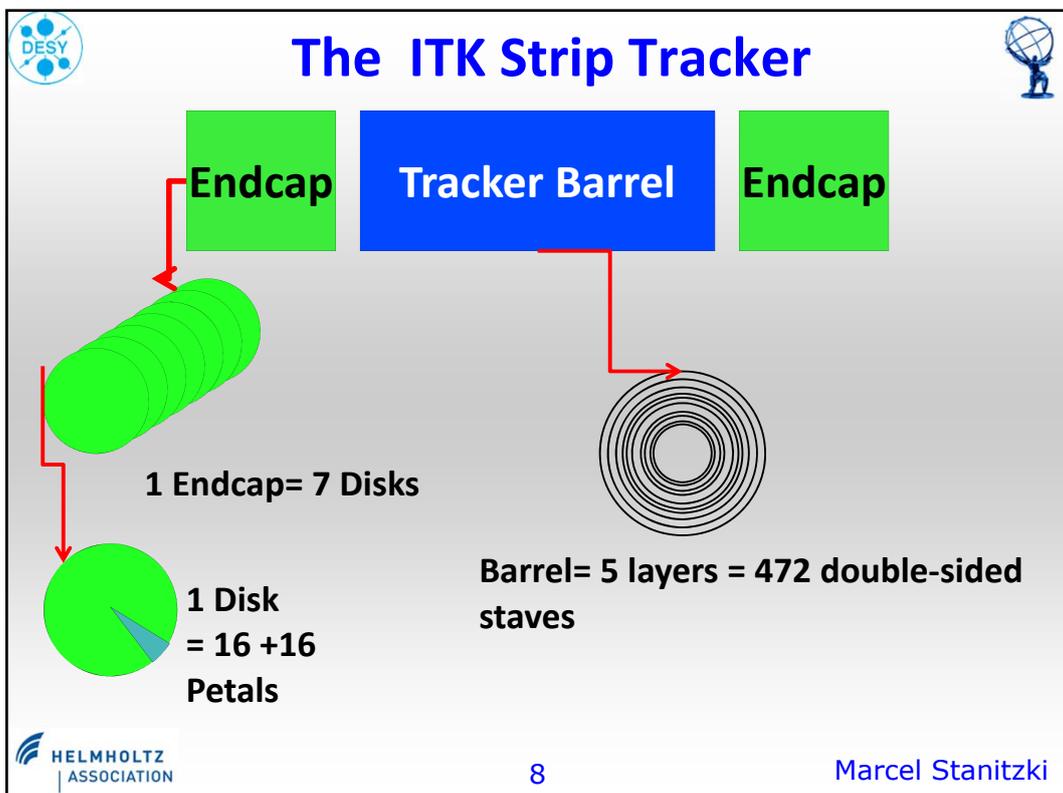
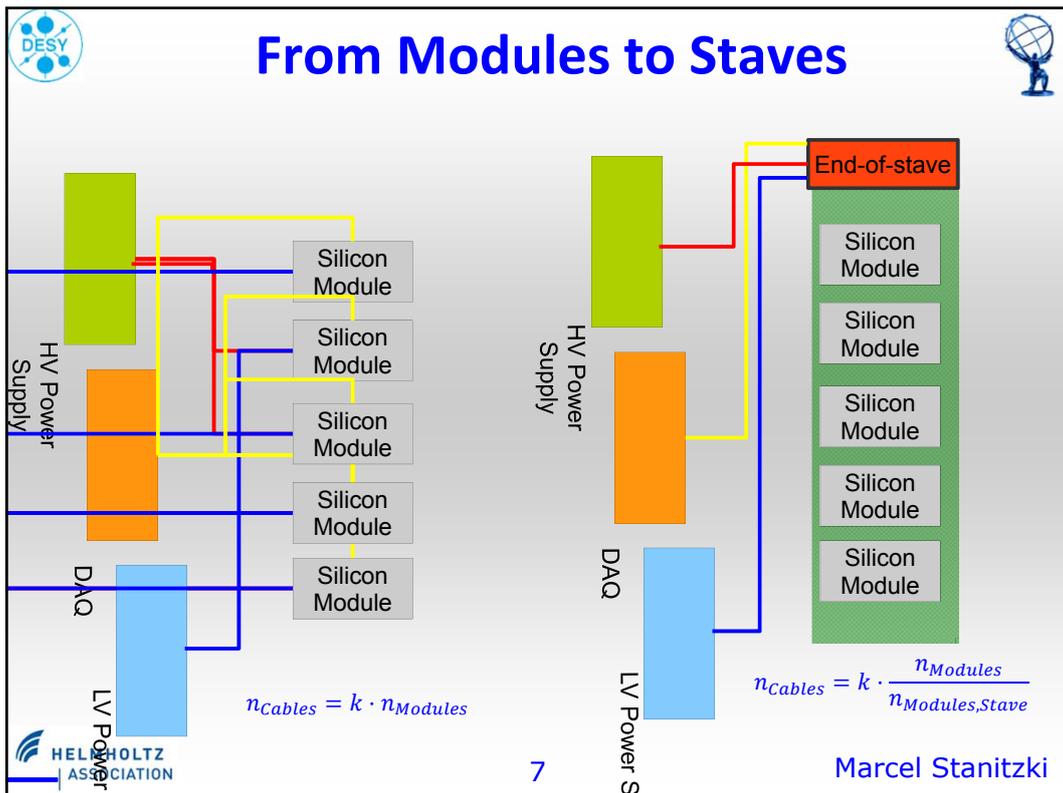




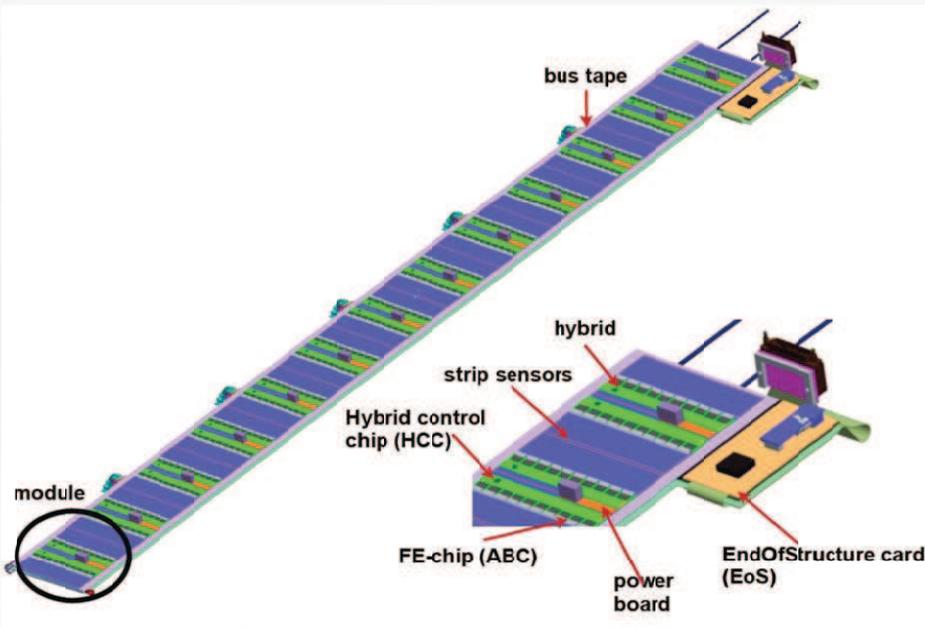
6

Marcel Stanitzki



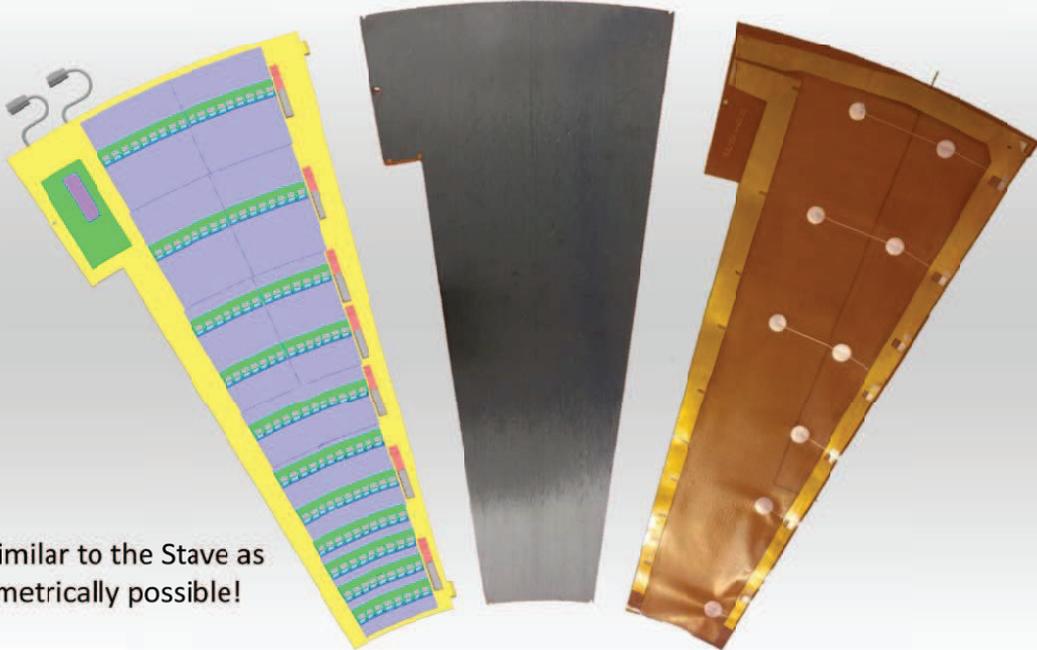


 **Strip Tracker Stave** 



 9 Marcel Stanitzki

 **Strip Tracker Petal** 



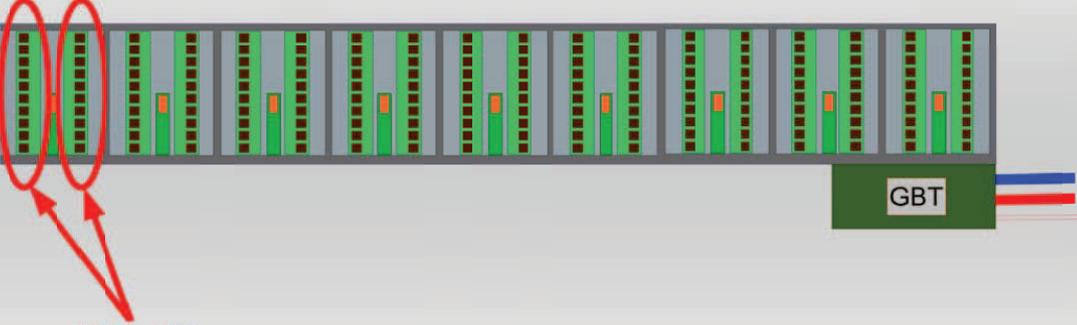
As similar to the Stave as geometrically possible!

 10 Marcel Stanitzki



# Stave – Electronics Challenges





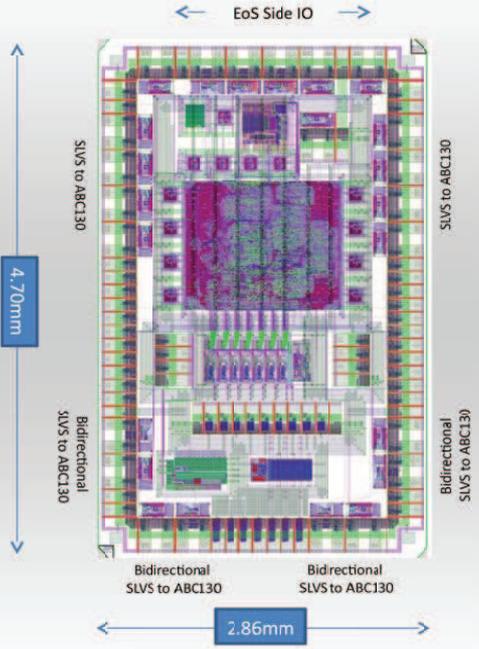
Hybrids


11
Marcel Stanitzki



# Hybrid Controller Chip (HCC)





IBM CMOS 8RF

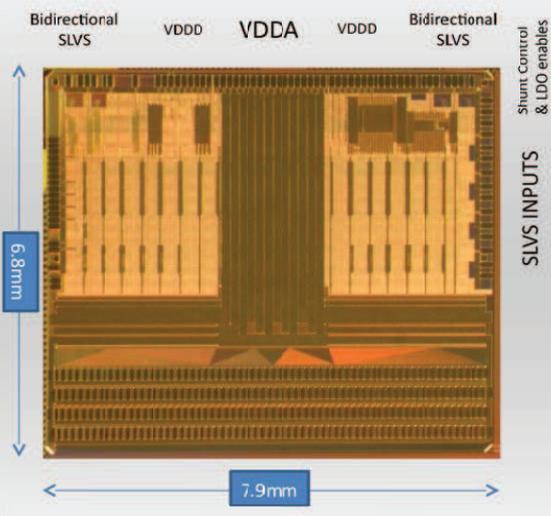
- Pad Frame optimized for hybrid mass reduction
  - Smaller footprint => Smaller hybrid
  - Hybrid side SLVS buses copied to both sides to suit left and right "handed" hybrids
- Key Features:
  - SLVS IO
    - Data back to EoS at up to 320Mbits
    - with optional 8b10b
  - PLL to generate 40, 80, 160, 320, 640MHz synchronous to BCO
  - Modified GBT ePLL
  - Delays
  - DCS Monitoring & General Purpose IO
    - Temperature, Voltage, ...
  - Output ABC130 compatible fixed length packets


12
Marcel Stanitzki



## ABC130 Front End Chip





IBM CMOS 8RF

- Pad Frame optimized for hybrid mass reduction
  - 256 channels -> reduce part count
  - FE geometry suits direct sensor bonding
  - All power bonds at back edge
  - New 2 level trigger architecture
  - Level-0 - synchronous 500kHz-1MHz
  - Level-1 - asynchronous ~200kHz
  - Power ~ 1/4 compared to ABC250
- Other key features
  - Fixed length data packets
  - Programmable LDOs for Analogue / Digital power
  - Shunt to support Serial Powering



13

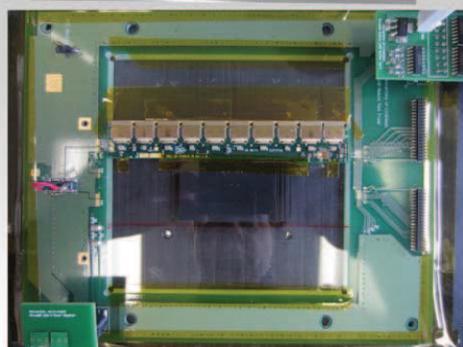
Marcel Stanitzki



## From 250 nm to 130 nm



- ABC250 Module
  - 40 ABC250 chips
  - 2 BCC chips
  - DC-DC Powered
  - 25 W
- ABC130 Module
  - 20 Chips
  - 2 HCC
  - DC-DC Powered
  - 3.1 W



14

Marcel Stanitzki

DESY

## Stave – Electronics Challenges



The diagram shows a long, narrow electronics module (Stave) with a series of vertical slots. Two slots on the left are circled in red, with red arrows pointing to the text 'LV distribution'. On the right side, there is a green component labeled 'GBT' with a red and blue striped line extending from it.

LV distribution

GBT

HELMHOLTZ ASSOCIATION

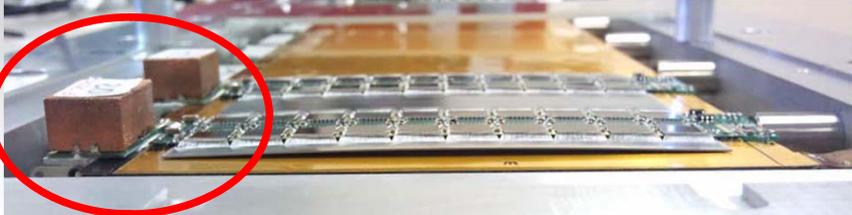
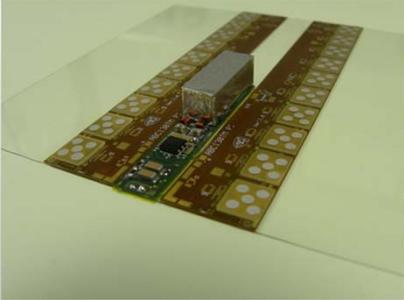
15

Marcel Stanitzki

DESY

## The move towards DC-DC

- Strong trend towards DC-DC converters
  - Step down from  $\sim 10$  V to 2.5 V
- Issues
  - Radiation hardness
  - Operating in a magnetic field
  - Noise
  - Material budget and height



The top photograph shows a DC-DC converter module on a printed circuit board. The bottom photograph shows a similar module on a printed circuit board, with a red circle highlighting the components.

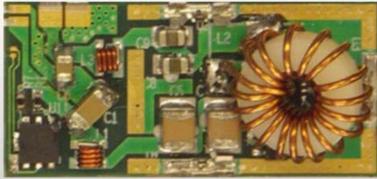
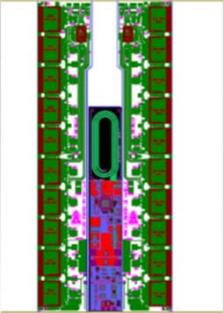
HELMHOLTZ ASSOCIATION

16

Marcel Stanitzki

 **Current R&D** 

- Addressing “mechanical” issues, making it flatter
  - Moving from toroidal coils to planar coils
  - Embedding into PCB
- Also improves material budget
- Noise & Cross-talk
  - Improving shielding

  
  
  
Yale Planar Coil Converter  
(64 x 10)

 17 Marcel Stanitzki

 **Stave – Electronics Challenges** 

  
HV distribution  
GBT

 18 Marcel Stanitzki



## HV Distribution on the stave



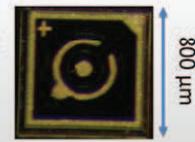
- The 'ideal' solution
  - 1 HV line per sensor
  - High Redundancy
  - Individual control and current monitoring
- Does not scale very well
  - Linear in material
- New approach
  - 1 HV line per stave
  - HV switch for each sensor
- HV Switch wanted
  - Rated for 500 V +
  - Rad-hard
  - magnetic field tolerant
  - On-state impedance  $R_{on} \ll 1k\Omega // I_{on} \sim 10mA$
  - Off-state impedance  $R_{off} \gg 1G\Omega // I_{leakage} \ll I_{sens}$
  - Working at -30 C
  - Small and Cheap



## Sensor Bias (HV) Multiplexing



- Propose use of rad-hard HV switches
  - To be able to disconnect any failed sensors from common bias line
- Present phase: Device Identification
  - Study of commercial HV transistors: GaN, Silicon, Silicon Carbide
  - before and after irradiation
  - Devices with BV < 500V would need to be "stacked"



Crystalonic 2N6449

Transistor	Type	Other data	Status
Crystalonic 2N6449	Si JFET	BV = 300V, Idmax = 5 mA, Idss = 1 nA, die 0.8 x 0.8 mm <sup>2</sup>	TESTED
Interfet 2N644S	Si JFET	Similar to Crystalonic	IRRADIATED
IXYS CPC5603	Si MOSFET	BV = 410V, Idmax = 0.3 A, Idss = 0.02μA, packaged	IRRADIATED
ROHM R6006ANX	Si MOSFET	BV = 600V, Idmax = 6A, Idss <1nA@500V, packaged	TESTED
Infineon IPA50R950CE	Si MOSFET	BV = 500V, Idmax = 4 A, Idss <1nA, packaged	TESTED
Semisouth SJEP170	SiC JFET	<b>BV = 1700V, Idmax = 8 A, Idss = 10 μA</b>	TESTED
USCI UJN1205	SiC JFET	BV = :200V, Idmax = 23 A, Idss = 250 μA, die 3.1 x 3.1 mm <sup>2</sup>	TESTED
CREE CPMF-1200	SiC MOSFET	<b>BV = 1200V, Idmax = 28 A, Idss = 50 μA, die 3.1 x 3.1 mm<sup>2</sup></b>	IRRADIATED
ROHM S2403	SiC MOSFET	BV = :1700V, die 4 x 3mm <sup>2</sup>	IRRADIATED
ROHM SCT208CK	SiC MOSFET	BV = :200V, die 2 x 2 mm <sup>2</sup>	IRRADIATED
GeneSiC GA04J17	SiC BJT	BV = :700V, Idmax = 4 A, Idss = 0.5 μA, die 1.45 x 1.45 mm <sup>2</sup>	TESTED
TranSiC SICBH057A120	SiC BJT	BV = :200V, Idmax = 20 A, Idss = 100 μA, die 2.5 x 2.5 mm <sup>2</sup>	TESTED
Transphorm TPH2006C	GaN JFET	BV = 600V, die and packaged	
EPC2012	GaN JFET	BV = 200V, die and packaged	TESTED

GOOD but unavailable

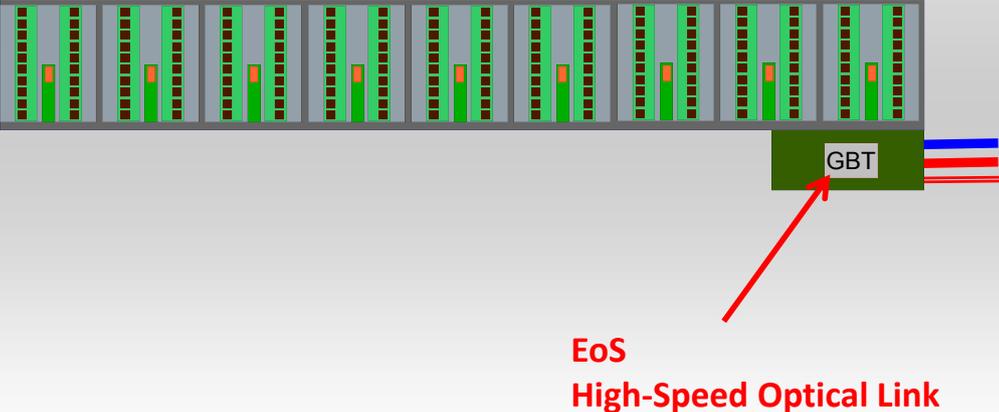
PROMISING

GOOD



## Stave – Electronics Challenges





EoS  
High-Speed Optical Link

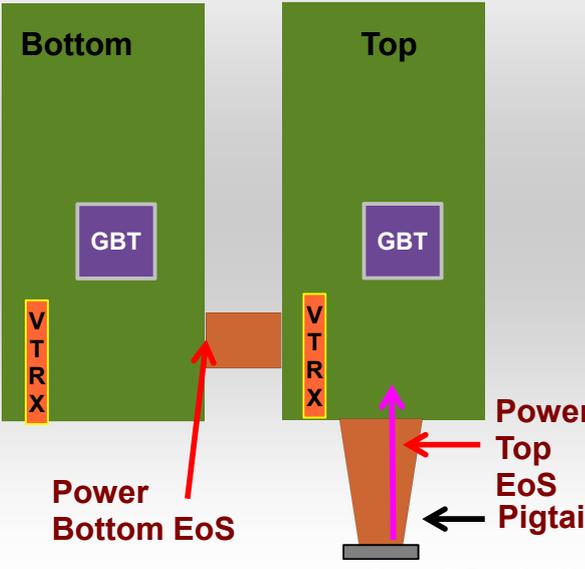

21
Marcel Stanitzki



## End-of-Substructure



- Interface between Stave/Petal and outside world
  - Commands
  - Data
  - LV/HV
- Single-point of failure
  - Design for robustness
- Key elements
  - GBT
  - Optical link



Power  
Bottom EoS

Power  
Top EoS  
Pigtail

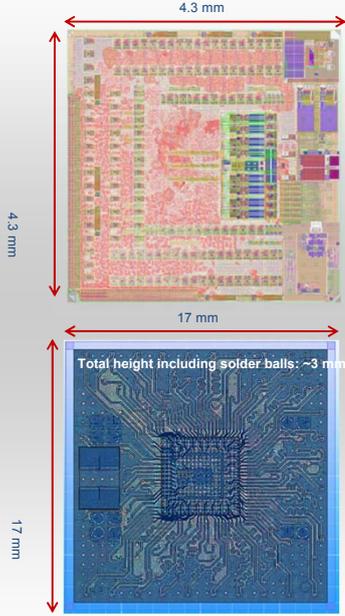

22
Marcel Stanitzki



## Optical Links the GBT



- Rad-Hard High speed optical links are key for HL-LHC
  - Common HL-LHC wide development ("GBT")
- Versatile Link
  - Rad-Hard optical link with up to 10 Gbps
- GBT
  - Driver chip providing multiplexing, error correction, etc
  - LpGBT (65 nm) to address speed and power requirements

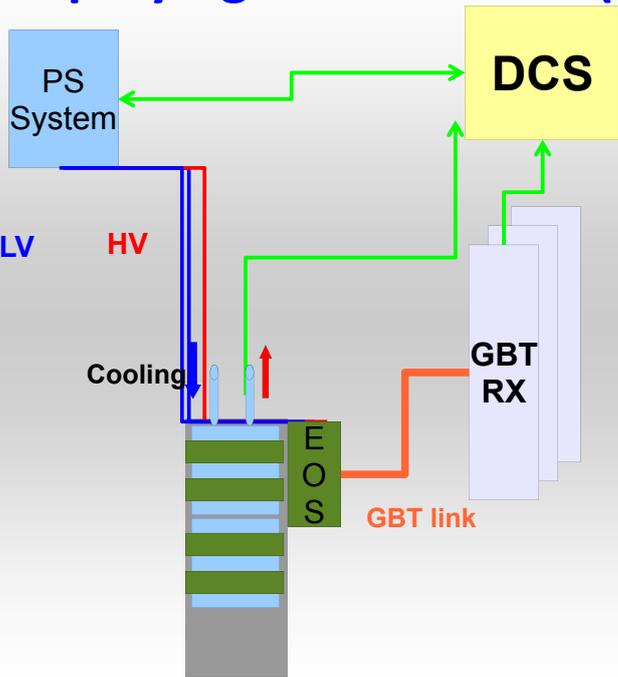



23
Marcel Stanitzki



## Simplifying Slow control (DCS)






24
Marcel Stanitzki



## One more thing



- So far the sensor (and the ASIC) has been left untouched
- Current activities
  - Replacing the "standard" silicon strip sensors with CMOS MAPS
  - Some logic in-sensor, some in a much simpler ASIC
- Potential benefits
  - Material budget reduction up to 50 percent
  - Significant cost savings
  - Faster assembly (~ factor 10 less bonds)
- Key question
  - Radiation Hardness
  - Feasibility of Large Chips

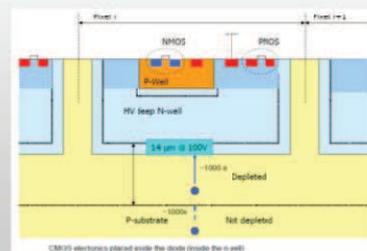


## Current CMOS Activities

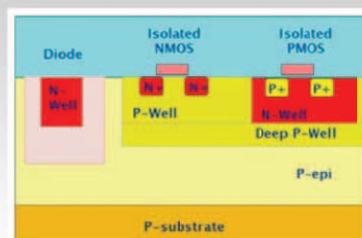


- Three year program to study technologies
- Currently looking at two major streams
  - AMS HV 350 nm
  - Tower Jazz 180nm HR CMOS
- First test devices in hand
  - Testing has commenced

"Electronics in n-well"



"Electronics in the center, collecting diodes in the corners"





## Summary

- Key driver for electronics requirement
  - More for less ...
  - More channels
  - Less power, less material
- This means
  - Every little bit matters
  - Power distribution is the key
  - Giving up well-known schemes ...
- We're not at the end
  - There is more to be done



27

Marcel Stanitzki

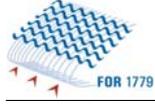


*That's all Folks!*



28

Marcel Stanitzki



---

**Flexible electromagnetic actuating system  
for research on turbulence flow control**

Central Institute (ZEA-2) Electronic Systems, Forschungszentrum Jülich

Marcel Dück, Michael Schiek, Mario Schlösser,  
**Wolfgang Silex**, Sebastian Völkel, Stefan van Waasen

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 1



---

**Flexible electromagnetic actuating system  
for research on turbulence flow control**

- DFG research group FOR1779
  - topic, goal and partners
- embedding in research group
- actuating system
  - system overview
  - first results
  - operating experiences -> challenges
  - enhancements

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 2



FOR 1779

**FOR1779: Active drag reduction  
by transversal surface waves**





Leonardo da Vinci's illustration of the swirling flow of turbulence. (The Royal Collection © 2004, Her Majesty Queen Elizabeth II)

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

3



FOR 1779

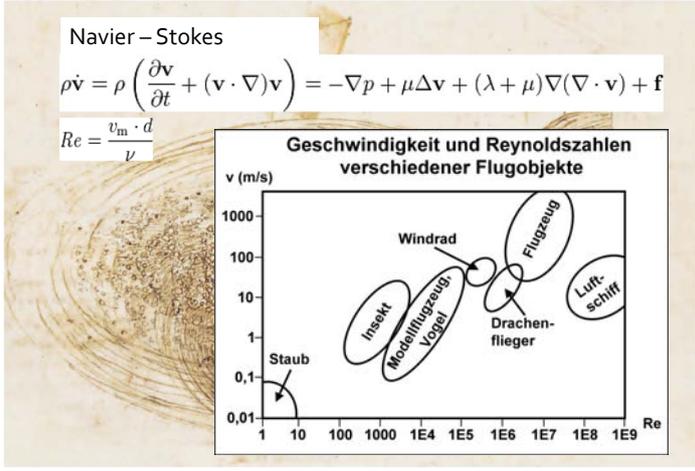
**FOR1779: Active drag reduction  
by transversal surface waves**



Navier – Stokes

$$\rho \dot{\mathbf{v}} = \rho \left( \frac{\partial \mathbf{v}}{\partial t} + (\mathbf{v} \cdot \nabla) \mathbf{v} \right) = -\nabla p + \mu \Delta \mathbf{v} + (\lambda + \mu) \nabla (\nabla \cdot \mathbf{v}) + \mathbf{f}$$

$$Re = \frac{v_m \cdot d}{\nu}$$



**Geschwindigkeit und Reynoldszahlen verschiedener Flugobjekte**

Object	Velocity v (m/s)	Reynolds number Re
Staub	~0.01	~10
Insekt	~1	~1000
Modellflugzeug	~10	~10000
Vogel	~10	~100000
Windrad	~100	~1000000
Drachenflieger	~10	~10000000
Flugzeug	~100	~100000000
Luftschiff	~10	~1000000000

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

4



FOR 1779

### FOR1779: Active drag reduction by transversal surface waves





SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

5



FOR 1779

### FOR1779: Active drag reduction by transversal surface waves

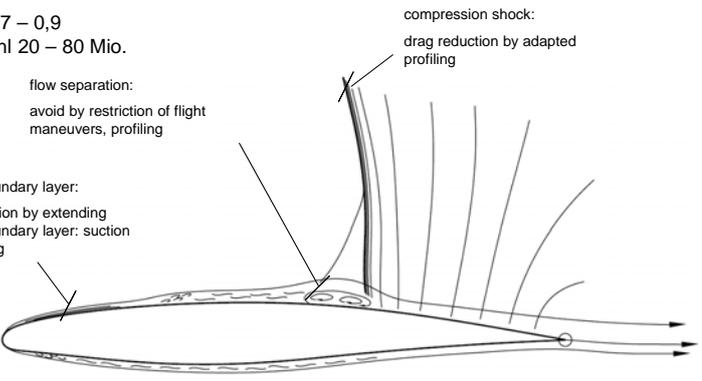


Machzahl 0,7 – 0,9  
Reynoldszahl 20 – 80 Mio.

flow separation:  
avoid by restriction of flight  
maneuvers, profiling

laminar boundary layer:  
drag reduction by extending  
laminar boundary layer: suction  
and profiling

compression shock:  
drag reduction by adapted  
profiling



SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

6



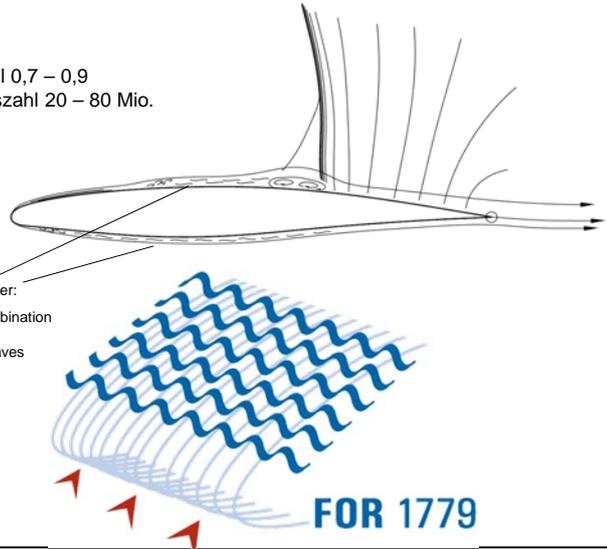
## FOR1779: Active drag reduction by transversal surface waves



---

Machzahl 0,7 – 0,9  
Reynoldszahl 20 – 80 Mio.

turbulent boundary layer:  
drag reduction by combination  
of riblet structure and  
transversal surface waves



FOR 1779

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 7



## FOR1779: Active drag reduction by transversal surface waves



---

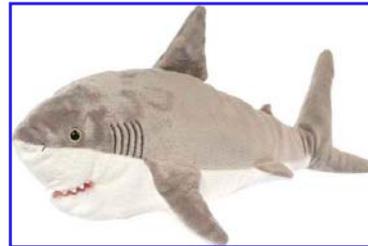
**goal:** development of robust methods for controlled significant drag reduction by active and passive manipulation of turbulent boundary layer

**basic research:** no technical development, but numerical and experimental proof of concept

**hypothesis:** reduction of velocity variation and reduction near wall vorticity reduce friction

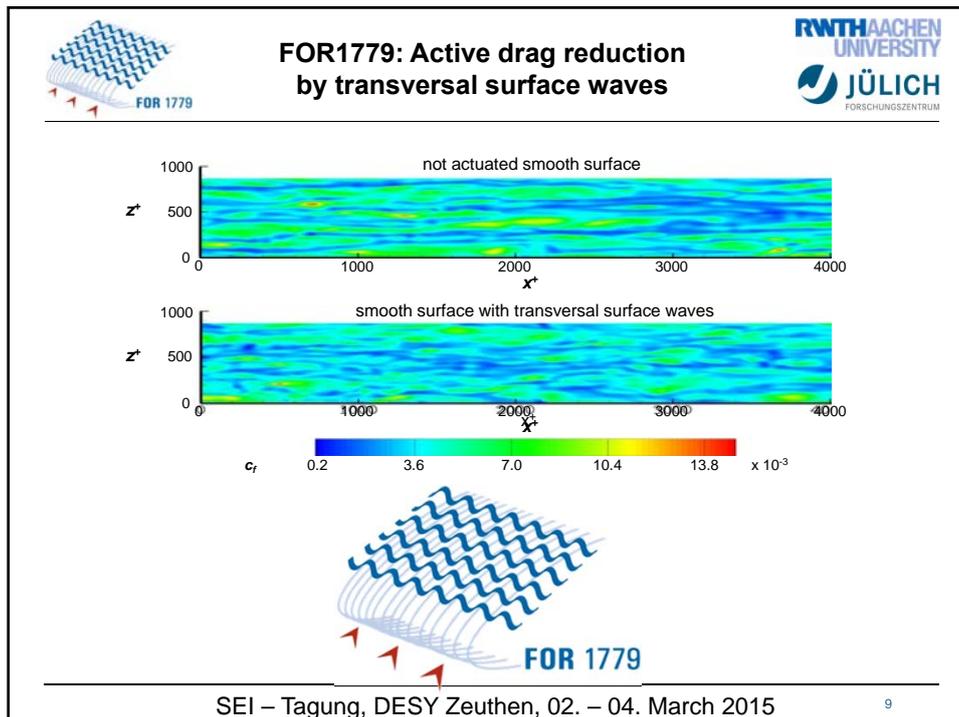


&



---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 8



**FOR1779: Active drag reduction by transversal surface waves**

RWTH AACHEN UNIVERSITY  
JÜLICH FORSCHUNGSZENTRUM

Aerodynamisches Institut – AIA (RWTH Aachen)  
Experimental investigation of friction drag over moving surfaces  
Numerical investigation of friction drag over moving surfaces

Institut für Regelungstechnik – IRT (RWTH Aachen)  
Reduction of friction drag in subsonic flow via feedback control

ZEA-2 (FZ Jülich)  
Development of a real-time actuator and sensor network

Institut für Geometrie und Praktische Mathematik – IGPM (RWTH Aachen)  
Numerical fluid-structure coupling schemes

Institut Bildsame Formgebung – IBF (RWTH Aachen)  
Forming of large-area metallic riblet surfaces

Institut Energie und Klima – IEK-2 (FZ-Jülich)  
Very high cycle fatigue (VHCF) behaviour of structured Al alloy sheets

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 10

This slide lists the project partners and their specific contributions to the FOR1779 project. The partners include the Aerodynamisches Institut (AIA) at RWTH Aachen, the Institut für Regelungstechnik (IRT) at RWTH Aachen, ZEA-2 at FZ Jülich, the Institut für Geometrie und Praktische Mathematik (IGPM) at RWTH Aachen, the Institut Bildsame Formgebung (IBF) at RWTH Aachen, and the Institut Energie und Klima (IEK-2) at FZ Jülich. Each partner's contribution is listed below their name.

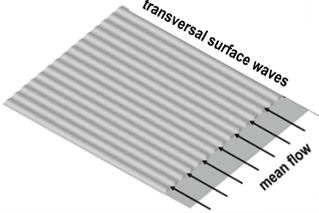


FOR 1779

### Embedding in research group



RWTH AACHEN UNIVERSITY  
JÜLICH FORSCHUNGSZENTRUM



transversal surface waves

mean flow

- actuating system enabling wind tunnel experiments
  - wide range of wave amplitudes
  - online – monitoring ensuring verification of experiments



SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 11

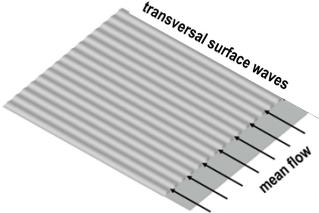


FOR 1779

### Flexible electromagnetic actuating system for research on turbulence flow control



RWTH AACHEN UNIVERSITY  
JÜLICH FORSCHUNGSZENTRUM



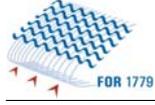
transversal surface waves

mean flow

- actuating system enabling wind tunnel experiments
  - wide range of wave amplitudes
  - online – monitoring ensuring verification of experiments
- real-time actuator and sensor network
  - flow control via distributed actuating and sensing on large surface
  - real-time ‚Model in the Loop‘ - simulations



SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 12



## actuating system



---

New demands for actuating system

- old:
  - 90  $\mu\text{m}$  peak-to-peak
  - 380 Hz
  - accuracy < 0.1  $\mu\text{m}$
- new:
  - 3 mm peak-to-peak
  - 100 Hz (-> 300 Hz)
  - accuracy < 0.1 mm



---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

13



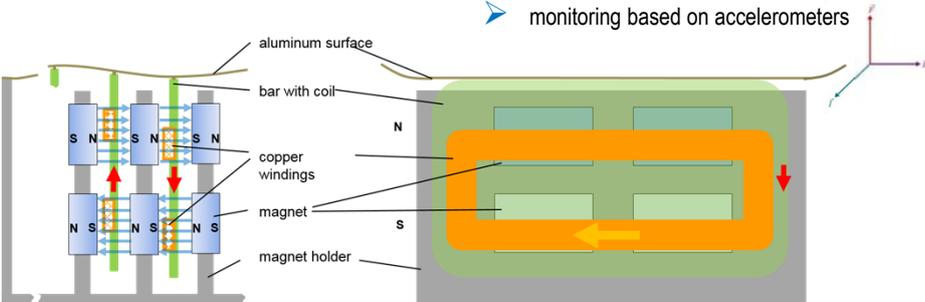
## Actuating System Overview



---



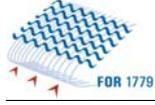
- PCB mounted air-core coils actuator system
- copper coil 200 windings ( $\sim 162 \Omega$ )
- permanent magnets N48 ( $\sim 1 \text{ T}$ )
- Lorentz forces  $\sim 50 \text{ N}$
- 160 Hz
- 10 actuator bars, 20 mm distance
- monitoring based on accelerometers



---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

14



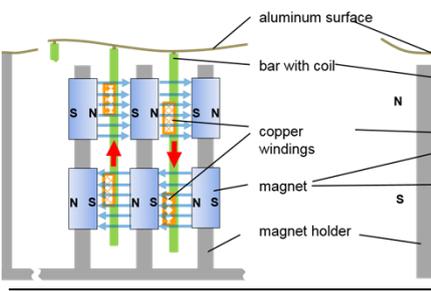
## Actuating System Overview

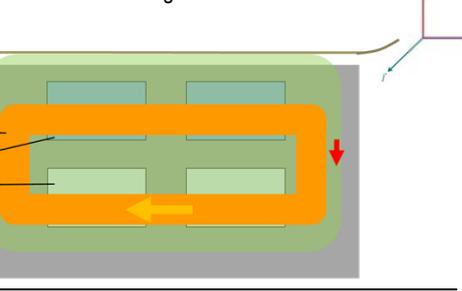


---



- PCB mounted air-core coils actuator system
  - copper coil 200 windings ( ~ 162  $\Omega$  )
  - permanent magnets N48 ( ~ 1 T )
  - Lorentz forces ~ 50 N
  - 160 Hz
  - 10 actuator bars, 20 mm distance
  - monitoring based on accelerometers





SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

15

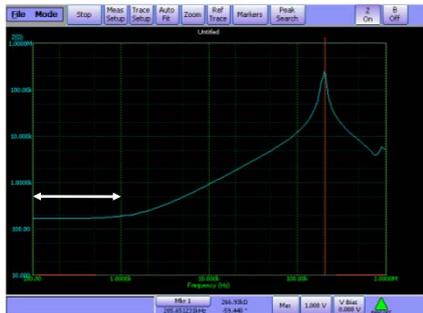


## Actuating System Overview



---

**Tests: PCB-mounted air-core coils**



- almost no inductive resistance below 1kHz

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

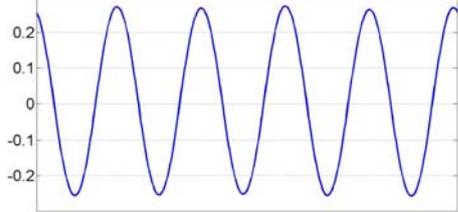
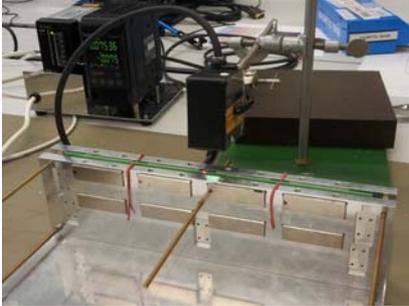
16



## Actuating System First results



**Tests: PCB-mounted air-core coils**



100 Hz, 85mA  
-> ~ 0.5mm pp  
-> ~ 11,5N

- ~55 g (coil + PCB + mounting)
- almost no inductive resistance below 1kHz
- 20mm beam distance (~40mm wave length), 10 beams
- up to 4mm peak-to-peak
- ~ 60N @ 0.5A (100 Hz actuation requires ~35N for mass acceleration)

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 17



## Actuating System First results

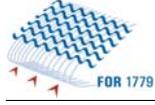


■ PCB mounted air-core coils actuator system

- in use for ~ 12 months
- robust and modular system



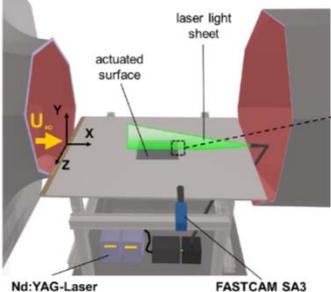
SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 18



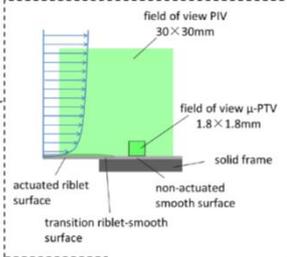
## Actuating System First results



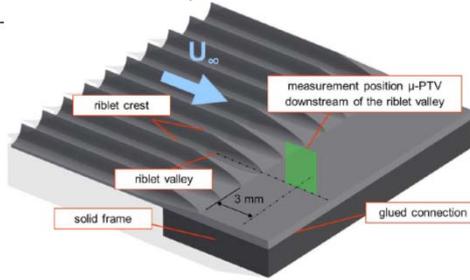
---



Nd:YAG-Laser      FASTCAM SA3



- Wind tunnel experiments
  - Analysis of turbulent boundary layer
  - PIV measurements
  - ~ Particle Image Velocimetry
  - riblet and smooth surface
  - flat and actuated surface



SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 19



## Actuating System First results



---

test parameter	parameter range	normalized parameter range	normalized parameter range	Re $\theta$	A+	DR[%]
velocity	$U_\infty = 8 \text{ m/s}, 16 \text{ m/s}$	$Re_\theta = 1200$	$Re_\theta = 2080$	<b>1200</b>	<b>0</b>	<b>4.7</b>
excitation frequency	$f = 81 \text{ Hz}$	$T^+ = 110$	$T^+ = 380$	<b>1200</b>	<b>6</b>	<b>4.1</b>
wavelength	$\lambda = 160 \text{ mm}$	$\lambda^+ = 3862$	$\lambda^+ = 7170$	<b>1200</b>	<b>7</b>	<b>5.8</b>
amplitude	$A = 0.25, 0.3, 0.375 \text{ mm}$	$A^+ = 6, 7, 9$	$A^+ = 11, 14, 17$	<b>1200</b>	<b>9</b>	<b>9.4</b>
riblet spacing	$s = 1 \text{ mm}$	$s^+ = 24$	$s^+ = 45$	<b>2080</b>	<b>0</b>	<b>0.7</b>
				<b>2080</b>	<b>11</b>	<b>0.9</b>
riblet height	$h = 0.3 \text{ mm}$	$h^+ = 7$	$h^+ = 13$	<b>2080</b>	<b>14</b>	<b>2.2</b>
				<b>2080</b>	<b>17</b>	<b>2.7</b>

- first time experimental proof of concept
  - extended 2-D surface
  - in good agreement with numerical results at similar Reynold numbers

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 20



## Actuating System First results



---

test parameter	parameter range	normalized parameter range	normalized parameter range	Re $\theta$	A+	DR[%]
velocity	$U_\infty = 8 \text{ m/s}, 16 \text{ m/s}$	$Re_\theta = 1200$	$Re_\theta = 2080$	<b>1200</b>	<b>0</b>	<b>4.7</b>
excitation frequency	$f = 81 \text{ Hz}$	$T^* = 110$	$T^* = 380$	<b>1200</b>	<b>6</b>	<b>4.1</b>
wavelength	$\lambda = 160 \text{ mm}$	$\lambda^* = 3862$	$\lambda^* = 7170$	<b>1200</b>	<b>7</b>	<b>5.8</b>
amplitude	$A = 0.25, 0.3, 0.375 \text{ mm}$	$A^* = 6, 7, 9$	$A^* = 11, 14, 17$	<b>1200</b>	<b>9</b>	<b>9.4</b>
riblet spacing	$s = 1 \text{ mm}$	$s^* = 24$	$s^* = 45$	<b>2080</b>	<b>0</b>	<b>0.7</b>
riblet height	$h = 0.3 \text{ mm}$	$h^* = 7$	$h^* = 13$	<b>2080</b>	<b>11</b>	<b>0.9</b>
				<b>2080</b>	<b>14</b>	<b>2.2</b>
				<b>2080</b>	<b>17</b>	<b>2.7</b>

**Turbulent drag reduction by spanwise traveling ribbed surface waves**

W. Li<sup>1\*</sup>, W. Jessen<sup>1</sup>, D. Roggenkamp<sup>1</sup>, M. Klaas<sup>1</sup>, W. Silex<sup>2</sup>, M. Schiek<sup>2</sup> and W. Schröder<sup>1</sup>.

submittet to: European Journal of Mechanics - B/Fluids

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

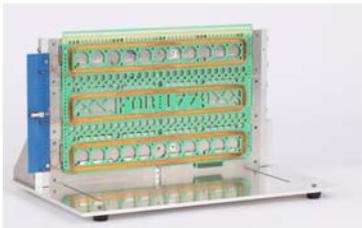
21



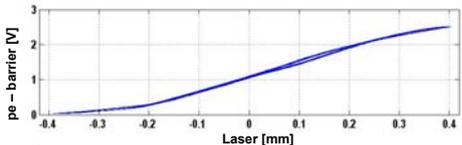
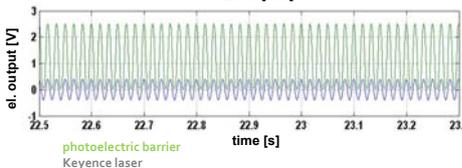
## Actuating System first results



---




- adaption for VHCF experiments
  - Lorenz forces ~ 180 N
  - long term measurements (> 100.000.000 cycles)
  - amplitude monitoring based on photoelectric barrier

photoelectric barrier  
Keyence laser

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

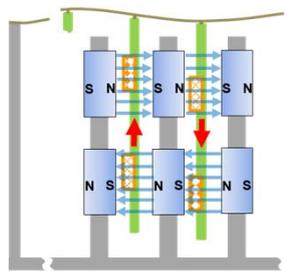
22



### Actuation System Operating Experiences



---

- PCB mounted air-core coils actuator system
  - heat production
  - coil resistance too high for amplifier
  - need for shorter surface waves
  - adapt zero level of surface vibration
  - monitoring
    - mounting of accelerometer
  - amplitude monitoring
    - wave control
  - sensitive to deviation from horizontal orientation
  - maintenance
    - mounting of bearings
  - assembling of system time-consuming

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

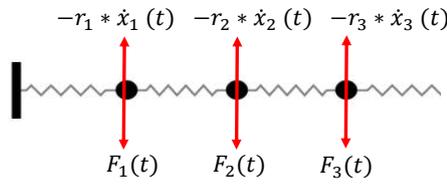
23



### Actuation System Operating Experiences



---



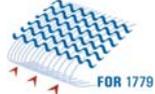
$$m_2 * \ddot{x}_2 = F_2(t) - \varepsilon * f(x_2 - x_1) - \varepsilon * f(x_2 - x_3) - r_2 * \dot{x}_2$$

- PCB mounted air-core coils actuator system
  - amplitude monitoring
  - wave control

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

24

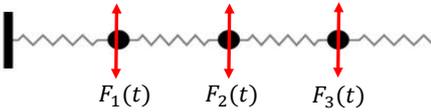


### Actuation System Operating Experiences



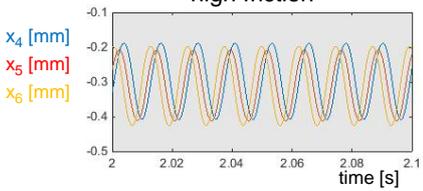
---

$-r_1 * \dot{x}_1(t)$     $-r_2 * \dot{x}_2(t)$     $-r_3 * \dot{x}_3(t)$



$F_1(t)$     $F_2(t)$     $F_3(t)$

high friction



- PCB mounted air-core coils actuator system
- amplitude monitoring
- wave control

$F_4(t) = 1N * \sin(2 * \pi * 81 * t)$   
 $F_5(t) = 1N * \sin(2 * \pi * 81 * t + 1/8 * \pi)$   
 $F_6(t) = 1N * \sin(2 * \pi * 81 * t + 2/8 * \pi)$

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 25

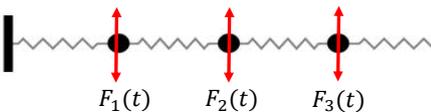


### Actuation System Operating Experiences



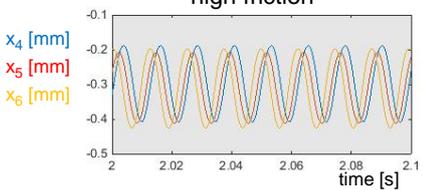
---

$-r_1 * \dot{x}_1(t)$     $-r_2 * \dot{x}_2(t)$     $-r_3 * \dot{x}_3(t)$



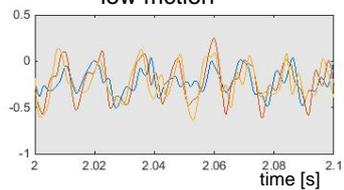
$F_1(t)$     $F_2(t)$     $F_3(t)$

high friction



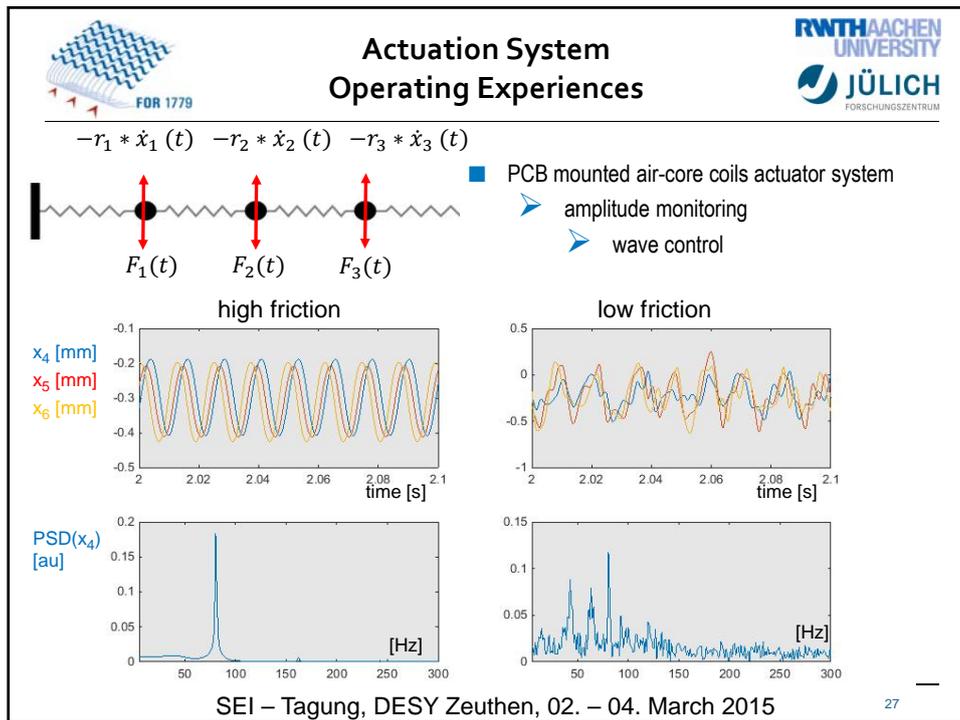
- PCB mounted air-core coils actuator system
- amplitude monitoring
- wave control

low friction

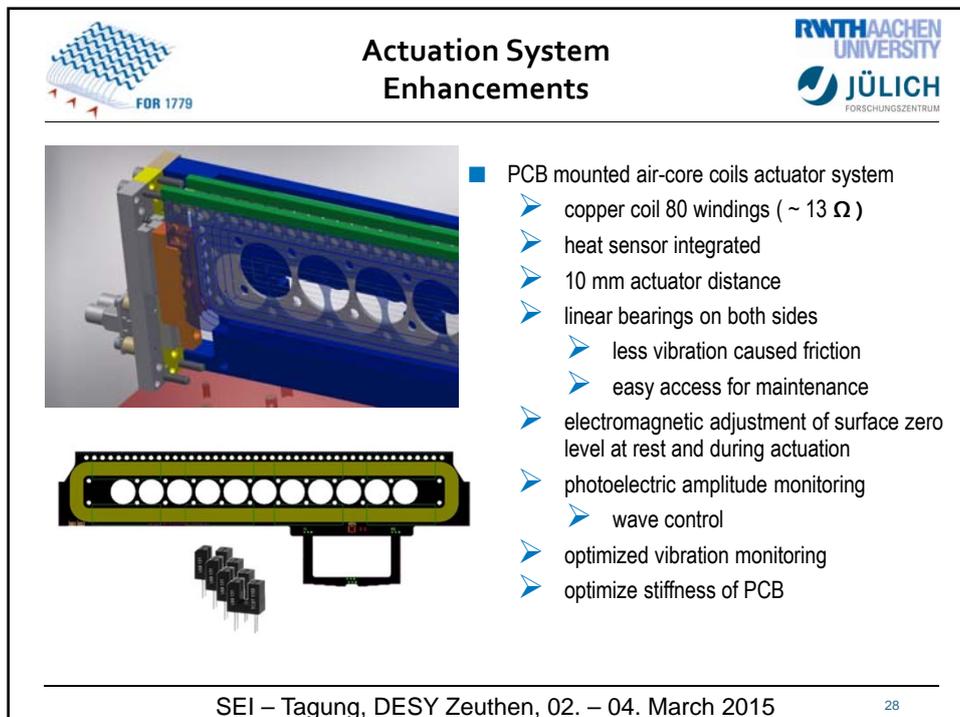


---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 26



27



28



### Actuation System Enhancements

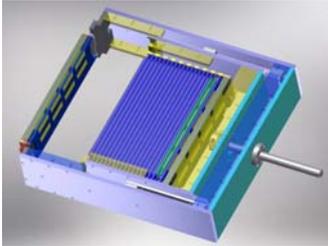
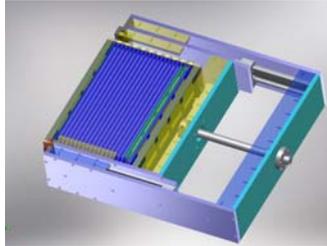


---





- PCB mounted air-core coils actuator system
  - assembling frame
  - faster and safer assembling
  - new prototype with three actuators

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

29

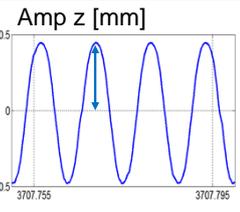


### Actuation System Enhancements

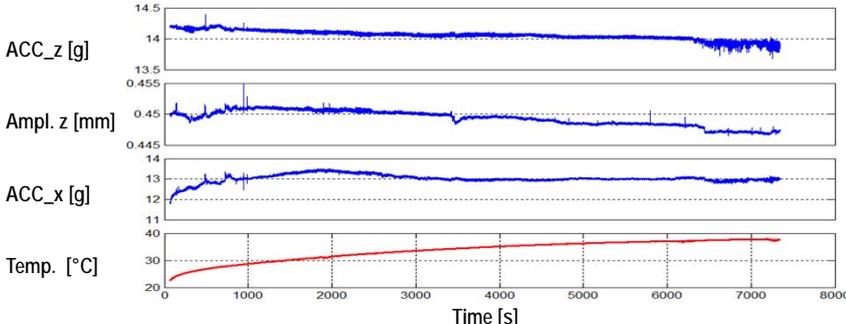


---





- PCB mounted air-core coils actuator system
  - assembling frame
  - new prototype with three actuators
  - successful longterm tests (~ 2 hours)
  - large vibration perpendicular to PCB



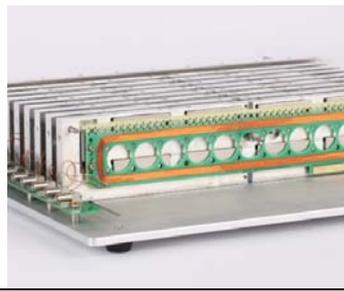
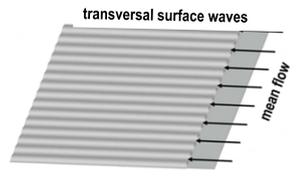
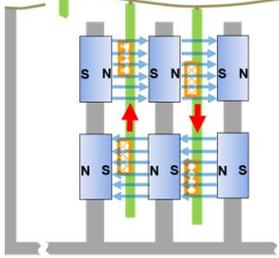
---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

30

 **Thank you for your attention!**  
m.schiek@fz-juelich.de

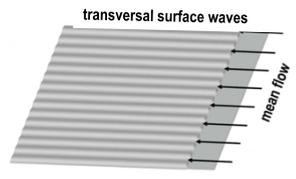
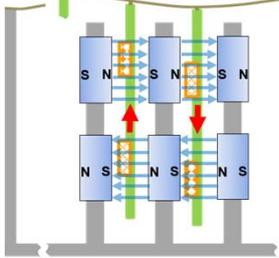
 **JÜLICH**  
FORSCHUNGSZENTRUM



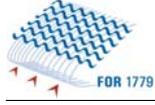
SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 31

 **Thank you for your attention!**  
m.schiek@fz-juelich.de

 **JÜLICH**  
FORSCHUNGSZENTRUM



SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015 32

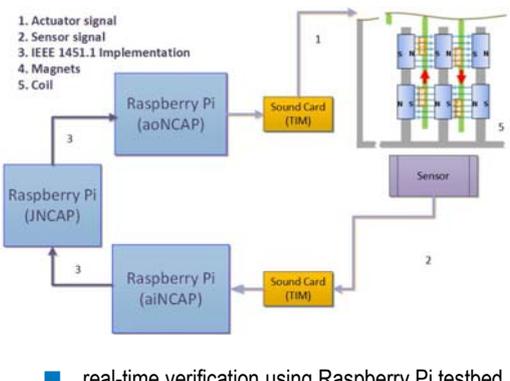


## Real-Time Transport Protocol



---

1. Actuator signal  
2. Sensor signal  
3. IEEE 1451.1 Implementation  
4. Magnets  
5. Coil

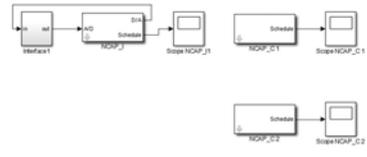


■ real-time verification using Raspberry Pi testbed

- IEEE 1451 (Smart Transducer Interface)
- UDP flow control interface
- TCP/IP actuator system interface
- GUI for wind tunnel experiments

- model implementation based on Matlab/Simulink and TrueTime
- low level network model parameters verified by Raspberry Pi testbed

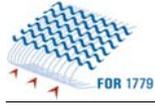
- robust real-time transport protocol
- real-time verified in simulation



---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

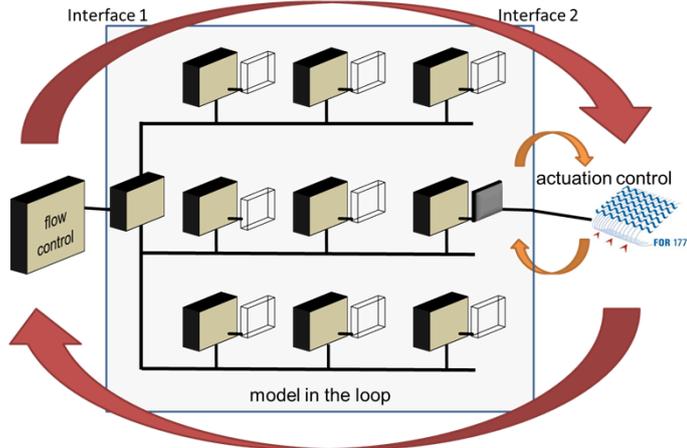
33



## Real-Time Network Simulation



---



flow control	UDP	UDP	network simulation	TCP/IP	TCP/IP	actuation control
--------------	-----	-----	--------------------	--------	--------	-------------------

---

SEI – Tagung, DESY Zeuthen, 02. – 04. March 2015

34

# Prototyp Entwicklung.

Analoges, hadronisches Kalorimeter für den ILC

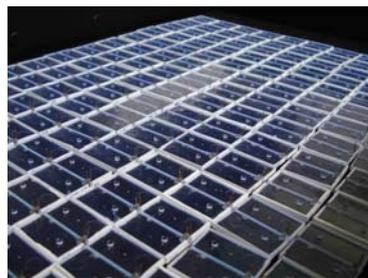
Mathias Reinecke

SEI Tagung  
DESY, 4.3.2015



## Inhalt

- > ILC und CALICE Kollaboration
  - ILD Detektor Konzept
  - CALICE: Gruppen und Detektoren
- > Analoges Hadronisches Kalorimeter
  - Aufbau für den ILC
  - Szintillations Ziegel mit Silizium Photomultipliern (SiPMs)
  - Auslese-Elektronik und DAQ
- > Zusammenfassung



*Szintillations Ziegel  
vor der Bestückung*



### ILC: Detektor Konzept ILD

**CALICE**

- Tail Catcher / Muon Tracker (TCMT)
- Hadron. Calorimeter (HCAL)
- Elektromagn. Calor. (ECAL)

Magnet (5T)

Strahlrohr

Time-Project. Cham. (TPC)

Mathias Reinecke | SEI Tagung – DESY | 4.3.2015 | Page 3

### CALICE Kollaboration

“Entwicklung und Realisierung von neuen Detektorkonzepten (Kalorimetrie) für den International Linear Collider (ILC), kombinierter Teststrahlbetrieb der Detektor-Prototypen.”

<https://twiki.cern.ch/twiki/bin/view/CALICE/WebHome>

SCECAL, SiW ECAL

SDHCAL, US DHCAL

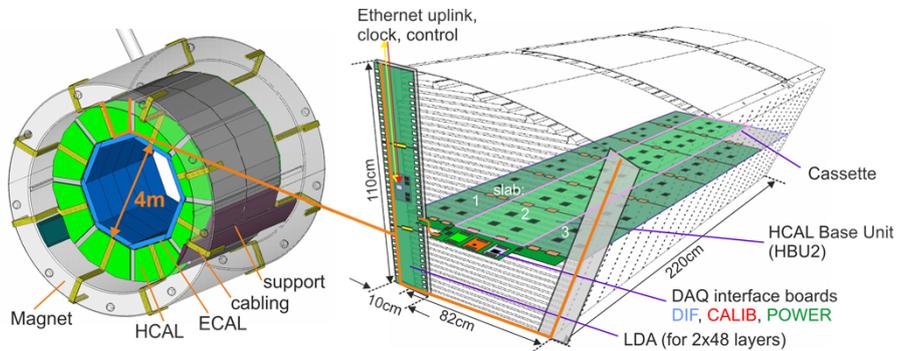
DETEKTOREN: AHCAL

TCMT

336 Mitglieder aus  
57 Instituten und  
17 Ländern

Mathias Reinecke | SEI Tagung – DESY | 4.3.2015 | Page 4

## Tile Hadron Kalorimeter für den ILC (ILD Konzept)

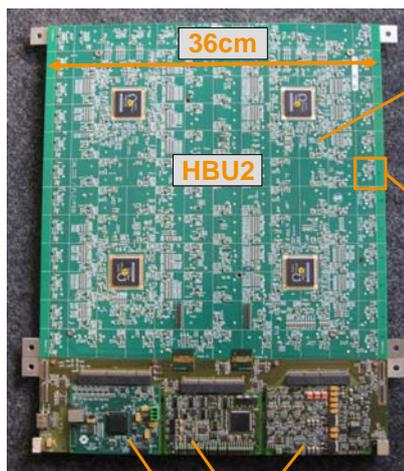


- > 48 Lagen Stahl/Wolfram mit integrierter Elektronik. 24t Gewicht pro Modul.
- > ~2590 Szintillator Kacheln:  $3 \times 3 \times 0.3 \text{ cm}^3$  mit SiPMs pro Lage.
- > Keine aktive Kühlung =>  $40 \mu\text{W}$  Verlustleistung pro Kanal.
- > 4 Millionen Kanäle im Barrel => Einfache Installation und Reparatur notwendig.

Mathias Reinecke | SEI Tagung – DESY | 4.3.2015 | Page 5

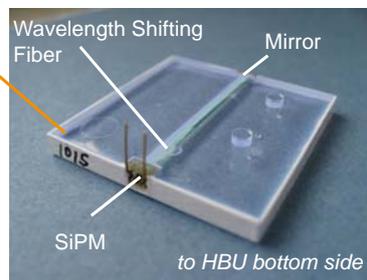


## Kalorimeter Prototype: HCAL Base Unit (HBU2 und 3)



- > DAQ interface boards, am Ende der Absorberstruktur platziert.

- > Inneres Detektormodul HBU2
  - 144 Kanäle
  - $36 \times 36 \text{ cm}^2$ , 6 Lagen, 0.8mm dick
  - 4 analog/digitale ASICs: SPIROC2b

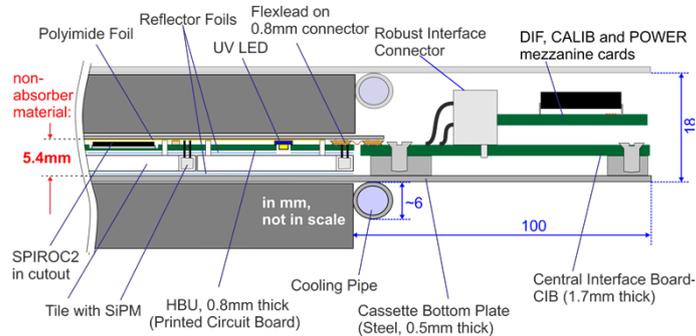


- > Szintillator Ziegel  $3 \times 3 \times 0.3 \text{ cm}^3$ .
- > SiPM: 796 pixels, gain ~ 2 million.

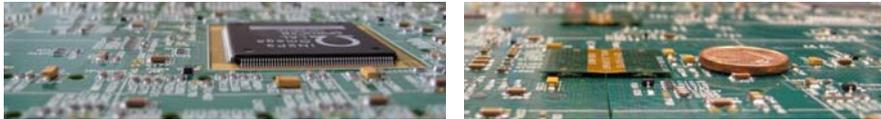
Mathias Reinecke | SEI Tagung – DESY | 4.3.2015 | Page 6



## Tile HCAL - Querschnitt (1 Lage)

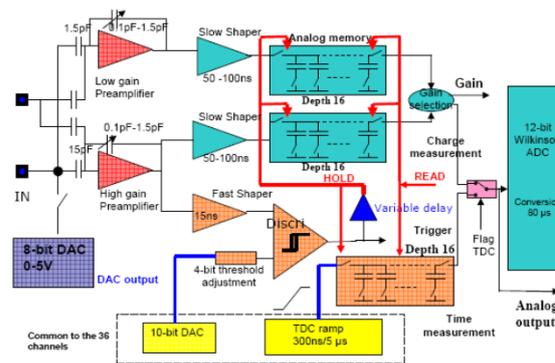


- > Dünne Lagen: Nur 5.4mm nicht absorbierendes Material (inkl. 3mm Szintillator Ziegel). Platzierung von Komponenten in Kavitäten, dünne Konnektoren.



## Auslese-ASICs SPIROC2 (4 auf dem HBU)

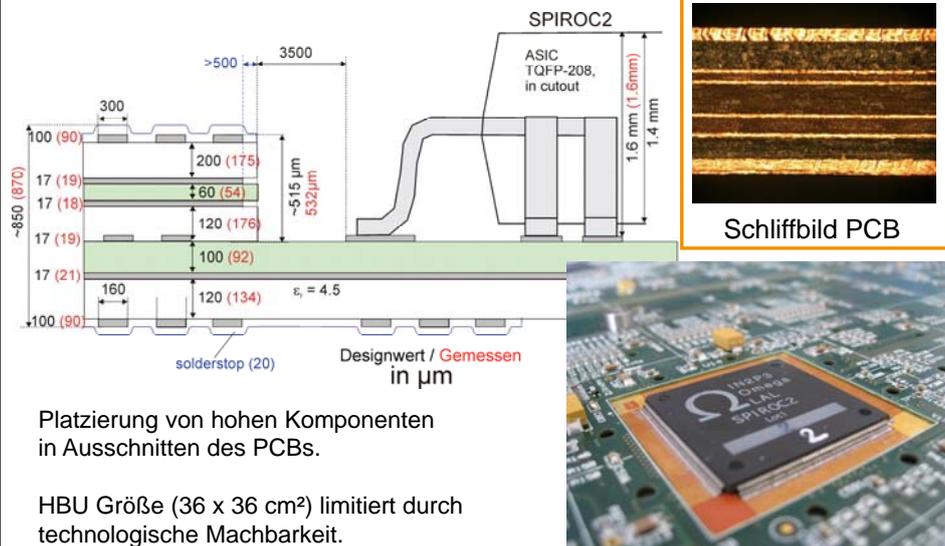
SPIROC2  
Eingangsstufe  
(1 Kanal)



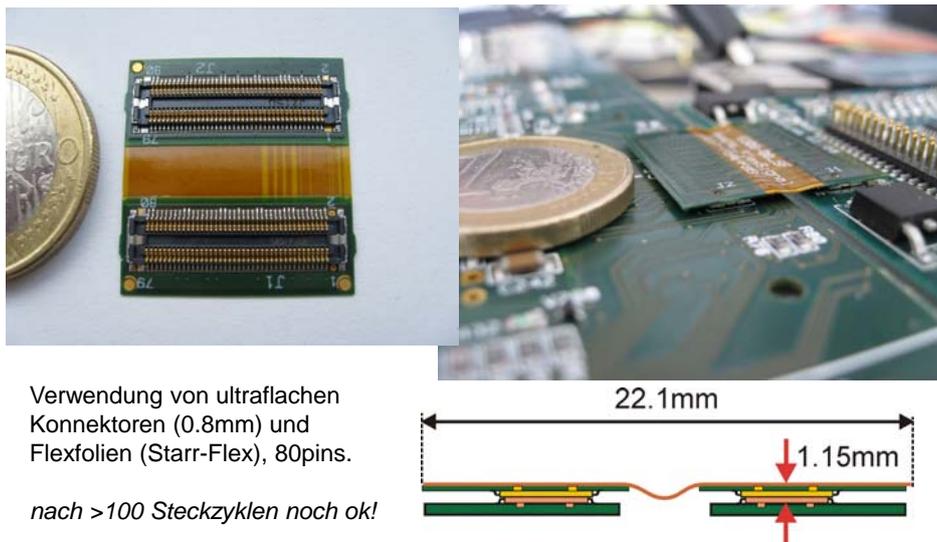
- > 36 Eingangskanäle mit individueller SiPM Bias Regelung (8bit-DAC).
- > Interner Trigger (ILC liefert keinen Trigger). 25µW/Kanal Verlustleistung
- > Zwei Verstärkungen (1pe – 2000pe), 12-bit ADCs und TDCs on-chip.
- > SPIROC2: LAL/Omega



## HBU PCB: Höhenoptimierung I

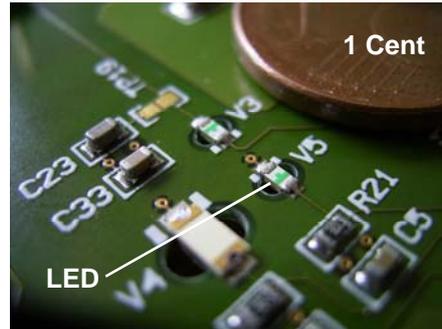
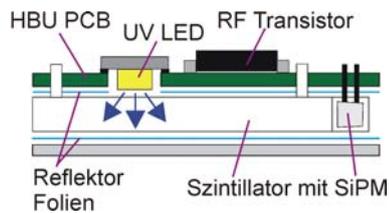


## HBU Interconnect: Höhenoptimierung II



## Kalibrationssystem (auf dem HBU)

- > SiPM: starke Abhängigkeit der Verstärkung von T und Vbias.
- > 1 UV-LED pro Ziegel (Kanal).
- > Kalibration über charakt. Pixelstruktur der SiPMs (Histo.)
- > Problem: LED-zu-LED Streuung der Lichtleistung.

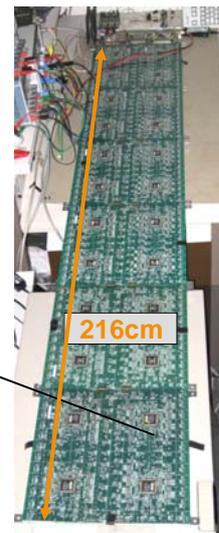
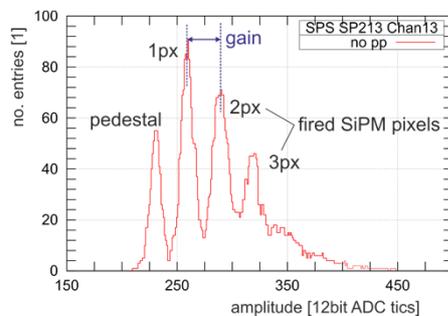


Mathias Reinecke | SEI Tagung – DESY | 4.3.2015 | Page 11



## Volle Ausbaustufe: 6 HBU2s in einer Reihe

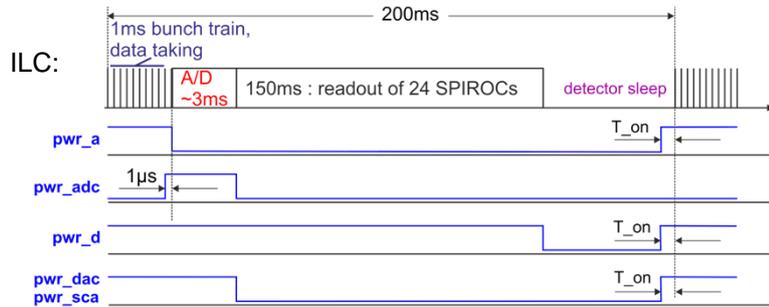
- > 6 HBU2s mit 864 Detektorkanälen.
- > Frage: Transport der 40MHz LVDS Takte, Versorgungsspannungen, LED trigger über 216cm möglich ohne Beeinträchtigung der Detektorleistung?
- > Erste Ergebnisse für die kleinsten Signale (single-pixel spectra der SiPMs) zeigen die Eignung des Konzepts:



Mathias Reinecke | SEI Tagung – DESY | 4.3.2015 | Page 12



## Power Pulsing



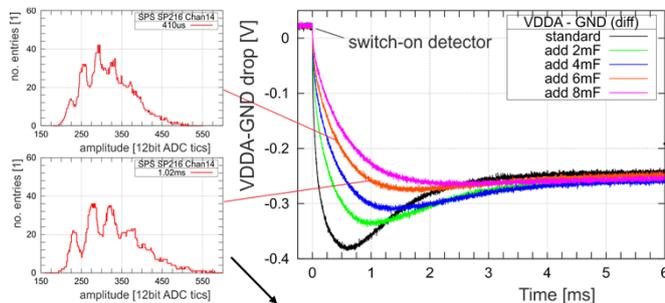
- > ILC: Keine aktive Kühlung zwischen den Absorberplatten. Der innere Detektor wird zwischen den Bunch Trains abgeschaltet.
- > Bei 1% Auslastung pro Kanal:  $25\mu\text{W}$  Elektronik +  $15\mu\text{W}$  SiPM =  $40\mu\text{W}$  (Ziel).
- > Wie lang muß  $T_{\text{on}}$  sein, ohne Beeinträchtigung der Detektorleistung?  
Power Pulsing ist eine Schlüssel-Voraussetzung des Konzeptes!!

Mathias Reinecke | SEI Tagung – DESY | 4.3.2015 | Page 13

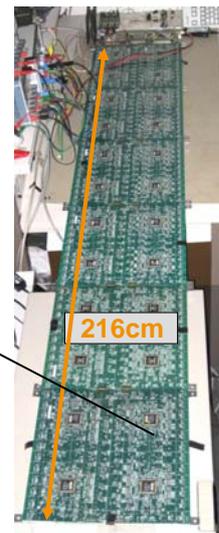


## Full extension: Power Pulsing

- > Geschalteter Strom: 2.75A (analoge V.-spannung).
- > Spannungsabfall über 216cm (haupts. Flexfolien):
  - 0.18V on VDDA ( $19\text{m}\Omega$  per HBU2+flexlead)
  - 0.04V on GND ( $4\text{m}\Omega$  per HBU2+flexlead)
- > Studien noch nicht abgeschlossen. Z.B.:



- >  $T_{\text{on}}$  zu kurz: Reduzierte Verstärkung, hohes Rauschen!

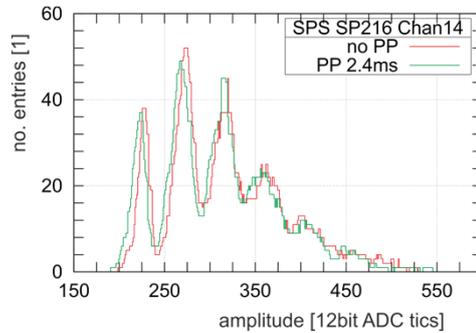


Mathias Reinecke | SEI Tagung – DESY | 4.3.2015 | Page 14



## Full Extension: Power Pulsing

- > Mit 6mF: ~2ms Einschaltzeit nötig (~2% Anzeit). Exzellente Übereinstimmung w/wo Power Pulsing (nur kleiner Pedestalshift).



- > Power Pulsing funktioniert für die volle Ausbaustufe von 6 HBU2!
- > Kompromiß nötig zwischen Einschaltzeit und Blockkapazität.

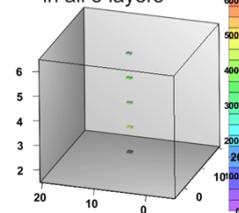


## Testbeam

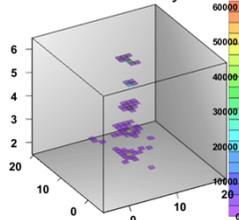
- > 2 Wochen Testbeam mit 5 Lagen: 2-6GeV Elektron testbeam @DESY, Sommer 2013.



Single hits (MIPs)  
in all 5 layers



Shower in all 5 layers



- > Voll synchroner Betrieb von allen Lagen. DAQ sichert, daß alle Lagen zur selben Zeit aktiv sind.
- > Hadron Testbeam CERN 2014 mit 15 Detektorlagen.



## Zusammenfassung

- > Prototyp System für ein analoges, hadronisches Kalorimeter für einen möglichen Einsatz am ILC wurde fertiggestellt.
- > Prototyp basiert auf Silizium Photomultipliern (SiPMs) mit 144 Detektorkanälen.
- > Eine eigene DAQ wurde entwickelt.
- > Erste Meßergebnisse vielversprechend voll im Rahmen der Anforderungen.



P. Göttlicher  
DESY  
30. April 2015

## **Kurze Zusammenfassung des Workshops: Analoge und Mixed-Mode Simulation**

Der Workshop stand unter der Vorgabe mit kurzen Präsentationen ins Gespräch zu kommen. So sollte man gegenseitig lernen, was andere anwenden, wie sie Lösungen suchen und welche Produkte eingesetzt werden. Es galt auch, einen Blick darauf zu werfen, was andere machen, wie andere an Probleme herangehen und wie Simulation zur Verbesserung der Entwicklungen eingesetzt wird.

Mit dieser Zielrichtung wurden keine ausgefeilten Vorträge erwartet, sondern nur unterstützende Transparente. So werden diese hier auch nicht veröffentlicht, sondern nur eine persönliche Zusammenfassung.

Es wurde verschiedene Sprachen der Simulation kurz angerissen. SPICE als Standard bei der analogen Simulation, aber auch verschiedenen allgemeiner und firmenabhängiger Derivate, VHDL-analog als Differential-Gleichung getriebene Sprache und VHDL für digitale Bereiche. Es wurde die Möglichkeit vorgestellt IBIS-Modelle, die vorwiegend bei Ein- und Ausgängen digitaler Bausteine von den Hersteller geschrieben werden, in LT-SPICE umzuwandeln.

In größeren Darstellungen wurde die Modell-Bildung aufgegriffen. Dabei wurden exotischere Anwendungen in Richtung Geräte und Systemsimulation angerissen, wie

- EMV-Simulation durch ein Widerstandsmodell der GND-Stromverteilung,
- Simulation von Kabeln und planaren Strukturen durch Ersetzen kleiner Elemente mit RCL-Elementen,

Es wurde der Wunsch angesprochen, auch noch größere Systeme zu simulieren und dabei auch physikalische Modellbildung zu involvieren. Dazu hatte sich aber von den Teilnehmern niemand aktiv zu Hause beschäftigt, so dass diese Techniken zwar als gute Idee und gewünscht erachtet wurden, aber zumindest für den Kreis der Teilnehmer/-innen als derzeit nicht realisierbar erschien.

**DESY-PROC-2015-01**  
**ISBN 978-3-935702-96-6**  
**ISSN 1435-8077**