

S^E
I Studiengruppe für
Elektronische Instrumentierung
der Helmholtz-Zentren

102. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2011

in Darmstadt vom 21. März -23. März 2011

an der



Helmholtzzentrum für Schwerionenforschung



Editor: Peter Göttlicher (DESY)

Verlag Deutsches Elektronen-Synchrotron

Impressum

102. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2011 21.-23. März 2011, Darmstadt, Deutschland

Conference Homepage

<http://indico.desy.de/conferenceDisplay.py?confId=3864>

Online Proceedings auf

<http://www-library.desy.de/confprocs.html>

The copyright is governed by the Creative Commons agreement, which allows for free use and distribution of the articles for non-commercial activity, as long as the title, the authors' names and the place of the original are referenced.

Editor:

Peter Göttlicher

September 2011

DESY-PROC-2011-02

ISBN 978-3-935702-58-4

ISSN 1435-8077

Published by

Verlag Deutsches Elektronen-Synchrotron

Notkestraße 85

22607 Hamburg

Germany

Printed by

Kopierzentrale Deutsches Elektronen-Synchrotron

102. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2011

SEI - Studiengruppe elektronische Instrumentierung
der Helmholtz-Zentren
Darmstadt (GSI), 21. März - 23. März 2011

Inhaltsverzeichnis

Eröffnung und Ausblick	P. Göttlicher	3
Bild der Teilnehmer	G. Otto	4
Tagungsprogramm		5
Notizen aus der Tagung	D. Notz	7
Radiation hard design in standard 0.25 μ m SiGe:C BiCMOS technology <small>(Nachtrag aus der 101. Tagung vom Herbst 2010)</small>	A. Hasan	9
Dynamische Re-Konfiguration eines FPGAs mittels internem Controller	M. Dick	26
Entwicklung in der Abteilung Experiment-Elektronik der GSI	K. Koch	38
Linux & EPICS (Big Physics)	M. Ravindran	43
White Rabbit Timing System	M. Kreider	59
White Rabbit for High-Precision, Wide-Area Synchronization	R. Greenstreet	76
FPGA basierte Readout Elektronik	J. Frühauf	104
The Application of intelligent Stepper and Servo-motor Controllers in experimental Physics	T. Hopper, L. Rossa	115
Motor control systems with Beckhoff terminals (Motor Steuerung mit Beckhoff Klemmen)	T. Torres	126

MicroTCA System Platforms for physics	F. Fix	142
ASIC - Entwicklungen in GSI - Experimentelektronik	H. Flemming	156
New development of a profile grid electronic to measure the spatial and temporal resolution of an ion beam	M. Witthaus et al.	162
Aufzeichnung von Betriebsdaten bei Neutronenstreuexperimenten mit einer Datenbankapplikation in PyQt	S. Kirstein	163
Developments in DESY FS-DS	S. Smoljanin	191
Entwicklung, Anwendungen und Erweiterungen des TACQUILA Zeitmesystems	K. Koch	204
EtherCAT for Science - Entwicklung von Feldbusknoten für den wissenschaftlichen Gerätebau (SEI 2011)	P. Kaever	213
Data Acquisition Backbone Core Framework	J. Adamczewski-Musch et al.	224
Elektronik für einen Strahllagemonitor	A. Büchner	235

Eröffnung

50 Teilnehmer hatten sich zu der Tagung angemeldet. Somit konnten Erfahrungen ausgetauscht werden zwischen Mitarbeitern aus den Helmholtz-Zentren – DESY, FZJ, GSI, HZDR, HZG und KIT –, aus den anderen Forschungsinstituten – Fritz-Haber-Institut der MPG und Universität Heidelberg – sowie Firmen, die sich speziell für die Forschungsanwendungen interessieren.

18 Teilnehmer trugen ihre Arbeiten in kurzen Vorträgen vor, wobei jeweils anschließend Zeit für Rückfragen und Diskussion zur Verfügung stand. Diese Vorträge sind in den vorliegenden Proceedings zusammengestellt.

Das Tagungsprogramm ist auf dem Internet einzusehen:

<http://indico.desy.de/conferenceDisplay.py?confId=3864>

Ausblick

Die nächste Tagung wird für das Frühjahr 2012 geplant.



Teilnehmer an der Tagung

Quelle: Frau Gabriele Otto, GSI

SEI-Tagung an der GSI - Frühjahr 2011

Studiengruppe elektronische Instrumentierung der Helmholtz-Zentren

chaired by Peter Göttlicher (DESY)

from Monday 21 March 2011 at **08:00** to Wednesday 23 March 2011 at **14:00** (Europe/Berlin)
at an der GSI: Gesellschaft fuer Schwerionenforschung (Raum: B1)

Description Zweimal jährlich treffen sich Entwickler für Elektronik, Datennahme und Prozesssteuerung an den Helmholtz-Instituten und anderer an der Forschung interessierten Institutionen. Das Ziel ist der Austausch über Ihre Aktivitäten durch Vorträge, Präsentationen und Diskussion.

Siehe auch [die Homepage der SEI](#)

Die Zielgruppe sind Wissenschaftler, Ingenieure und Techniker.

Themen können Konzeptentwicklungen, Schaltungsumsetzungen, Programmierungen und Techniken der Praxis sein.

An allen Tagen werden Vorträge der Teilnehmer stattfinden und am Dienstag Nachmittag ist Zeit und Raum für Kontakt zu Firmen bei einer mehrstündigen Ausstellung forschungsrelevanter Produkte.

Anmeldung über:

Diese Seite: http://indico.desy.de/event/SEI_fruehjahr_2011

Anmeldung zur Tagung bitte bis: 14.März

Vortragsanmeldung und Ausstellung bitte bis 7.März

Kontakt:

Dr. Peter Göttlicher
DESY Deutsches Elektronen-Synchrotron
Notkestrasse 85
22607 Hamburg
Tel: 040/89983226
E-Mail: peter.goettlicher@desy.de

Support peter.goettlicher@desy.de

Monday 21 March 2011

[Go to day](#)

14:00 - 15:30

Vortrag I : Im Raum B1

14:00 **Begrueßung** 15'

Speaker: peter goettlicher (DESY)

Material: [Slides](#) 

14:15 **Vorstellung der GSI** 15'

Speaker: Eugen Badura (GSI)

14:30 **Dynamische Re - Konfiguration eines FPGAs mittels internem Controller** 30'

Speaker: Markus Dick (Forschungszentrum Jülich)

Material: [Slides](#)  

15:00 **Übersicht die Abteilung Experiment-Elektronik der GSI** 30'

Speakers: Koch, Karsten Koch (GSI)

15:30 - 16:00

Kaffeepause

16:00 - 18:35

Vortrag II im Raum B1

16:00 **Update on Linux & EPICS from NI** 15'

Speaker: National Instruments

16:15 **Das "White Rabbit Projekt" - Hochpräzise Zeitverteilung und synchrone Gerätesteuerung auf Basis von Gigabit-Ethernet Technologie** 30'

Speaker: Mathias Kreider (GSI Helmholtzzentrum für Schwerionenforschung GmbH)

16:45 **White Rabbit implementation in PXI /PXIe and collaboration** 1h00'

Speaker: National Instruments

17:45 **FPGA basierte Readout Elektronik** 30'

Speaker: Jochen Frühauf (GSI)

19:00 - 22:00

Abendessen

[Ristorante San Remo](#)

Location: (Darmstädter Straße 2, Darmstadt-Arheilgen)




Tuesday 22 March 2011

08:00 - 14:00

Excursion

Treffen: wann und wo?

Location:

- 08:00 **Treffen WO und Wann** 15'
- 08:15 **Anfahrt** 1h00'
- 13:00 **Rueckfahrt** 1h00'
- 12:00 - 20:58 Firmenausstellung fuer GSI-Mitarbeiter und SEI-Teilnehmer
Location: (Foyer vor dem Tagungsraum B1)
- 12:00 **Agilent Acqiris Operation (Mr. SPELTHANN, Hans Dieter)** 4h30'
- 12:01 **Bustec** 4h29'
- 12:02 **ELMA Trenew Electronic GmbH: Ausstellung (Mr. FIX, Friedrich)** 4h28'
- 12:04 **FARNELL GbmH und OKI International: Oszilloskope, Löttechnik und Mikroskope (Dirk Erdenberger)** 4h26'
- 12:05 **LeCroy (Heiko Lülff)** 4h25'
- 12:06 **Power Bridge computer, mTCA & mTCA.4 crates and starter kits (KLOCKMANN, Kay)** 4h24'
- 14:00 - 16:30 Firmenausstellung fuer GSi_Mitarbeiter und SEI-Teilnehmer
Kaffee und Broetchen sind verfuegbar
Location: Foyer vor dem Tagungsraum B1
- 16:30 - 16:45 Weg zu neuem Tagungsraum ()
- 16:45 - 18:15 Vortraege III: Raum B3 !!!!
Location: Raum B3
- 16:45 **The Application of intelligent Stepper and Servo-motor Controllers in experimental Physics** 30' (B3)
Speakers: Ted Hopper (MACCON GmbH) , Lutz Rossa (Hahn-Meitner-Institut, Berlin)
- 17:15 **Motor control systems with Beckhoff terminals (Motor Steuerung mit Beckhoff Klemmen)** 30' (B3)
Speaker: Tanya Torres de Heidenreich (GSI)
Material:   
- 17:45 **MicroTCA System Platforms for physics** 30'
Speaker: Friedrich Fix (ELMA Trenew Electronic GmbH)
- 19:00 - 22:00 Abendessen_
[Restaurant Bembelsche](#)
Location: (Irenenstraße 1 / Ecke Frankfurter Straße, Darmstadt)

Wednesday 23 March 2011

- 08:30 - 10:30 Vortraege IV: Raum B1
- 08:30 **ASIC - Entwicklungen in GSI - Experimentelektronik** 30'
Speaker: Holger Flemming (GSI)
- 09:00 **New development of a profile grid electronic to measure the spatial and temporal resolution of an ion beam** 30'
Speakers: Michael Witthaus (GSI Darmstadt) , Sven Loecher (GSI)
Material:   
- 09:30 **Aufzeichnung von Betriebsdaten bei Neutronenstreuexperimenten mit einer Datenbankapplikation in PyQt** 30'
Speaker: Sabrina Kirstein (ZEL Forschungszentrum Jülich)
- 10:00 **Developments in DESY FS-DS** 30'
Speaker: Sergej Smoljanin (DESY)
- 10:30 - 11:00 Kaffeepause
- 11:00 - 13:40 Vortraege V: Raum B1
- 11:00 **Entwicklung, Anwendungen und Erweiterungen des TACQUILA Zeitmeßsystems** 30'
Speaker: Karsten Koch (GSI Darmstadt)
- 11:30 **EtherCAT for Science - Entwicklung von Feldbusknoten für den wissenschaftlichen Gerätebau (SEI 2011)** 30'
Speaker: Peter Kaever (HZDR)
Material:  
- 12:00 **Software framework Data Acquisition Backbone Core** 30'
Speakers: Jörn Adamczewski-Much (GSI) , Sergey Linev (GSI)
- 12:30 **Elektronik fuer einen Strahlungemonitor** 30'
Speaker: Andree Buechner (Helmholtz-Zentrum Dresden-Rossendorf)
- 13:00 **Schlussworte** 10'
Speaker: peter goettlicher (DESY)

D. Notz
24. 3. 2011

Betr: Gesprächsnotizen über die Frühjahrstagung **der Studiengruppe Elektronische Instrumentierung** vom 21. bis 23. 3. 2011 bei der GSI (102. SEI Tagung)

Für DESY von Interesse

Um hochpolige SMD ICs auszulöten, bietet sich Chip Quik (Farnel 1850218) an. Die Paste wird an die Beine des ICs „gelötet“ und löst diesen.

Jülich hat Erfahrungen mit strahlungsfesten rekonfigurierbaren FPGAs.

GSI hat Erfahrungen mit ASIC Design für hohe Strahlungsdosen oder auch für geringe Leistungsaufnahme. 350 nm CMOS, 180 nm CMOS Technologien.

Zum Testen der Chips gibt es am FZK/KIT eine 60 keV Röntgenröhre 1 – 11 Gy.

Nach Bestrahlungen wurde Selbstheilung beobachtet. Nach einigen Wochen verhielten sich die Chips wie vor der Bestrahlung.

EPICS weiterhin viel im Einsatz.

Von National Instruments gibt es real-time Anwendungen unter LINUX. Ferner wird unterstützt EPICS, TINE und CORBA.

„White Rabbit“ ist eine Entwicklung mit sehr hoher Zeitsynchronisation. Interessant für Kontrollsysteme. Die Zeiten sind besser als 1 ns synchron. Zu Grunde liegt die Norm IEEE 1588.

Bei einigen FPGAs wird der LVDS Output nicht richtig generiert, sondern mit zwei Stromquellen simuliert.

Für μ TCA for Physics gibt es Crates mit 6 und 12 Slots. Zwei 6 Slot Systeme passen in einen 19 Zoll Überrahmen. Die Lüfter im vorderen und hinteren Teil eines Überrahmens werden separat gesteuert, um Temperaturunterschiede klein zu halten. 2*600 W oder 4* 300 W Netzteile pro Crate. 700 m³ Luft/Stunde Durchsatz.

FZR (HZDR) Rossendorf hat Erfahrungen mit EtherCAD. Mit einem Entwicklungsboard kommt man schnell zu Ergebnissen. Ansteuerung über Beckhoff.

Sonstiges

Zur Positionierung bei Halbleitern wird sehr hohe Genauigkeit (Maccon) erreicht. Es gibt Schrittmotoren, die im Vakuum arbeiten. Moderne Schrittmotoren sind gegen falsche Anschlüsse und Kurzschlüsse geschützt. Steuerung über LabView.

Für Kontrollsysteme wird z. T. Qt von Trolltech (N) benutzt. Versionen in C++ oder Java.

Für eine Anbindung an Python gibt es PyQt von Riverbank.

Einige Experimente bei FAIR werden ohne typischen Trigger arbeiten. Man benutzt Zeitmarken.

Die Exkursion führte zu den Lufthansa Trainings- und Wartungszentren in Frankfurt. Der A380 ist breiter als lang und muss für Gradeausflug stabilisiert werden. Heckflosse 27 m hoch. Tragflächen ca. 850 m². 20 Türen. Triebwerke laufen nicht auf voller Last. Volle Last wird für Mexiko wegen der dünnen Luft benötigt.

WWW Informationen:

<http://zennotz.desy.de/SEI>

<http://wiki.gsi.de/cgi-bin/view/SEI/SEIinGSI2011>
www.youtube.com , dann chip quik eingeben (Zum Entlöten).
[//dabc.gsi.de/](http://dabc.gsi.de/)
[//go4.gsi.de/](http://go4.gsi.de/)

Vorträge der letzten SEI Sitzung in Karlsruhe 2010:

<http://www-library.desy.de/confprocs.html>

DESY-PROC-2011-01

ISBN 978-3-935702-51-5

ISSN 1435-8077

Termine:

23. – 29. 10. 2011 NSS IEEE in Valencia

9. – 15. 6. 2012 RT2012 Berkely

Nächste Treffen der Studiengruppe:

Noch nicht festgelegt.

Stored in notz/ESONE/SEI/MINUTES/gsi2011.doc (+.pdf)

Radiation hard design in standard 0.25um SiGe:C BiCMOS technology

Arif Hasan
ah@advico.de
+49-2361-10680-16

advico is an IC Design House
located in Recklinghausen, Germany

Founded in 2000 with focus on research related topics

Core competences:

IC design: Radiation hardened, fiber optics and wireless

SiGe BiCMOS and CMOS (0.35 - 0.13µm)

*EDA: tool development add-ons for (Cadence, AWR, Catena,
COMSOL, Sonnet)*

advico

ASIC Design
fibercom, wireless,
data converters,
sensors, data recovery

EDA Software
design kits,
productivity tools,
customer support

**Complementary
Services**
Consulting, phototyping R&D,
Feasibility studies

Radiation induced damage types

SEE (Single-Event-Effect, digital) or SET (Single-Event-Transient, analog)

Degradation due to TID (Total Ionizing Dose)

Destructive effects like

latchup,

gate rupture (LDMOS),

burnout (LDMOS),

microdose effects (single ion effect exceeds damage threshold)

Exposure to the different radiation types during circuit lifetime, dose rates and energy of the particles depend on the application. Since all aspects have different impact on the circuit behaviour, there is no radiation hard technology or radiation hard circuit in general.

Two major degradation mechanisms:

Displacement damage

ionization due to energy transfer (LET=Linear Energy Transfer)

ionization can lead to immediate effects and long-term degradation.

Immediate effects are

Toggling stored bits

Creation of transient spikes

Even though the charge cloud may only survive for ns, charge picked up by a circuit can cause huge and long transients due to gain and nonlinearities of the circuit. For example, the emitter potential behind an emitter follower can quickly rise but may fall only slowly. This can have serious impact for power regulators, references, data converters etc.

Ionizing radiation has long-term effects on insulators. Charge or ions may be trapped in oxides and cause different effects:

Leakage current increase

Leakage paths between different elements

Shift in threshold voltages (tendency: nmos turned on, pmos turned off)

The sides of MOS devices are most susceptible to this kind of damage, but also "parasitic" elements which have STI within their core.

Displacement damage basically causes

Reduction of minority lifetime, causing HBT/BJT beta degradation

Mobility reduction, causing reduced gm and higher on-resistance

This damage typically occurs at high total dose. HBTs are less affected

Circuits intended for

Satellite applications (on low orbit or stationary), planetary missions

Nuclear physics and power plants (LHC, ITER)

Nuclear medicine (CT)

Require reliable operation in presence of ionizing radiation. Radiation effects can be reduced by shielding, special technological steps/element construction and careful circuit design. In addition, some devices must be avoided or redesigned to be radiation hard.

In addition, many of these circuits also require increased reliability. Major aspects are

Probability of early failure

Lifetime

Both require special care in circuit design and layout, and application of stricter rules

Different operating conditions require different restrictions and rules.
We should distinguish two types of applications

LEO/GEO: ESA requirement for Low Earth Orbit and Geostationary missions

15 to 20 years of lifetime
(-55) -40 to 125 °C operating temperature
100 krad TID over the lifetime (dose rates around <0.001 rad/s)
Radiation cocktail well-defined

NP: Nuclear Physics and Medicine

Assuming 10 years lifetime
Probably relaxed temperatures (-20 to 100 °C ?)
Therefore no special restrictions with respect to current densities :)
But: high TID with medium to high dose rates, e.g. 10 Mrad at intermitted dose rates of 100 rad/s
Different radiation cocktails depending on application (e,p,n,γ,X)

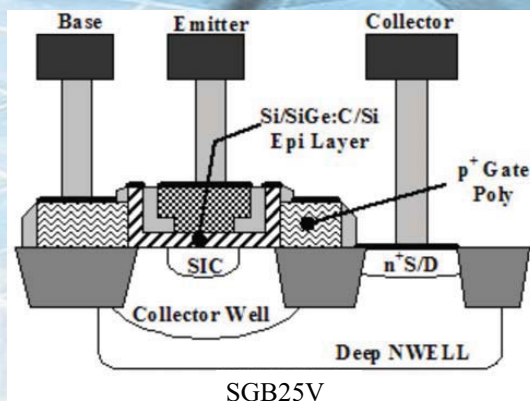
The Front-End high energy electronics requires electronic technologies with high enough amplification factors at low power consumption. Those are the main characteristics of the silicon-germanium (SiGe) BiCMOS technologies, which, along with advanced Deep Sub-Micron (DSM) CMOS technologies, have become the main candidates for this application.

IHP offers three technologies named SG25H1, SG25H3 and SGB25V.

SGB25V is the low cost technology option from IHP as it needs lesser lithographical steps.

SGB25V technology is being qualified for space and high energy electronics.

Besides, a complementary Laterally Diffused MOS (LDMOS) section is available on the CMOS process.



Current rating must be reduced to about			
Bipolar devices	LEO 15 years	LEO 20 years	NP with 10 years
npnVp	1.05mA per 0.48x0.84u emitter	0.95mA per minimum emitter of 0.48x0.84	Nominal 1.25mA
npnVs	0.28mA per 0.48x0.84u emitter	0.24mA per minimum emitter of 0.48x0.84	Nominal 0.35mA

Emitter connections on Metal1 should be prohibited

Special stress situations must be avoided:

VBE<0 leads to beta degradation. Avoid static negative BE voltages and limit negative VBE transients to > -0.8V

In NP environment resistivity may require higher minimum VCE values to prevent saturation

Use smaller number of larger emitters to reduce emitter perimeter

Only match same devices in nearly same operating conditions

Use VBE voltages between 0.75 and 0.9V (at room temperature)

Considered radhard for LEO and NP applications

Comment: No STI in HBT device layout, only thin oxide spaces

Bipolar devices summary

Design margins are reduced from multiple sides:

Use of larger single emitters reduces design freedom in current mirrors

Limited current densities for lifetime requirements

Keep current densities high to stay within $0.75V < V_{BE} < 0.9V$ for high beta

Guard rings should be connected to GND to avoid leakage/crosstalk after NP radiation levels (surface inversion on STI)

Nearby NWell on VDD potential suggested to capture negative charge (if space allows)

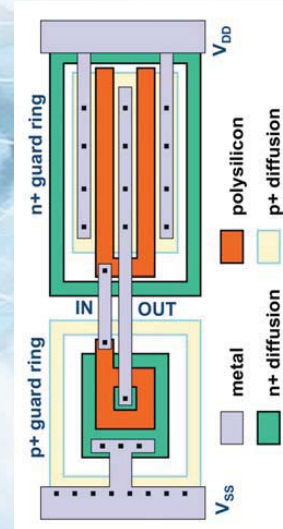
BE reverse voltage should be avoided to prevent beta degradation

More VBC margin recommended to compensate for RC increase

Emitter connection on Metal1 should (EM damage) be avoided

Radiation tolerance is crucial. Commercial CMOS usually fails under ionizing radiation sometimes due to nMOS leakage. This leakage is caused by the formation of an inversion layer underneath the field oxide or at the edge of the active area. This leads to source-to-drain leakage and inter-transistor leakage between neighboring n implants. Special process steps prevent this leakage for radiation-tolerant technologies. In commercial CMOS, this leakage can be eliminated by laying out the nMOS transistors in enclosed geometry [source or drain fully surrounded by poly gate (enclosed layout transistor or ELT)] and introducing p guard rings.

Guard rings are effective against SEL, and there are special architectures to reduce SEU sensitivity



Check reference 7

MOS devices

nmosELT

Enclosed Layout Transistor eliminates STI leakage path

Can use same nmos model with average W measurement for the corners

Considered radhard for LEO and NP

$R_{DS,on}$ will raise, V_{TH} will decrease in NP environment

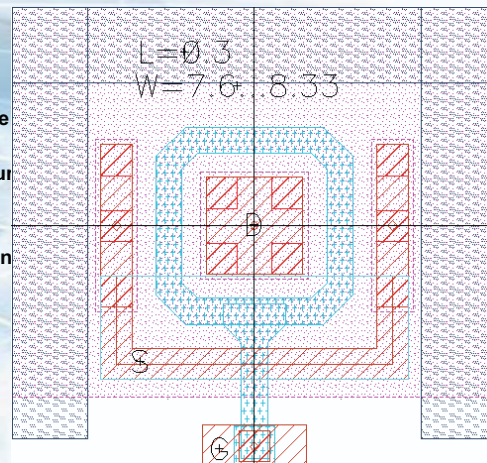
Matching only possible between identical devices with similar OP points

In NP keep more margin for $V_{DS,min}$

In NP keep margin for drive strength

Useful only for large W/L

Contact current densities limit DC current



MOS devices

NmosSLT (S for Snoeys et.al.)

Enclosed Drain/Source Transistor eliminates STI leakage path

Useful for large L/W

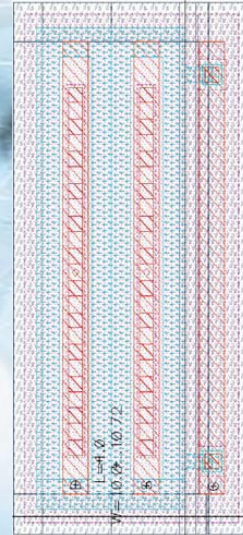
Considered radhard for LEO and NP

RDS,on will raise, VTH will decrease in NP environment

Matching only possible between identical devices with similar OP points

In NP keep more margin for $V_{DS,min}$

In NP keep margin for drive strength



MOS device summary

Special devices for analog circuits needed

nmosELT for $W \gg L$,

nmosSLT for $L \gg W$,

Number of gates should be minimized

--> tradeoff with speed and noise

In CMOS logic with normal nmos/pmos, pmos should be overdimensioned to compensate for nmos leakage after TID

Shielding between devices recommended (block transient couplings and inversion channel leakage)

Guard rings recommended to prevent radiation induced latchup

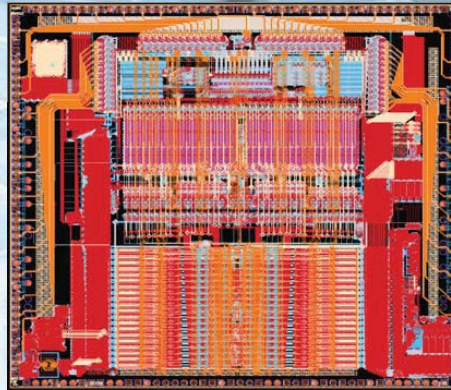
Minimum gate length should be avoided especially for nmos devices to reduce leakage

Margin for minimum L needed for higher lifetime in analog circuits (LEO)

Other bipolar, passive, etc devices also designed

- Broadband DAC (ESA-Project)
12bit 1.5GSps communication DAC for satellite applications (BiCMOS) in strong collaboration with IHP, focusing on calibration, radiation hardness and reliability
- Guidelines/design rules for radiation tolerant standard cell logic
- Analysis of physical radiation effects on CMOS logic (space apps)
- Modelling radiation effects on circuit level (SEE, recovery time, redundancy)
- Development of start-up and background calibration, clock generation etc

1.5 GSps 12 bit DAC
in IHP SGB25V technology
(dimensions 5x5mm²)



Satellite technology and CMOS technology evolution

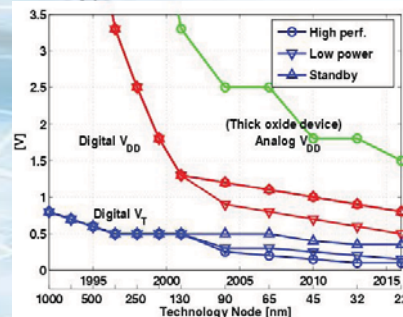
Number of digital devices of satellites is continuously increasing (SAR, digital beam-forming, flexible payload satellites etc.)

Scaling of CMOS technology allows processors to work with higher energy efficiency

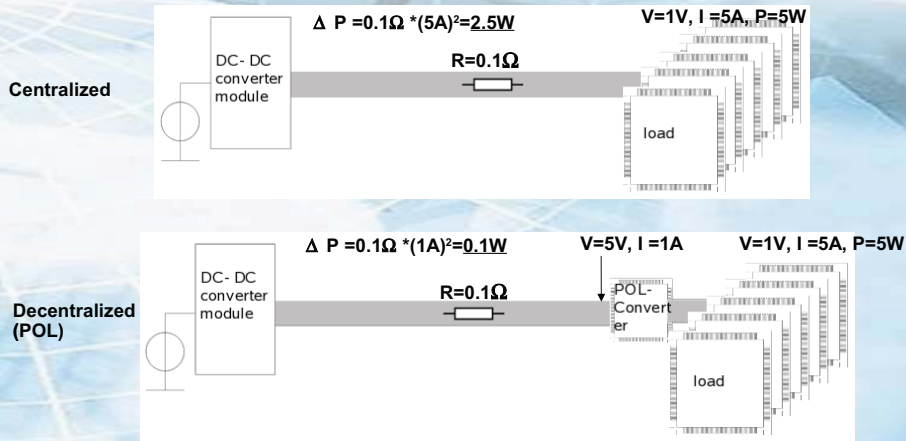
In the overall balance the dissipation loss increases:

- Amount of digital signal processing increases => P ↑
- The dynamic power consumption falls => P ↓
- but the static power consumption increases (leakage currents) => P ↑
- Supply voltage falls => V ↓
- => As $P=V \cdot I$, the current consumption increases overproportionally => I ↑↑

Development of digital systems to very low supply voltages and overproportionally increasing currents !

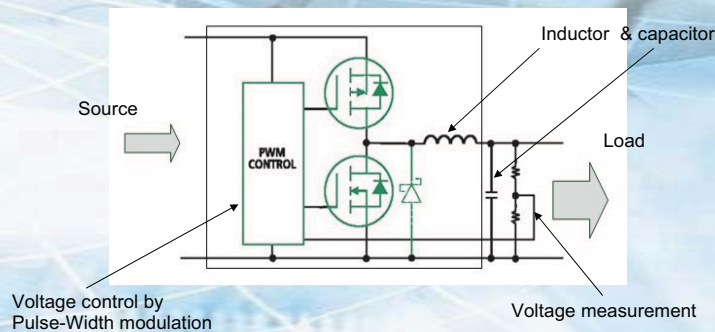


Central supply Vs Point-Of-Load (POL) design tactics



Interconnect losses is proportional $1/V^2_{line}$!
=> generate low supplies close to the load

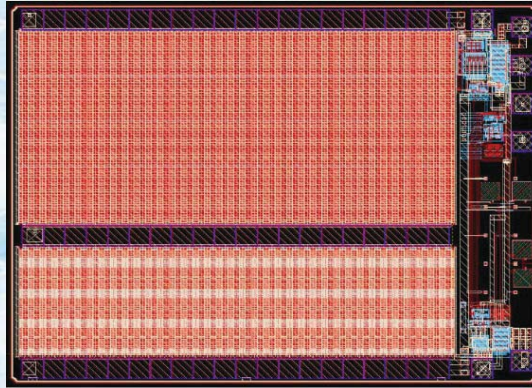
**POL DC-DC-Converter Principle
(CMOS Buck Converter)**



- In monolithic-integration Realization:
 - Common MOS Buck-Converter Principle
 - Lateral Diffused MOS-Transistors (LDMOS) => High switching frequencies

- DC-DC Buck-converter design (POL, high efficiency, 1A)
- LDMOS power transistor design up to 6A
- Feasibility studies on special high voltage and upconverter designs (display drivers etc.)

6A power LDMOS with driver circuit
in IHP SGB25VD technology
(dimensions 2.0x1.5mm²)

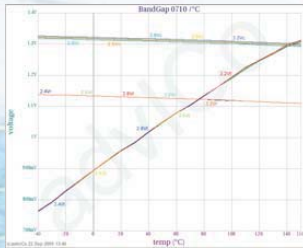
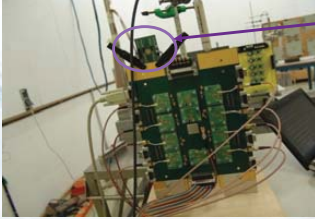


Radiation test at the university of Yale with commercial POL-converter modules

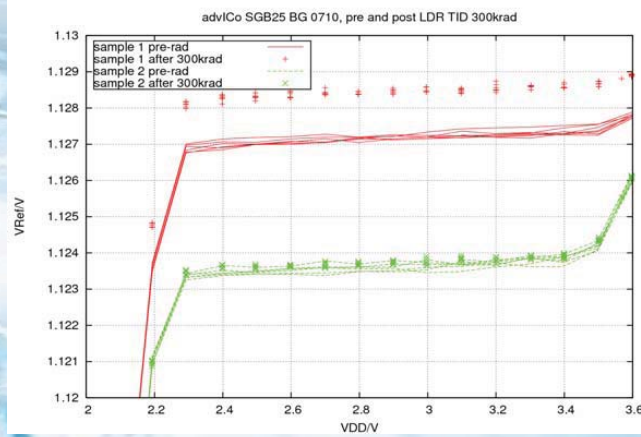
- POL-Converter of Enpirion, USA, (manufactured with IHP-Technology) showed 300x more radiation tolerance than other commercial modules
- Designed by adviCo
- Development of the Converters was a Cooperation of Enpirion, adviCo and IHP
- IP: inductor integration (Enpirion), Converter-Design (advico), LDMOS-level (IHP)
- ITAR-free component possible

Device	Time in Seconds	Dose before Damage Seen (krads)	Observations Damage Mode
TPS 62110	720	40	Increasing input current
ISL 8502	730	40.6	Increasing input current
MAX 8654	850	47.2	Loss of output voltage regulation
ADP 21xx	1000	55.6	Loss of output voltage regulation
ST1510	2250	125	Loss of output voltage regulation
IR3822	2500	139	Increasing input current
EN5382	2000	111	Loss of output voltage regulation
EN5360 #3	864000	48,000	MINIMAL DAMAGE
EN5360 #2	TESTED IN 2007	100,000	MINIMAL DAMAGE

Advico Bandgap chip



Before irradiation



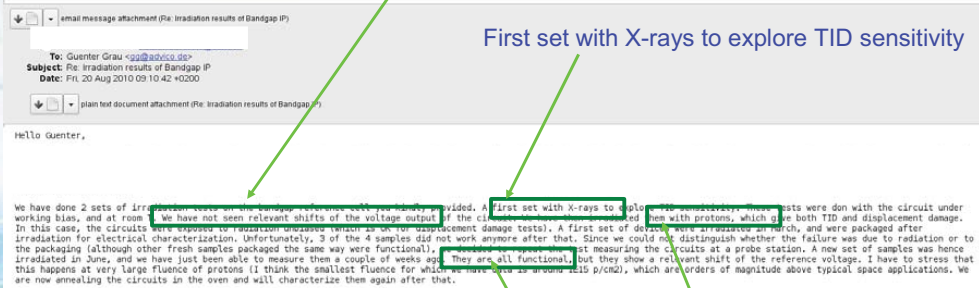
Almost no deviation after irradiation after Low dose rate test with Co-60 source at European Space Research and Technology Centre (ESTEC)

We have not seen relevant shifts of the voltage output

First set with X-rays to explore TID sensitivity

Irradiated with photons : for TID and displacement damage

They all are functional



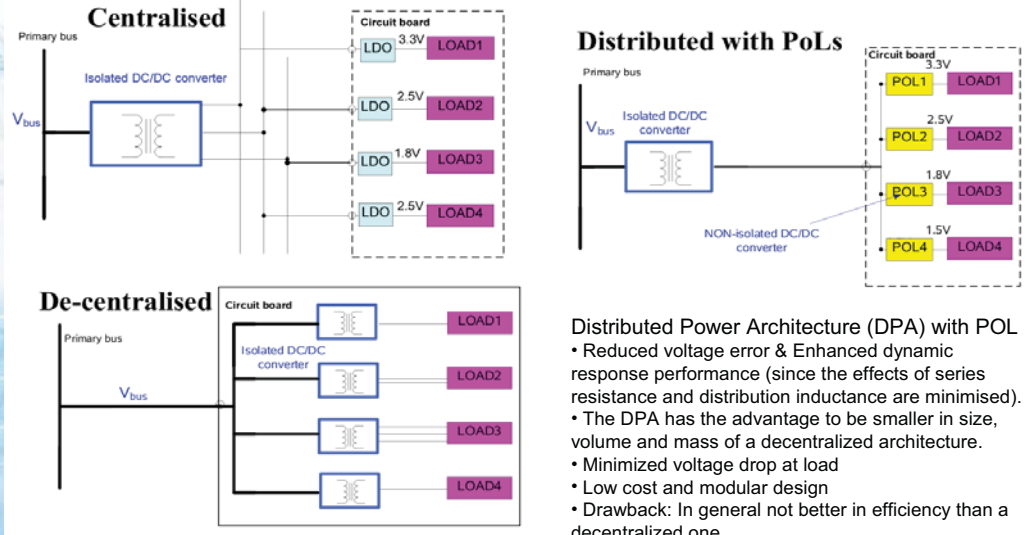
- Comparator topology changed
 - => active load instead of diode connection
 - =>> for better gain
- A voltage regulator is added
 - Two comparators are used for voltage comparison
 - compares BG voltage and double of BG voltage
 - In lower supply voltage, internal voltage is not sufficient for comparison
- Bipolar's operating region is ensured
 - For long temperature and voltage range
- Used new type of resistor for PTAT voltage
 - => to reduce radiation effect
- Finally, start-up circuitry is added
 - Thermometer voltage is adjusted to 3mV/K
 - Thermometer voltage slope is made linear

PoL, specifications

- **The Rad-Hard (max 100kRad, SEL toler. 60-80MeV/g/cm2) POL** for digital loads has to satisfy:
 - **Load requirements** (e.g. of BC: COT DSPTX 5W, 3.3V; COTS Maxwell CPU board SCS750 on Gaia, 3 Power PC at 3.3V, 3x10W, but in an OBDH system the voltage levels are also lower, 2.5V and 1.5V for each max 2W constant.
 - In the future (64nm technologies) core needs 1.2V with around 15W.
 - The worst load are MMs, which go suddenly from inactive to active mode with a slew rate of 10A/μs, this aspect has a big influence on the design and SEE tolerance.
 - **High dynamical performances** (10A/μs and ±5% output voltage deviation max, transients included)
 - **Efficient** (more than 90%)
 - **Small size and weight** (<5cm² area on PCBs, 10mm height and 15g with input EMI filter)
 - **Compact design** (smaller bulky passive components → high frequency)
 - **Flexible and recurrent** (majority of application → max 12-15W)

The POL converter does not need to be SPFF (single point failure free) but the overall Distributed Power Architecture (DPA) shall be configured to avoid uncontrolled failure propagation, and allow safe switch over to the redundant part

Points of Load Converters and distributed power architecture approach

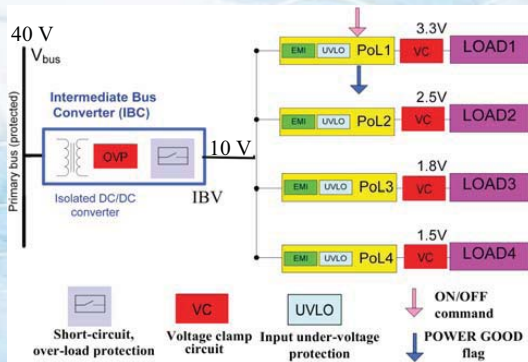


Distributed Power Architecture (DPA) with POL

- Reduced voltage error & Enhanced dynamic response performance (since the effects of series resistance and distribution inductance are minimised).
- The DPA has the advantage to be smaller in size, volume and mass of a decentralized architecture.
- Minimized voltage drop at load
- Low cost and modular design
- Drawback: In general not better in efficiency than a decentralized one

Distributed power architecture based on PoL converters, failure management

For space applications, failure modes shall be covered in all the Distributed Power Architectures based on PoL converters, such that there is **no possibility** to have **failure propagation** of electrical, thermal and other nature, from main to redundant side of the equipment of function.



EMI (Electromagnetic Interference)
Filters to reduce SEE effect

Reason: The energetic particles can initiate spurious transients at the input of the other POLs which can trigger their UVLO

PWM generator for POL DC-DC-Converter

The PWM Generator can generate pulse width modulation signals whose duty cycle can be changed instantaneously. The simplest way to generate a PWM signal requires only a sawtooth or a triangle waveform and a comparator. The comparator compares the sawtooth or triangle waveform value with reference signal to generate the modulation waveform.

PWM can generate frequencies 100kHz~2MHz

Offers multi-phase operation

Phases increases load current driving capability

Can be used for stand alone, 2-phase, 3-phase, 4- phase and 6-phase

Versatile to use it for load variations

Hysteresis loop is added

Built-in Voting circuit

Comparators, Digital blocks are sensitive to SEE

Built-in bandgap generator circuit for all reference voltages

Phased PWM signal generation

The sawtooth waveform have fixed lower and upper voltage level
minimum level is considered as 0° phase
maximum level is considered as 180° phase

By finding suitable intermediate voltage, different phases of the signal can be generated



Multi-phase POL can handle higher load requirements

Thus, based on load current requirement, multiple POL will have connection using their proper phase trigger output and inhibit input to have 360-phase offset

Other features

Frequency control of sawtooth generator

Capacitors are used to store charge using charging and discharging current. Thus 2 ways, frequency of the sawtooth generator can be controlled.

By changing reference current or by changing capacitance value
Both can be done externally

Frequency generation inhibition

An inhibit signal is provided to allow disabling the sawtooth generator. This with powerdown signal can disable the complete chip to reduce power consumption

Inhibit signal will be used for phase-coupling that increases the load capability

Inhibit-conditions: Either remain at ground (low condition) for continuous operation or in high condition it inhibits start of the next cycle

Voting circuit for radiation hardening

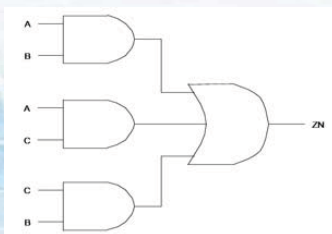
High gain, rail to rail comparators are used to generate sawtooth waveform followed by a hysteresis loop

This circuit also contains FF and digital logic gates

Thus several places are there to have SEE faults

Voting circuit can diminish this problem

This have several inputs and output is based on majority of input logic levels

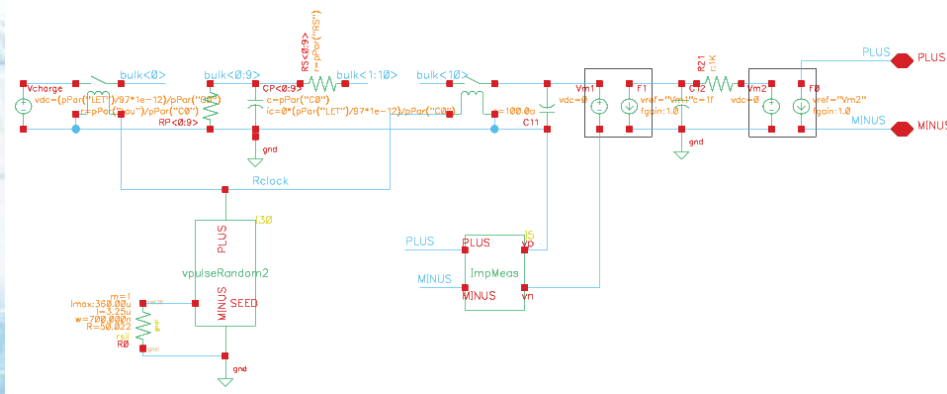


Simplest voting circuit

Among A, B, C
at least 2 of them will be in same logic level.
Output will follow that logic

Several voting circuits are placed in all crucial nodes of sawtooth generator to diminish SEE faults thus making the circuit radiation hardened

Radiation hard test benches



Designed Testbench for SEE
Where the pulse generator injects a transient charge

Have options
•For different collection length
•For different energy range

Layout considerations

In order to ensure a symmetrical and compact layout for the matched transistors, the OpAmp, comparators must employ proportional transistor sizes for the output, current mirrors and differential input stages.

Restrict routing on Poly layer, inhibit device to device channels with channel stoppers

Avoid minimum feature size to reduce leakage effects

Using enclosed drain/source transistors

Radiation hardening from soft error rate

use additional well isolation (triple-well or guard-ring structure) to reduce the amount of charge collected by creating potential barriers

Guardrings even for fundamental blocks

Controls leakage also

NWELL rings around functional blocks

Charge trapping in bulks are transferred to supply rails

Ground and Power metal busses must be widened with respect to regular designs in order to prevent supply voltage drops induced by high dose-rate events.

- [1] ARTES 30/20 Early Structures Radiation Test Reports, document numbers 30/20-RP-KT-002 & 30/20-RP-KT-001 (Date 15th Oct'2007) of Kayser Threde GmbH
- [2] S. Diez et. al., "IHP SiGe:C BiCMOS technologies as a suitable backup solution for the ATLAS Upgrade Front-End electronics" IEEE Transactions on Nuclear Science, vol. 56, issue 4, pp. 2449-2456, August'2009
- [3] "Design Kit for Space Applications" adviCo's presentation in IHP, 6th Nov'2009
- [4] "Point of load converter design plan" POLCo meeting with DLR, 24th July'2009
- [5] "Requirements Specification of Point-of-Load Converter", Document numbers POL-RP-KT-001 (Date 3rd Aug'2010) of Kayser Threde GmbH
- [6] M. Triggianese " DC distributed power architecture with Points of Load Converters", march 2008-2010 Research fellowship final presentation, 29th April'2010
- [7] G. Anelli, "Radiation-hard circuits in deep submicron CMOS technologies", Brookhaven national laboratory instrumentation division seminar, 21st April'2004
- [8] F. Tonicello, M. Triggianese "Points of Load Converters and distributed power architecture approach", ESA technology innovation day, 18th Feb'2010
- [9] Snoeys et. al., "A new NMOS layout structure for radiation tolerance", IEEE Trans. On Nuclear Science, 2002
- [10] S. Dhawan et al., "Radiation Resistant DC- DC Power Conversion with Voltage Ratios > 10 Capable of Operating in High Magnetic Field for LHC Upgrade Detectors" *Topical Workshop on Electronics for Particle Physics*, Naxos, Greece, 15 - 19 Sep 2008, pp.508-512



Dynamische Re - Konfiguration eines FPGAs mittels internem Controller

SEI - Tagung an der GSI
Frühjahr 2011

Quelle: Bild: ESA – Erprobungssatelliten im Weltall
21. Februar.2011

von Markus Dick / m.dick@fz-juelich.de

Überblick

- Einleitung
 - Motivation und Stand der Technik
- Realisierung
 - Dynamische Re – Konfiguration des FPGAs
 - SelectMAP
 - ICAP
- Ergebnisse und Ausblick

DSPS (Digitale Signalverarbeitungssysteme)



Wir entwickeln und erstellen umfassende elektronische Systeme und Lösungen für wissenschaftliche Instrumente, wobei Signal- und Bildgebende Systeme auf fliegenden Trägern im Vordergrund stehen.

Projekte:

GLORIA: Ziel ist es erstmals ein detailliertes globales Bild des Tropopausenbereichs zu liefern.



Kompsat-3A: Entwicklung einer Infrarot Detektor Ausleseelektronik zum Einsatz auf einem **Satelliten**.



Was muss beachtet werden um Elektronik im Weltraum einzusetzen?

Quelle: DSPS – Homepage: www.fz-juelich.de/zel
21. Februar 2011

Folie 3

Randbedingungen und Störeinflüsse im Weltraum



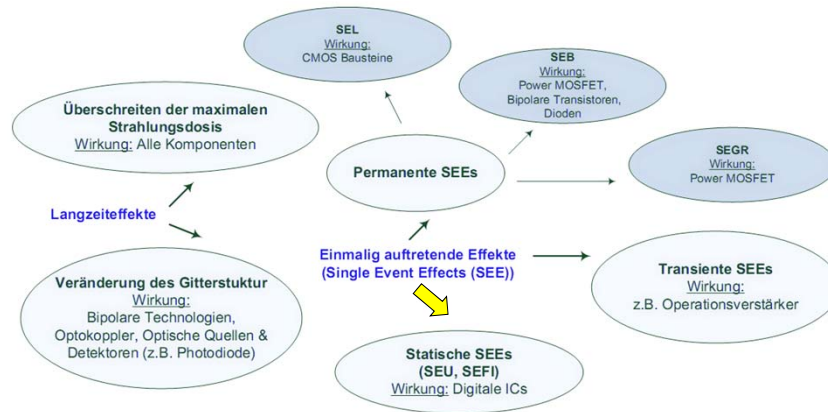
- **Vibrationen und Beschleunigungen** bei der Startphase der Trägerrakete
- **Temperaturschwankungen** (120 C bis -80 C) aufgrund von Sonnen- und Schattenzyklen im Orbit
- **Vakuum** (Problem: z.B. Aufplatzen von Kondensatoren, Abführen von thermischer Energie)
- **100%ige Funktion** → eingeschränkter Zugriff von der Bodenstation
- Höhere **Strahlungsmengen** im Vergleich zu Erde (**hoch energetische Teilchenstrahlung**)

Wie wirkt die Teilchenstrahlung auf die Elektronik ?

21. Februar 2011

Folie 4

Einleitung: Effekte durch Teilchenstrahlung



Wie oft tritt ein SEU auf?

Quelle: Joshua D. Engel, Michael J. Wirthlin, Keith S. Morgan, Paul S. Graham, ed., Predicting On-Orbit Static Single event Upset rates in Xilinx Virtex FPGAs, Los Alamos National Laboratory, 2006. LA-UR-06-8178.

21. Februar 2011

Folie 5

Einleitung: Auftrittswahrscheinlichkeit von SEUs

Beispiel eines Virtex-II (2V6000) FPGAs

Orbit	Altitude (km)	Inclination (degrees)	Upset Rate (SEU/device/day)	MTBF (Time/Event)
LEO	400	51.6°	0.67	1.5 days
LEO	800	22.0°	9	2.7 hrs
Polar	833	98.7°	6	4 hrs
Const.	1,200	65.0°	25	58 min
GEO	36,000	0.0°	0.47	2.1 days

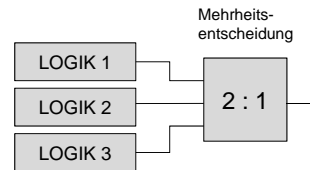
Quelle: XILINX - Defense & Aerospace Presentation - www.xilinx.com/publications/prod_mktg/MilAero.pdf

21. Februar 2011

Folie 6

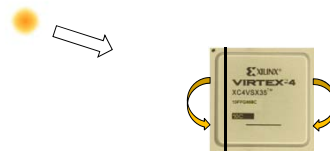
Einleitung: Stand der Technik

- Einsatz von Strahlungsfesten Bauteilen
 - **Teuer**
 - Evtl. **Qualifikation** von Bauteilen erforderlich
- TMR Triple Module Redundancy
 - Dreifache Implementierung der FPGA Logik
 - Mehrheitsentscheider an den Ausgängen
 - **Fängt nur ein SEU auf**



Aktuelle Lösungsansätze:

- Sicherung der FPGA Konfiguration
 - *Periodisches Auffrischen der Konfiguration*



Quelle FPGA Bild: Digikey - <http://media.digikey.com/photos/Xilinx%20Photos/XC4VLX80-10FFG1148C.JPG>
21. Februar 2011

Folie 7

Realisierung

21. Februar 2011

Folie 8

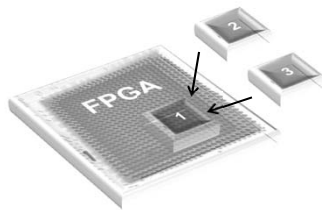
Realisierung: Dynamische Re - Konfiguration

Was gibt es für Re - Konfigurationstechniken?



Partielle dynamische
Re - Konfiguration

Komplette dynamische
Re - Konfiguration



=> **Komplette dynamische Re - Konfiguration**

Realisierung: Externe / Interner Konfigurationskontrolller

Mögliche Schnittstelle

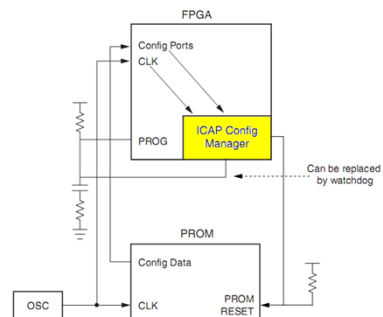
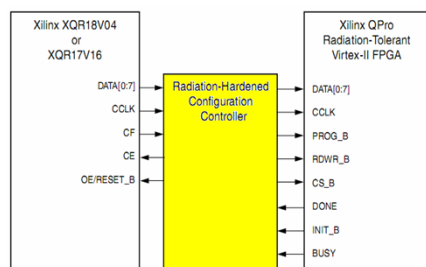


SelectMAP Schnittstelle

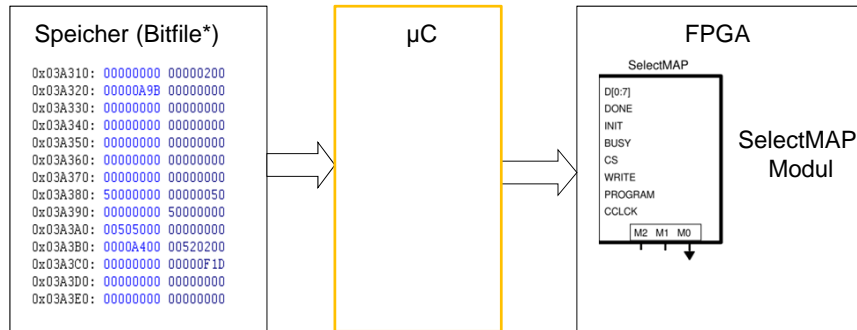
ICAP Schnittstelle

Externe Konfiguration (ext. µC)

Interner Konfigurationskontrolller



Realisierung: Re – Konfiguration mittels μ C & SelectMAP



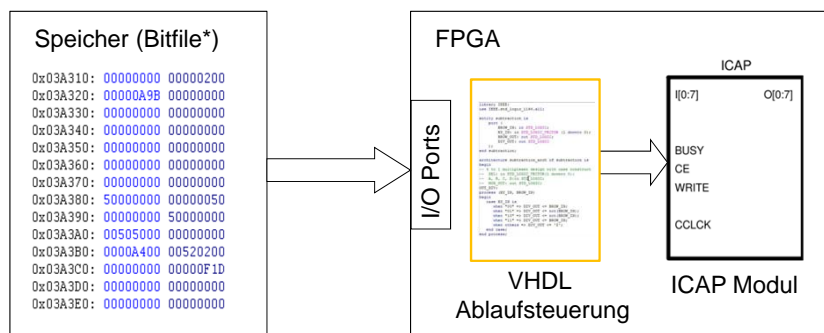
Nachteil:

externer μ C → Anfällig gegen Störeinflüsse

Quelle Bild SelectMAP: C. Bobda, ed.- Designing Partial and Dynamically Reconfigurable Applications on Xilinx Virtex-II FPGAs using Handel - C
21. Februar 2011

Folie 11

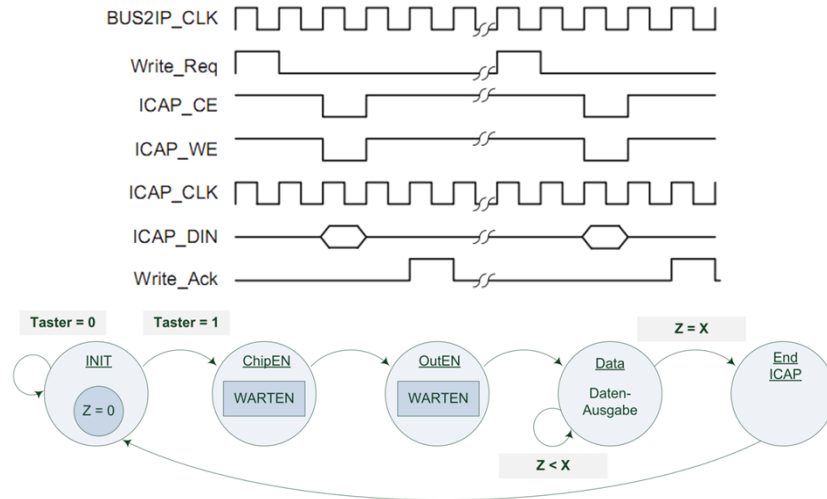
Realisierung: VHDL Statemachine fürs ICAP



Quelle Bild ICAP: C. Bobda, ed.- Designing Partial and Dynamically Reconfigurable Applications on Xilinx Virtex-II FPGAs using Handel - C
21. Februar 2011

Folie 12

Realisierung: VHDL Statemachine fürs ICAP

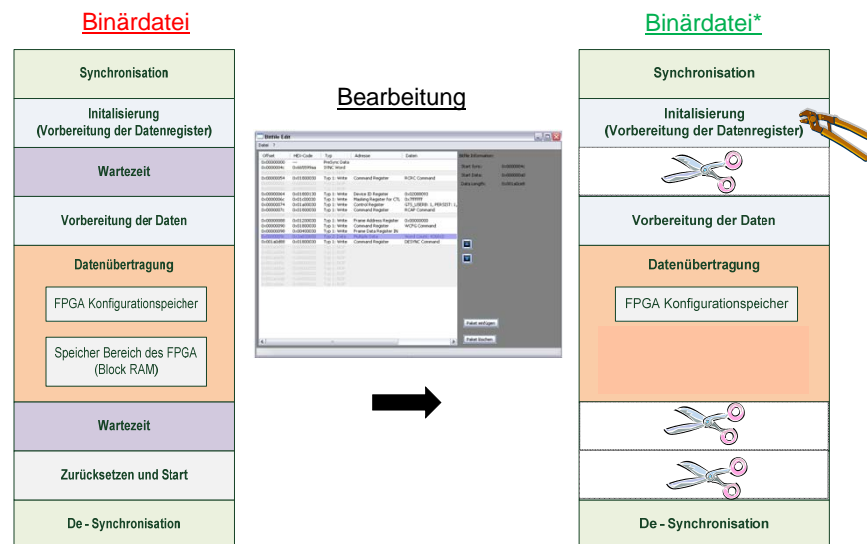


Quelle Bild (oben): XILINX - Vince Eck, Punit Kalra, Rick LeBlanc, and Jim McManus – XAPP662 - In-Circuit Partial Reconfiguration of RocketIO Attributes

21. Februar 2011

Folie 13

Realisierung: Bearbeitung der Binärdatei



21. Februar 2011

Folie 14

1. Binärdatei (Laufflicht „links.bit“)



2. Binärdatei*
(Für die Re – Konfiguration
„links_SR.bit“)



3. Binärdatei_SEU („links_SEU“)

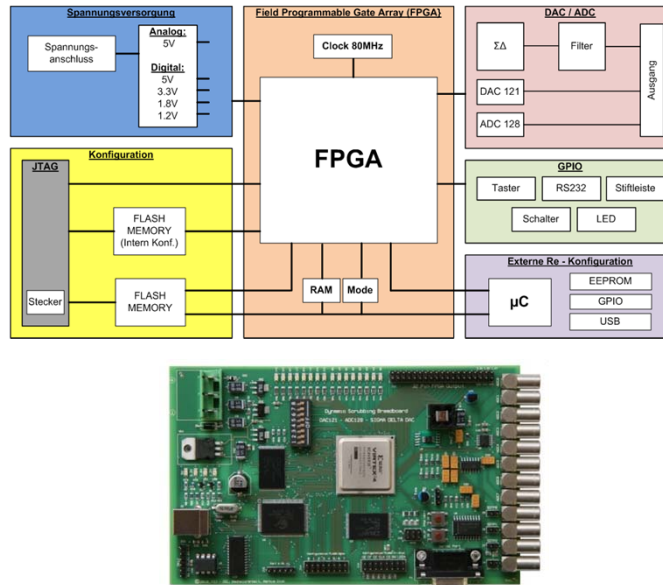


Texteditor

```
Dx03A310: 00000000 00000200 00000000 20000000 .....  
Dx03A320: 00000A98 00000000 00000000 00000000 ...I.....  
Dx03A330: 00000000 00000000 00000000 00000000 .....  
Dx03A340: 00000000 0000 SEU Simulation .....  
Dx03A350: 00000000 0000 .....  
Dx03A360: 00000000 00000000 00000000 00000000 .....  
Dx03A370: 00000000 00000000 00 5000 00000000 .....PP.....  
Dx03A380: 50000000 00000050 00 0000 00000000 P...P...  
Dx03A390: 00000000 50000000 00040000 00000000 ...P...  
Dx03A3A0: 00505000 00000000 00000000 00000000 .PP.....  
Dx03A3B0: 0000A400 00520200 40000000 02220000 *..R..@...  
Dx03A3C0: 00000000 00000F1D 00000000 00000000 .....  
Dx03A3D0: 00000000 00000000 00000000 00000000 .....  
Dx03A3E0: 00000000 00000000 00000000 00000000 .....  
Dx03A3F0: 00000000 00000000 00000000 00000000 .....  
Dx03A400: 00000000 00000000 00000000 00000000 .....  
Dx03A410: 00000000 00000000 50000000 00000000 .....P.....
```

Testumgebung

Realisierung: Aufbau der Testumgebung



21. Februar 2011

Folie 17

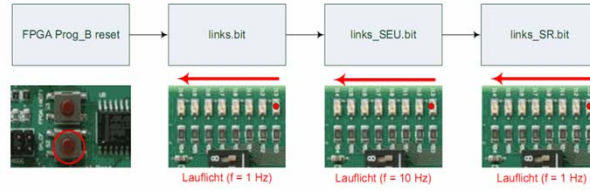
Messergebnisse

21. Februar 2011

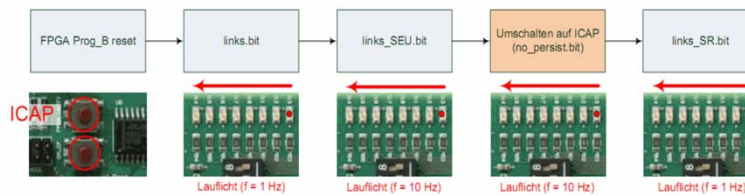
Folie 18

Messergebnisse: Test „LAUFLICHT“

SelectMAP:



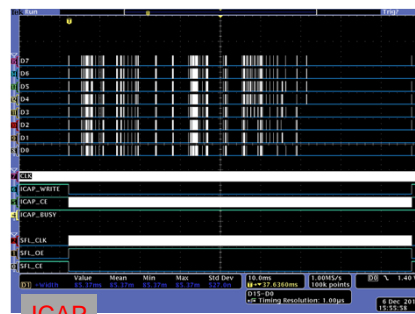
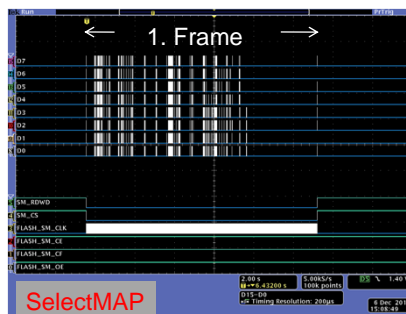
ICAP:



21. Februar 2011

Folie 19

Messergebnisse: Dynamische Re - Konfiguration



SelectMAP Schnittstelle:

Externer Mikrokontroller → Speicher Beschränkung → Übertragung von mehreren Paketen → **Übertragung im Bereich von mehreren Sekunden**

ICAP Schnittstelle:

Interner Ablaufsteuerung → **Re - Konfiguration im Bereich von 85ms**

21. Februar 2011

Folie 20

Zusammenfassung & Ausblick

21. Februar 2011

Folie 21

Zusammenfassung und Ausblick:

Neue Sicherungstechnologien zum Einsatz eines FPGA im Weltraum wurden erarbeitet:

➤ Re – Konfiguration mittels ICAP

- ➔ Ablaufsteuerung für die ICAP Schnittstelle
- ➔ Softwareoberfläche zur Bearbeitung der Binärdateien
- ➔ Kein externer Mikrocontroller notwendig
- ➔ Dynamische Re – Konfiguration in ca. 85ms

- ➔ Ausblick: - Implementierung der ICAP Ablaufsteuerung in TMR Technik
- Erweiterung der Software für den Einsatz von Virtex 5 FPGA Bausteinen (Xilinx)

Abschließend möchte ich mich bei Herrn Jano Gebelein und Herrn Norbert Abel von der Universität Heidelberg für die Unterstützung, bei der Anpassung der Binärdateien, bedanken.

21. Februar 2011

Folie 22

Vielen Dank für Ihre Aufmerksamkeit!



Haben Sie noch Fragen?

m.dick@fz-juelich.de

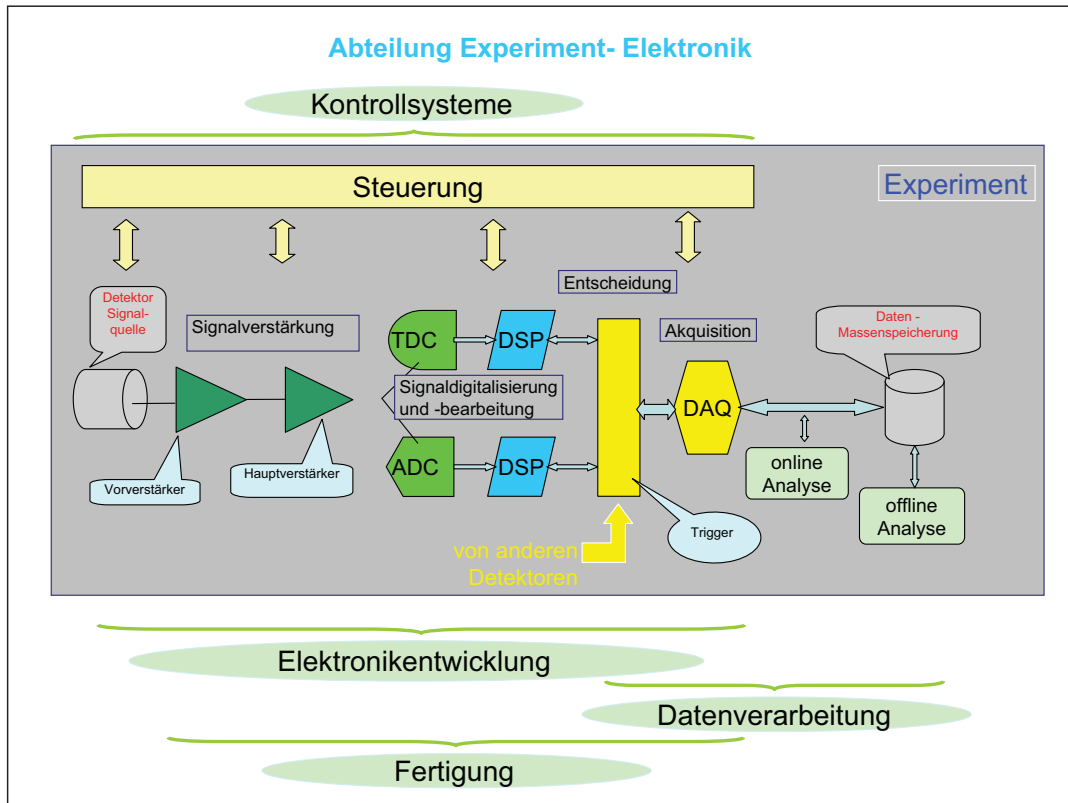


Entwicklungen in der Abteilung Experiment-Elektronik der GSI

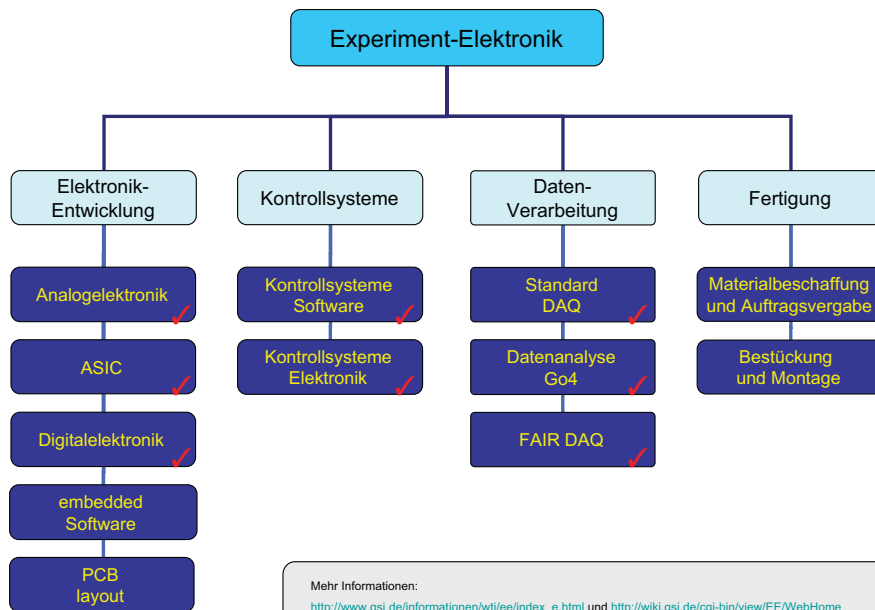
Karsten Koch
GSI Helmholtzzentrum für Schwerionenforschung GmbH, Darmstadt

- Übersicht
- Vorstellung einer Auswahl von Entwicklungen
- ...ein aktuelles Beispiel...

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011



GSI Experiment-Elektronik Gruppen



Mehr Informationen:

http://www.gsi.de/informationen/wti/ee/index_e.html und <http://wiki.gsi.de/cgi-bin/view/EE/WebHome>
 Impressum, Urheberrecht und Haftungsausschluss: http://www.gsi.de/disclaimer_e.html

Entwicklungen in der Analog-Elektronik

... eine kleine Auswahl...



Verstärker:

SiLiVer

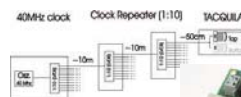
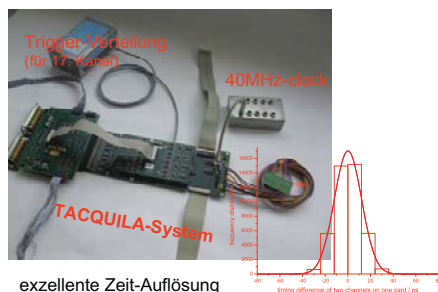


16 Kanal, rauscharmer Verstärker mit Differenziellen Ausgängen

Clock-Signal Erzeugung und Verteilung:



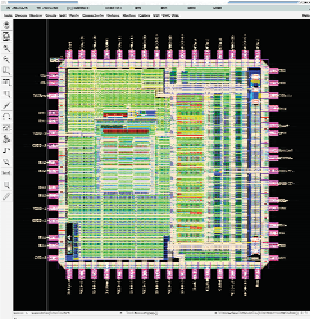
Zeitmeß-System:



Vortrag -> Mi, 11:00, K.Koch: Entwicklung, Anwendungen und Erweiterungen des TACQUILA Zeitmeßsystems

Entwicklungen in der ASIC-Gruppe

... eine kleine Auswahl...



•Projektbeispiel: GSI Event

Driven TDC (GET4)

- 180-nm-CMOS
- 3,24 × 3,24 mm²
- 4 Kanäle
- Zeitaufösung: < 25 ps
- Burst-Rate: 320 MHz
- Time over Threshold Messung
- Serieller Datenausgang

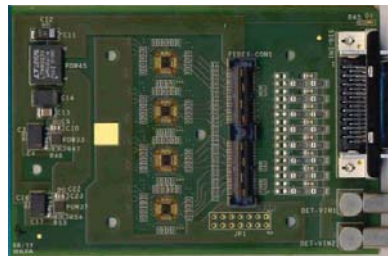
•Arbeitsgebiete:

- Full Custom Analog und Digital-Design
- HDL basiertes Digital-Design
- Test und Charakterisierung

Vortrag -> Mi, 8:30, H. Flemming: ASIC - Entwicklungen in GSI - Experimentelelektronik

•Projektbeispiel: APFEL

- Vorverstärker und Shaper
- 350-nm-CMOS
- Für APDs mit Cdet = 300 pF
- 2 Kanäle
- Dynamikbereich: 10000
- Geringes Rauschen
- Ratenfestigkeit > 350 kHz



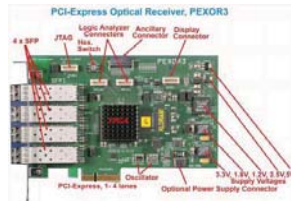
Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

Entwicklungen in der Digital-Elektronik

... eine kleine Auswahl...



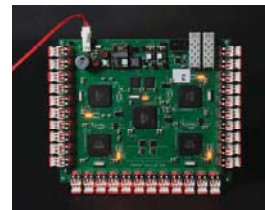
- Universelle programmierbare Logic Einheiten
- Front-End Elektronik
- Trigger und Synchronisation
- ...



VULOM5



MDC-Optical-AddOn



- Data concentrator for 32 times 250Mb/s Plastic-Optical-Fibres.
- Concentrated data is sent via 2Gb/s optical links or/and directly via GbE to a switch
- 48V galvanically isolated power supply
- no other connection!

TRIXOR



Trigger and synchronization module

FEBEX2



FEBEX2/8 is 8 channel pipeline ADC Front End Board with optical link EXTension.

FPGA-TDC

- 48 channel, 6 ps/channel (9 ps RMS between two channels) implemented in Virtex4LX40
- no range limitation
- permanent running calibration (temperature drifts *don't* hurt)
- crosstalk below time resolution

Vortrag -> Mo, 17:45, J.Frühau: FPGA basierte Readout Elektronik

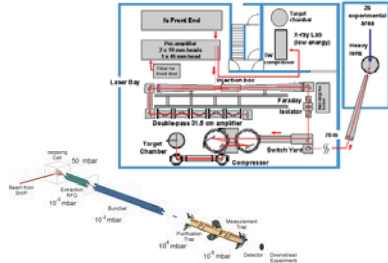
Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

Entwicklungen der Kontrollsystem Gruppe

... eine kleine Auswahl...



CS Framework (LabVIEW-based)
Ionenfallen, PHELIX, FOPI

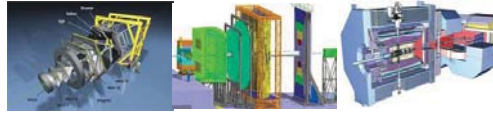


EPICS



EPICS: Experimental Physics and Industrial Control System

HADES, CBM, PANDA, NUSTAR



TASCA (LabVIEW & Beckhoff)



Beckhoff Meilensteine

Standards für die Automatisierung



Studie: Mobiles Agenten System

- LabVIEW Class Library
- Materialforschung



•Spezielle Hardware (z.B. HV-Switch)



Vortrag -> Di, 17:15, T. Torres de Heidenreich: Motor control systems with Beckhoff terminals (Motor Steuerung mit Beckhoff Klemmen)

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

Entwicklungen in der Gruppe Datenverarbeitung

... eine kleine Auswahl...

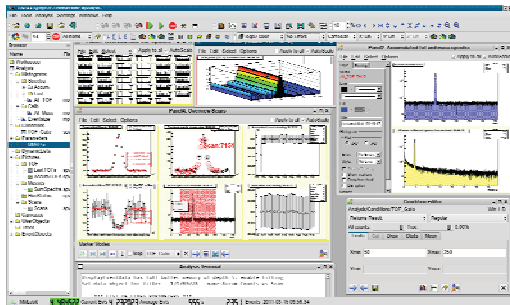


MBS

Standard Data Acquisition System at GSI

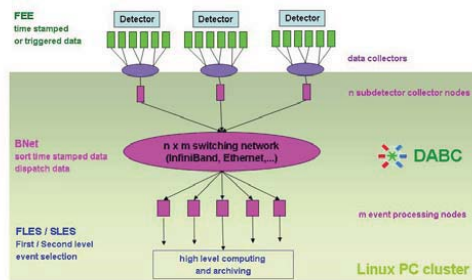
- Based on Real-time OS LynxOS (v2.5, v3.0)
- Written entirely in C
- CAMAC, Fastbus, VME, VXI
- GSI trigger module required (CAMAC, Fastbus, VME)
- M68k CPUs (CVC, Eltec), PPC CPUs (CES RIO2, RIO3), standard PCs (LynxOS)
- Memory mapped data flow via VSB, VME
- Network data flow via Fast or Gigabit Ethernet switches (multiple event builders)
- Scalable from single crate to hierarchical multi-processor structures
- Best performance for given hardware
- ...

Go4 (GSI Object Oriented Online-Offline System)



Ein Analyse- und Monitoring-Framework für verschiedene Experimente (Atomphysik, Kernphysik,...)

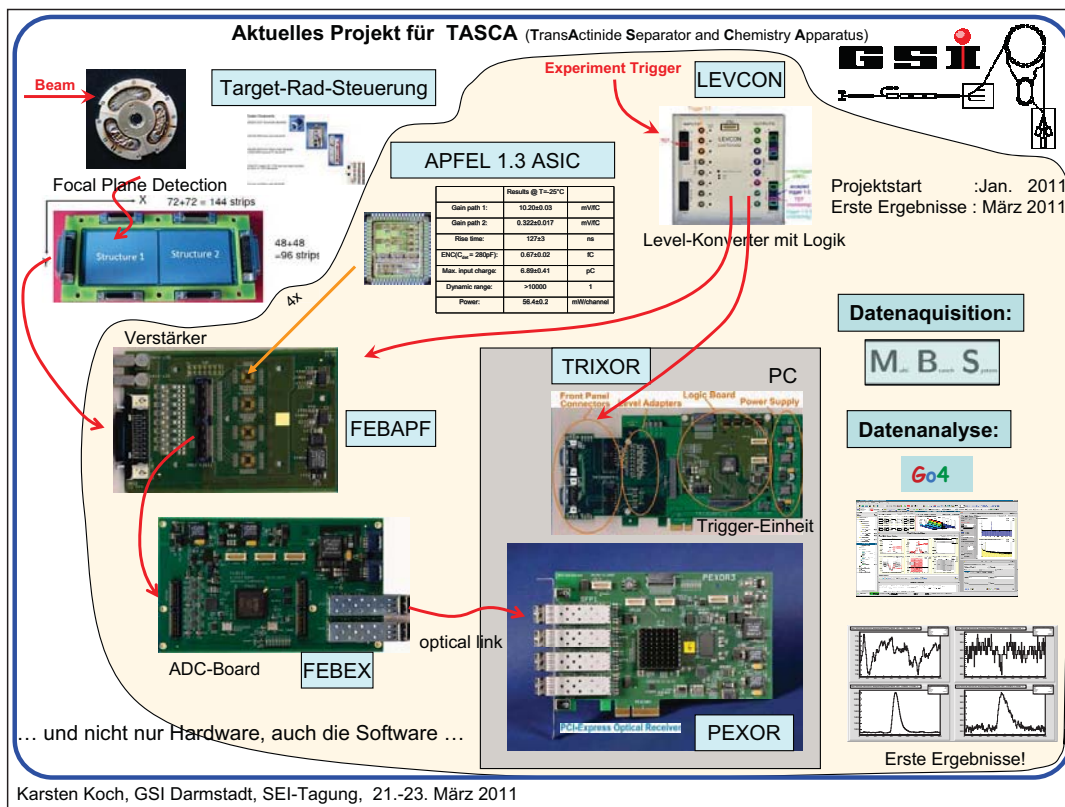
DABC (Data Acquisition Backbone Core)



Flexibles Software Framework für (verteilte) Datenaquisition

Vortrag -> Mi, 12:00, J. Adamczewski-Musch, S. Linev: Software framework Data Acquisition Backbone Core

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011



Linux & EPICS

SEI Workshop
GSI, Mar 21 2011

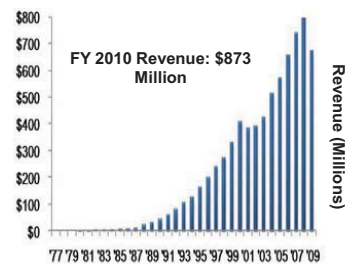
Murali Ravindran
Big Physics

ni.com



Corporate Background

- Leaders in Computer-based Measurement and Automation
- Long-term Track Record of Growth and Profitability
- 29% YoY Growth in 2010
- More than 5,000 employees; operations in 40+ countries
- R&D Investment: 16% of Annual Income
- *Fortune's* 100 Best Companies to Work For: 12 Consecutive Years



ni.com



Engineering Grand Challenges



Cancer Detection

Advance health informatics



Hadron Collider

Engineer the tools of scientific discovery



Infant Brain Scans

Reverse-engineer the brain



Tokomak Plasma Control

Provide energy from fusion



IV Drift Pump

Engineer better medicines



Advanced Purification

Provide access to clean water



Haptics

Enhance virtual reality



Olympic Stadium Safety

Restore and improve urban infrastructure



CO₂ Storage

Develop carbon sequestration methods



Distance Learning

Advance personalized learning



Cheap Solar Panels

Make solar energy economical



Material Monitoring

Prevent nuclear terror



Spectral Monitoring

Secure cyberspace



Costa Rica Rain Forest

Manage the nitrogen cycle

Diversity of Applications



Telecom



Automotive



Semiconductors



Electronics



Computers



ATE



Military/Aerospace



Advanced Research & Big Physics



Petrochemical



Food Processing

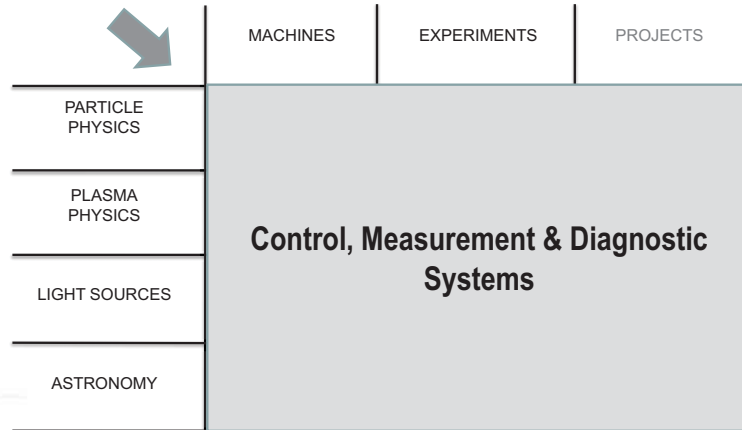


Textiles

ni.com



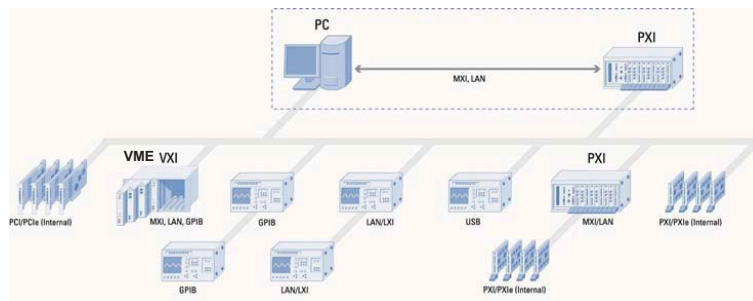
What is Big Physics?



ni.com



Hybrid Measurement/Control Systems



ni.com



RIO on Linux with the FPGA Interface C API

ni.com



FPGA

- LV FPGA strategy is to empower domain experts to leverage FPGA technology
 - No VHDL / Digital Design training
- For VHDL experts
 - CLIP / IP Integration nodes to integrate IP (minimal LV FPGA required during development)
- Deployment in Linux (C/C++) environment

ni.com



FPGA Interface C API and Linux

- Use RIO devices (e.g. FlexRIO or cRIO MXI expansion) from C/C++ applications running on Linux
- Generate C header file from Windows development machine, then use C compiler of choice on Linux
- Development System Requirements for LabVIEW FPGA:
 - Windows XP (or later)
 - NI-RIO 3.5.0 (or later)
 - FPGA Interface C API 1.2 (or later)
 - LabVIEW FPGA 2009 (or later)
- Deployment System Requirements:
 - 32-bit Red Hat Enterprise Linux 5.x or 32-bit Scientific Linux 5.x
 - NI-RIO 3.5.0 for Linux (or later)



ni.com





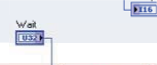
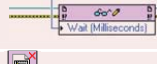

Customer Experience



1. Develop LabVIEW FPGA VI, compile bitfile, and generate C API.
2. Develop and build C/C++ application with generated C API.
3. Deploy built application and bitfile to Linux target, and run.

ni.com



<pre>#include "NiFpga_MyFpga.h"</pre>	Include C API Header	
<pre>#include <stdio.h></pre>		
<pre>int main() {</pre>		
<pre> NiFpga_Status status = NiFpga_Initialize();</pre>	Load C API Library	
<pre> if (NiFpga_IsNotError(status)) {</pre>		
<pre> NiFpga_Session session;</pre>		
<pre> NiFpga_MergeStatus(&status,</pre>		
<pre> NiFpga_Open(NiFpga_MyFpga_Bitfile,</pre>	Open Session	
<pre> NiFpga_MyFpga_Signature,</pre>		
<pre> "RIO0",</pre>		
<pre> 0,</pre>		
<pre> &session));</pre>		
<pre> if (NiFpga_IsNotError(status)) {</pre>		
<pre> int16_t temperature;</pre>		
<pre> uint32_t wait;</pre>		
<pre> NiFpga_MergeStatus(&status,</pre>		
<pre> NiFpga_ReadI16(session,</pre>	Read I16 Indicator	
<pre> NiFpga_MyFpga_IndicatorI16_DeviceTemperature,</pre>		
<pre> &temperature));</pre>		
<pre> printf("Temperature: %d\n", temperature);</pre>		
<pre> printf("Wait (Milliseconds): ");</pre>	User Interaction	
<pre> if (scanf("%u", &wait))</pre>		
<pre> NiFpga_IsNotError(status,</pre>		
<pre> NiFpga_WriteU32(session,</pre>	Write U32 Control	
<pre> NiFpga_MyFpga_ControlU32_WaitMilliseconds,</pre>		
<pre> wait));</pre>		
<pre> NiFpga_MergeStatus(&status, NiFpga_Close(session, 0));</pre>	Close Session	
<pre> }</pre>		
<pre> NiFpga_MergeStatus(&status, NiFpga_Finalize());</pre>	Unload C API Library	
<pre> }</pre>		
<pre> if (NiFpga_IsError(status))</pre>		
<pre> printf("Error %d!\n", status);</pre>		
<pre> return status;</pre>		
<pre>}</pre>		

Recommended Hardware

- Any RIO hardware
 - R Series, FlexRIO, cRIO Expansion chassis (MXI Express RIO)
- Desktop System
 - Any system supported by RHEL 5.x or SL 5.x
- PXI Express System
 - Controller: PXIe-8101 or PXIe-8108
 - Chassis: Any, except PXIe-1073

FPGA Interface C API and Linux

- PXI - FPGA on 32bit RHEL/SL available today
 - <http://zone.ni.com/devzone/cda/tut/p/id/12008>
- PXI - FPGA for **64bit** RHEL/SL work in progress
 - **Q4-2011 release**
 - **May 2011 – Beta version currently on track**

ni.com



NI Measurement Hardware Driver Development Kit (NI MHDDK)

ni.com



NI MHDDK

- Register-level programming for Data Acquisition
- Generic interface for OSs such as Windows CE, Linux, Mac OS X , QNX, etc...
- Most DAQ devices (X*, M, E, S, AO, DIO, CNTR)
- Driver developed entirely by the customer
- Source code only, very small footprint
- <http://digital.ni.com/express.nsf/bycode/exyv4W>

ni.com



NI MHDDK

- ITER Data Acquisition
 - NI PXI 6259
 - 32 AI, 4 AO
 - 16 bits
 - 1.25 MS/s

 - NI PXIe 6368
 - 16 AI, 4 AO
 - 16 bits
 - 2 MS/s/ch (32 MS/s)



ni.com

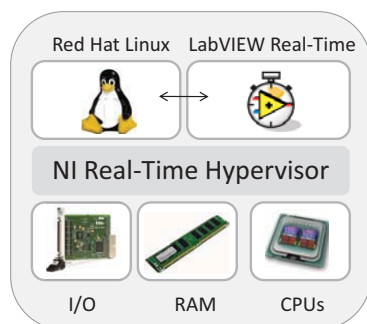


NI Real-Time Hypervisor for Linux

ni.com



NI Real-Time Hypervisor for Linux Early Access Program

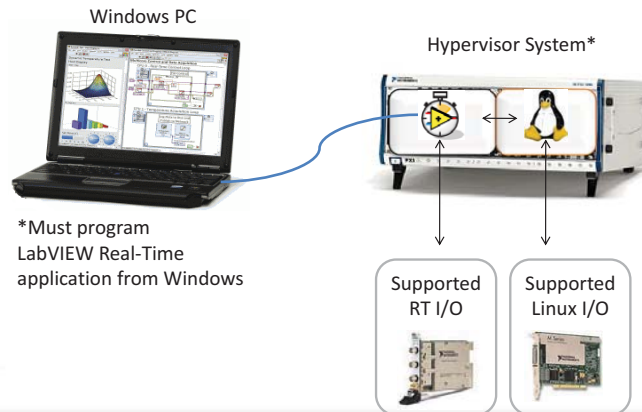


- Combine real-time processing with existing Red Hat Enterprise Linux applications (version 5.5, 32 bit)
- Connect to any I/O devices supported by LabVIEW Real-Time or Linux
- Communicate between OSs with high throughput shared memory

ni.com



NI Real-Time Hypervisor for Linux



ni.com

NATIONAL INSTRUMENTS

Linux - Summary

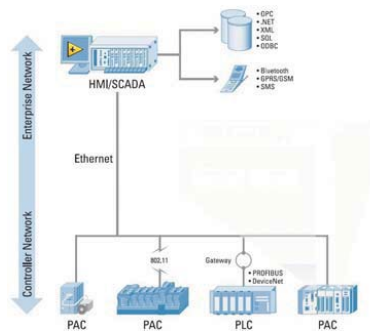
- **FPGA Interface C API on Linux**
 - 32bit RHEL 5.x & SL 5.x (64bit on roadmap)
 - For FPGA based data acquisition & processing applications
- **NI MHDDK**
 - 32/64bit Source code
 - X*, M, E, S, AO, DIO, CNTR
- **NI Real-Time Hypervisor for Linux**
 - 32bit RHEL 5.5
 - For real-time applications & HW not supported in Linux
- **Other Linux options**
 - IEEE 488, T&S products based on VISA
 - Custom driver development (ITER (64bit), CERN)

ni.com

NATIONAL INSTRUMENTS

Open Architecture

- Controls standards
 - EPICS, TANGO, CORBA, TINE, C
- Connectivity to different devices
 - OPC, Modbus, TCP/IP, UDP, EtherCAT, Serial
- Flexibility
 - Windows, RTOS, FPGA



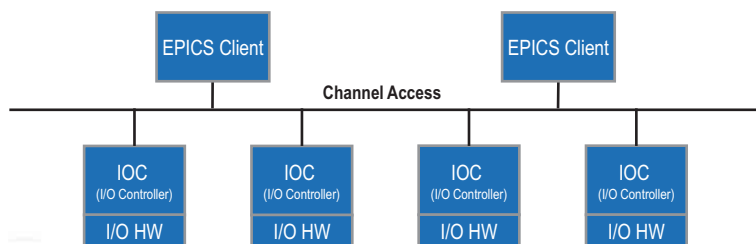
ni.com



EPICS Software Architecture



- Distributed Clients and Servers (IOC – I/O Controllers)
- Network protocol: Channel Access
- Each IOC holds a subset of EPICS database variables

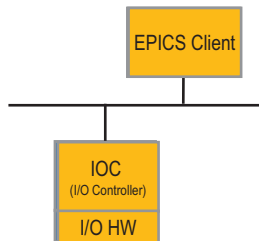


Analog I/O, Digital I/O, Motion Control, Image Acquisition, etc.

ni.com



Integrating EPICS and LabVIEW



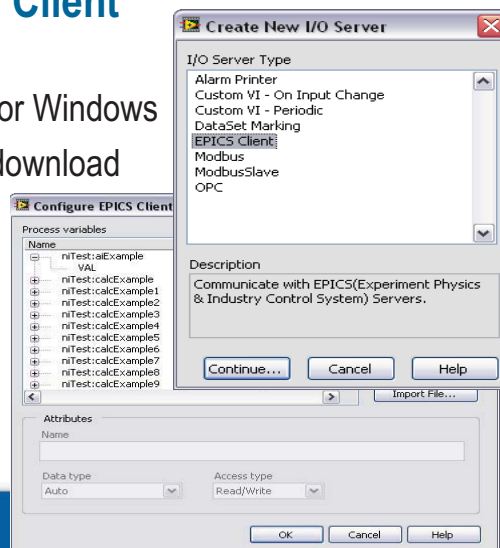
- LabVIEW as a Client
 - ✓ Presentation
 - ✓ Analysis
 - ✓ Control
- LabVIEW as a Server
 - ✓ Interface to hardware
 - ✓ Real-time control
 - ✓ Access to FPGA

ni.com



LabVIEW EPICS Client

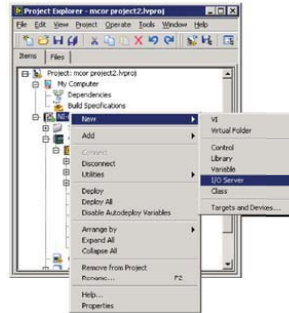
- Runs on LabVIEW for Windows
- Available as a free download



ni.com

LabVIEW EPICS Server

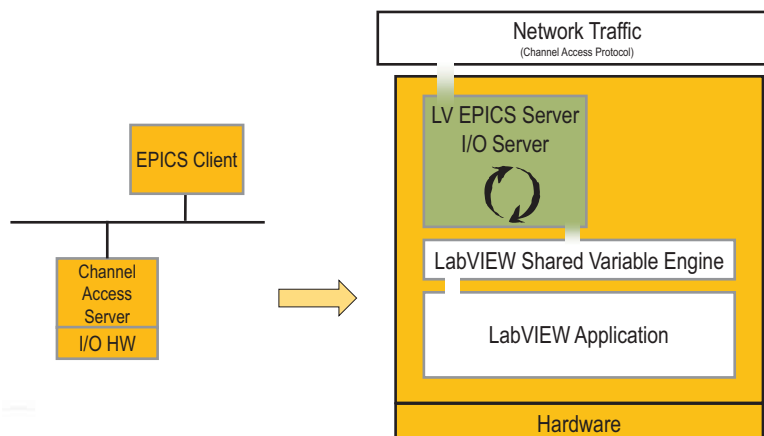
- NEW in LabVIEW 2009
 - Support for Channel Access Server
 - Windows
 - Real-Time OS – VxWorks & Pharlap
 - Can run on PXI and CompactRIO
- Custom option for CompactRIO
 - Prototype code to run full EPICS IOC Server side by side with LabVIEW Real-Time



ni.com



LabVIEW EPICS Server



ni.com



Example – BiRa’s Power Supply

- 16 channels of high precision bipolar DC power
- Mainly used for corrector magnets in particle accelerators
- Running LabVIEW EPICS CA Server on an embedded real-time controller

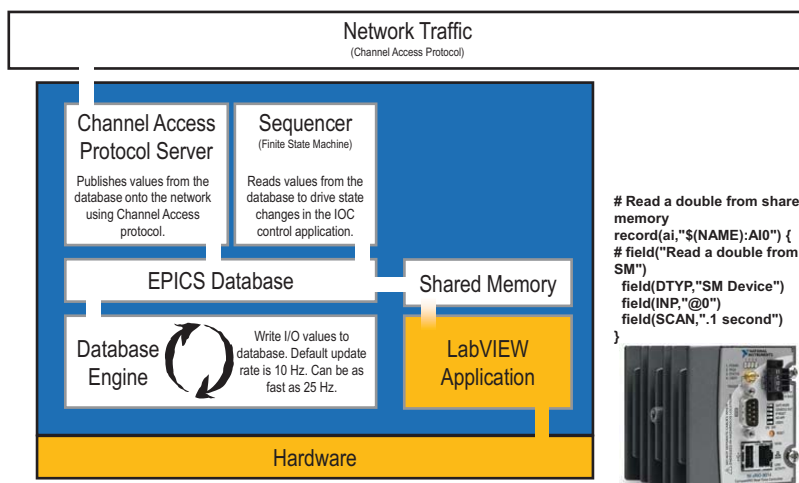


BiRa

ni.com

NATIONAL INSTRUMENTS

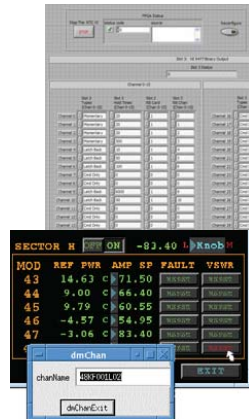
IOC Server on CompactRIO



Example – Los Alamos LANSCE



- Ongoing migration to a cRIO system with embedded EPICS
 - 12 binary outputs
 - 36 binary inputs
 - 12 analog inputs
 - 5 stepper motor channels
- Full IOC functionality allows access to all record fields and EPICS utilities
- Maximum flexibility for partitioning the problem
 - LabVIEW for beam diagnostic
 - EPICS for industrial control



ni.com



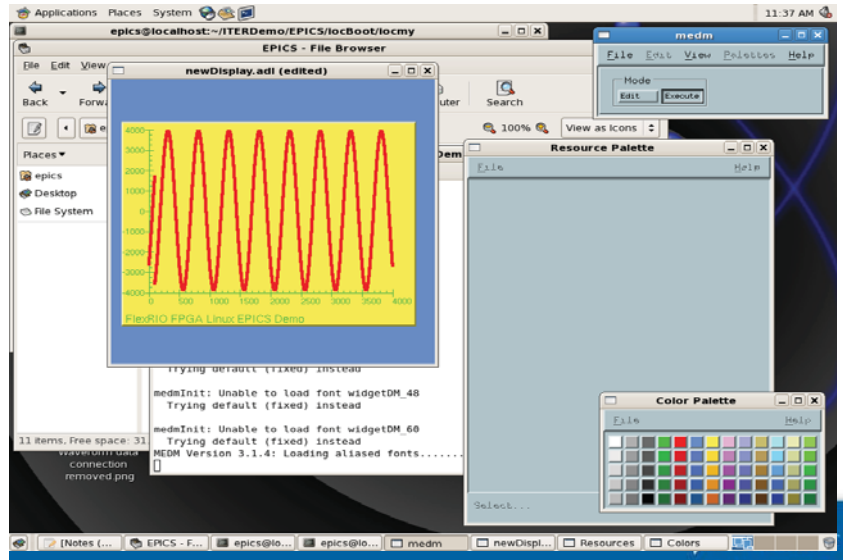
FlexRIO-Linux-EPICS PXI Express Demo Example

- Goal: Data acquisition using PXI/PXIe FlexRIO (FPGA) modules in Linux RHEL/SL through EPICS
 - This is possible due to the FPGA Interface C API
- EPICS Record types supported (at present)
 - Binary in
 - Binary out
 - Analog in
 - Analog out
 - Waveforms
 - I/O_intr
- Linux – 32bit RHEL 5.5
- EPICS – 3-14-11

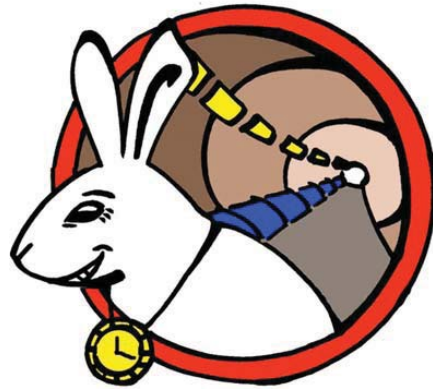
ni.com



Waveform Data in MEDM



Questions



WhiteRabbit Timing System

M. Kreider

1



WhiteRabbit ...

- started at CERN in 2008
- development collaboration of CERN and GSI

M. Kreider

2



WhiteRabbit is designed to do...

- Time Synchronisation
- Timestamping
- Deterministic Switching
- Machine Control

WhiteRabbit offers...

- Timing Accuracy: < 1 ns, low ps jitter
- Robustness: event loss < 10^{-12}
- Scalability: 2000 timing receivers
- Link length: up to 10 km

WhiteRabbit employs ...

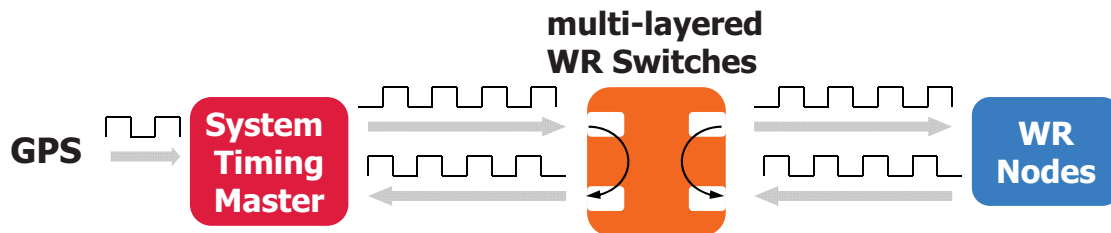
- SyncE – Synchronous Ethernet
- PTP – Precision Time Protocol
- QoS – Quality of Service
- FEC – Forward Error Correction

SyncE: One clock is enough

- Nodes adjust to same physical clock
- Clock encoded in Ethernet carrier
- Clock recovered by PLL

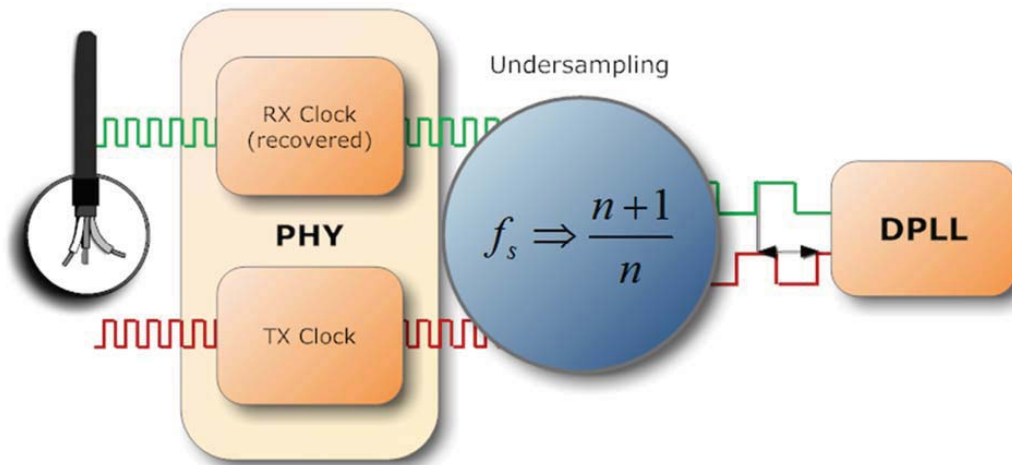


The way of the Rabbit: WR Clock propagation



Precise phase measurement – Aiming for accuracy

- Undersample Clocks
- Feed alias frequencies to digital PLL
- Determine phase difference



PTP – Time Sync at a handshake

- Exchange messages between nodes
- Timestamp Msg arrivals and departures
- Calculate link delay and time difference
- Share results, adjust client clock



LocalTime Servington



LocalTime Clientville



Simple PTP Example



LocalTime Servington

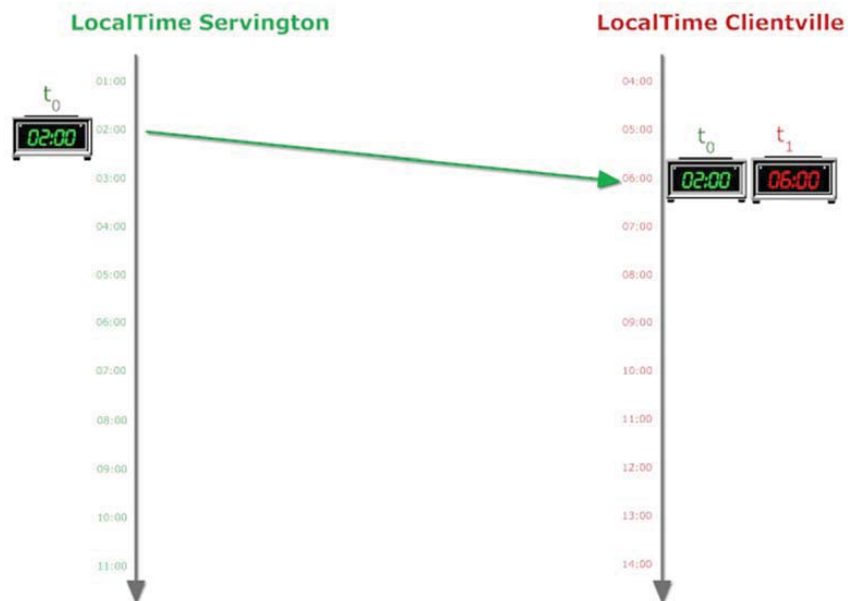
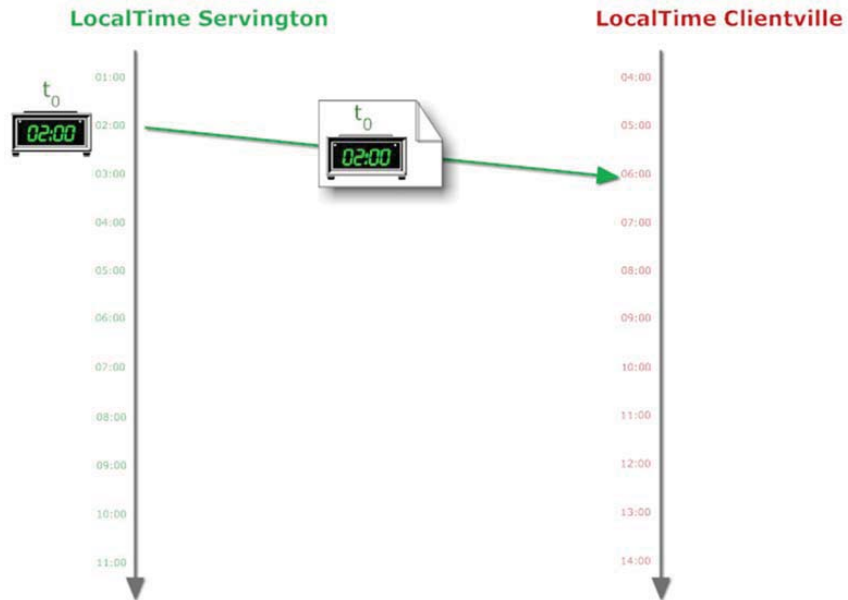


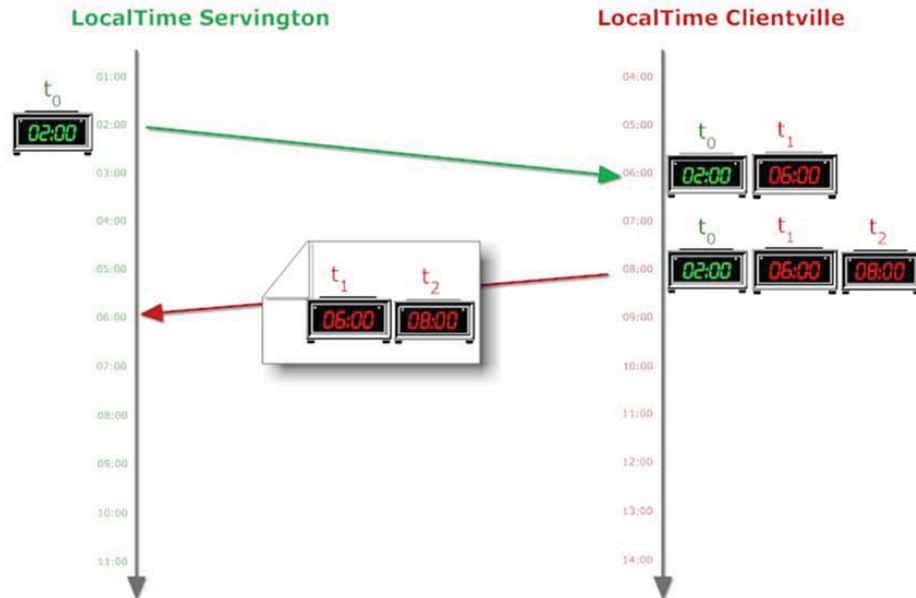
LocalTime Clientville



$D_{LocalTime}$

$D_{LocalTime} = ?$

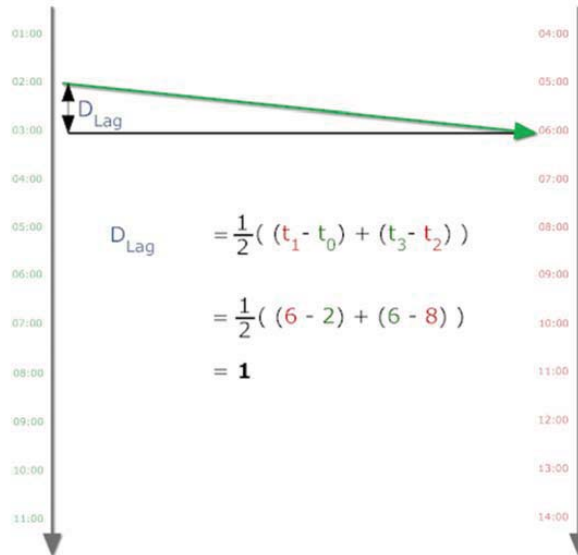






LocalTime Servington

LocalTime Clientville

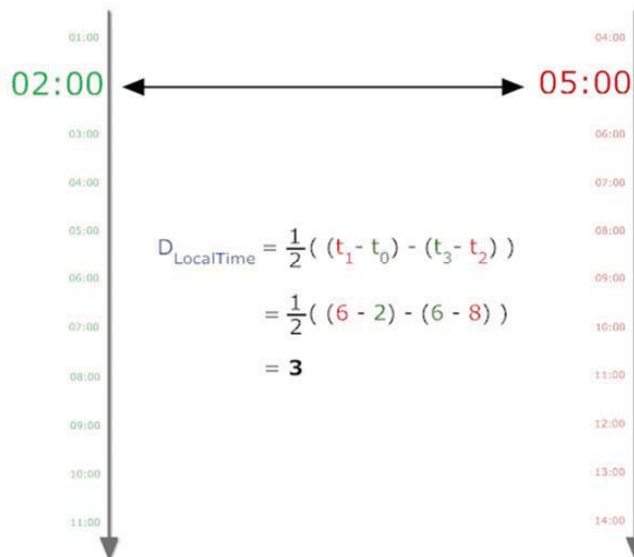


$$\begin{aligned}
 D_{Lag} &= \frac{1}{2} ((t_1 - t_0) + (t_3 - t_2)) \\
 &= \frac{1}{2} ((6 - 2) + (6 - 8)) \\
 &= 1
 \end{aligned}$$

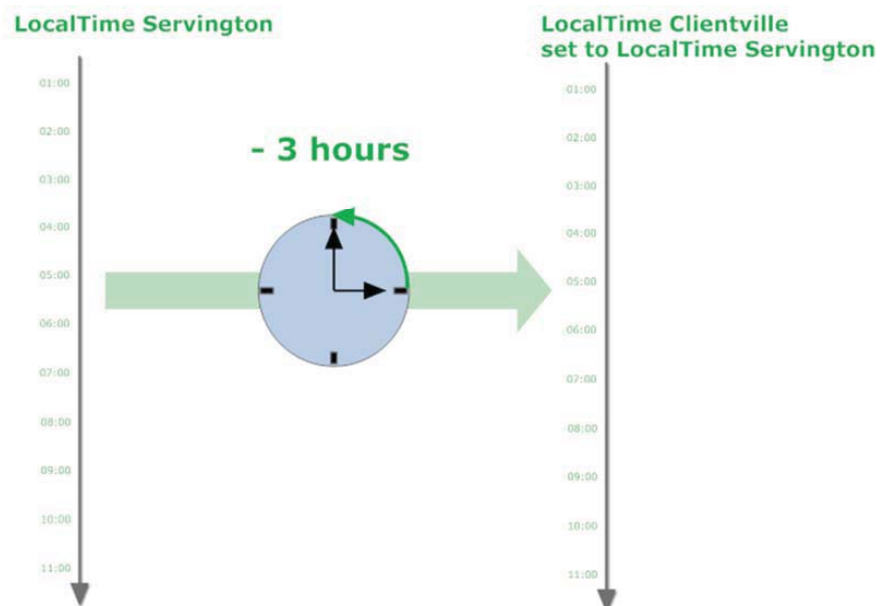


LocalTime Servington

LocalTime Clientville



$$\begin{aligned}
 D_{LocalTime} &= \frac{1}{2} ((t_1 - t_0) - (t_3 - t_2)) \\
 &= \frac{1}{2} ((6 - 2) - (6 - 8)) \\
 &= 3
 \end{aligned}$$





Adding to PTP: Asymmetric Link Delay Model

- Optical transceivers/receivers
- FPGA High Speed Serial IOs
- Single fiber for TX/RX
- Frequencies for wavelength multiplex

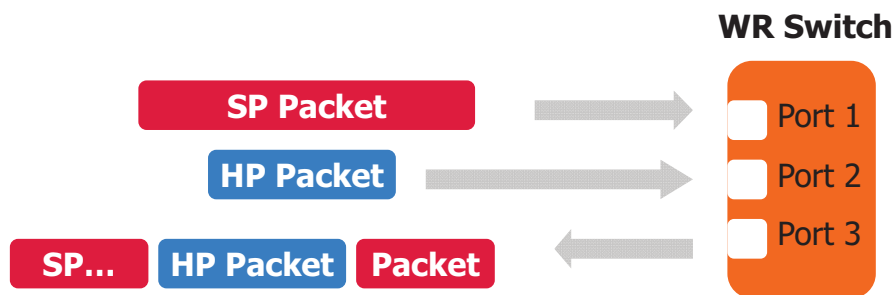


VLAN Tags and QoS – Not all packets were created equal

- Ethernet traffic split into:
 - H**igh **P**riority (**HP**) packets
 - S**tandard **P**riority (**SP**) packets
- HP packets can preempt other packets „on-the-fly“



QoS – Allowing to cut the line



Timing Data Master – Telling everyone what to do

- Generate event sequences
- Control accelerator production chains
- Real time parallel scheduling
- Granularity window



WR Switch Prototype

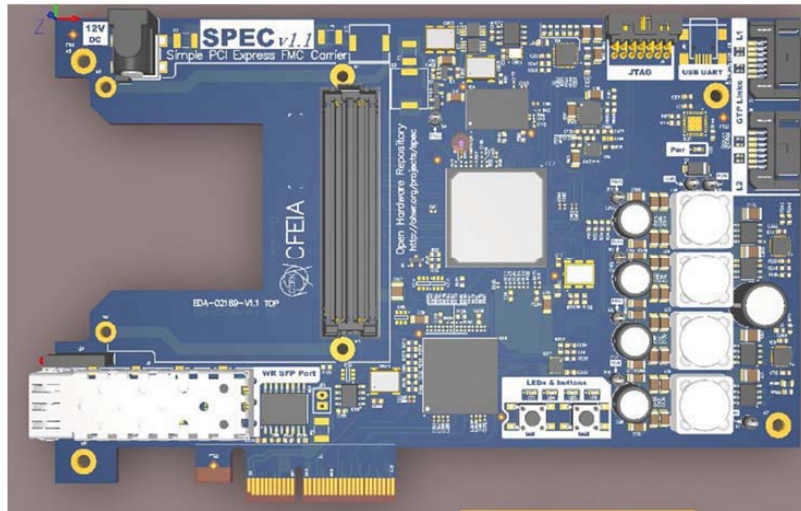


FMC – Boarding call for Specialists

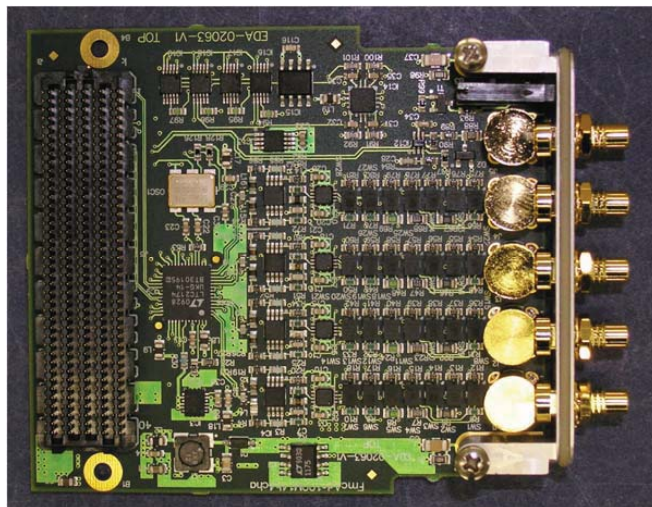
- FPGA Carrier + specialised mezzanine
- Power, connectivity and timing
- Form factors: PCIe, VME, VXS ...
- Mezzanines available/under dev. at CERN:
ADC, DAC, DDS, TDC, DIO ...



SPEC - Simple PCIe FPGA-Mezzanine-Card Carrier Board



FMC – 4 Channel 100MSPS 14bit ADC Board





Where WhiteRabbit is now:

- High precision Time Sync functionality since 2009
- Switch, master and receiver specs in progress
- WR switch board prototype since 2010
- WR protocol implementation under development



Where WhiteRabbit will be:

- Timing receiver board prototype late 2011
- WR capable, Simple PCIe FMC carrier board early 2011
- WR Switch board manufacture in 2011
- FAIR Timing Data Master prototype in 2011



**Thank you
for your attention**



**Time for your
Questions**





White Rabbit Project Page

<http://www.ohwr.org/projects/white-rabbit>

GSI Timing Wiki

<https://www-acc.gsi.de/wiki/Timing/WebHome>

White Rabbit for High-Precision, Wide-Area Synchronization



Rodney Greenstreet
Timing and Synchronization Technical Lead
National Instruments

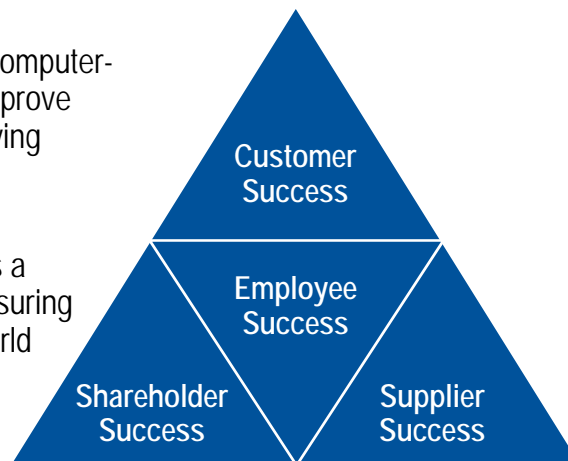
ni.com



Our Mission for Success

We create innovative computer-based products that improve everyday life by improving technology.

We give our customers a better solution for measuring and automating the world around them.

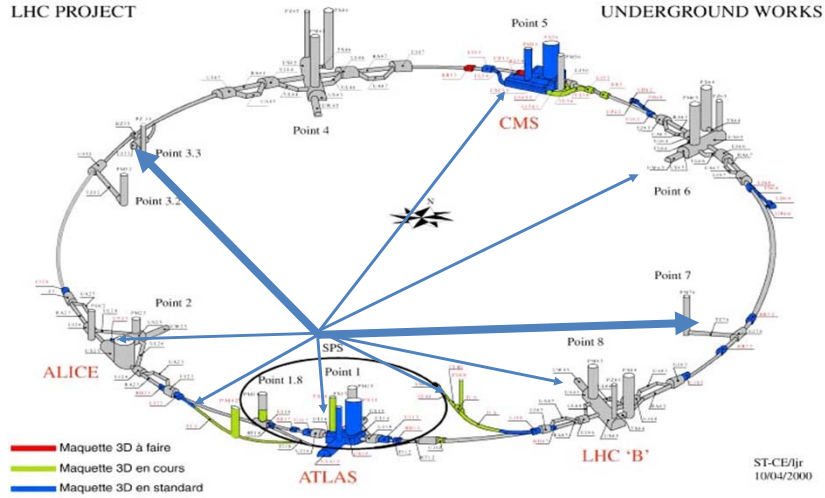


ni.com



2

CERN Collimator Control Project



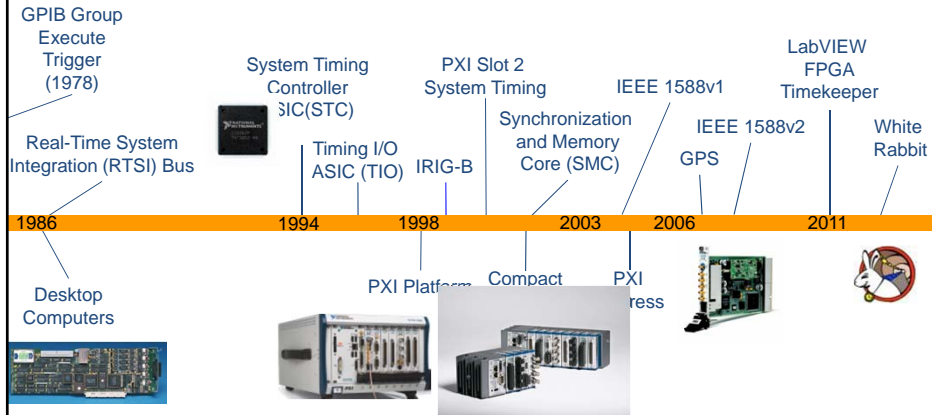
ni.com

NI Confidential DO NOT DISTRIBUTE

3



30 Years of NI Timing and Synchronization Innovation

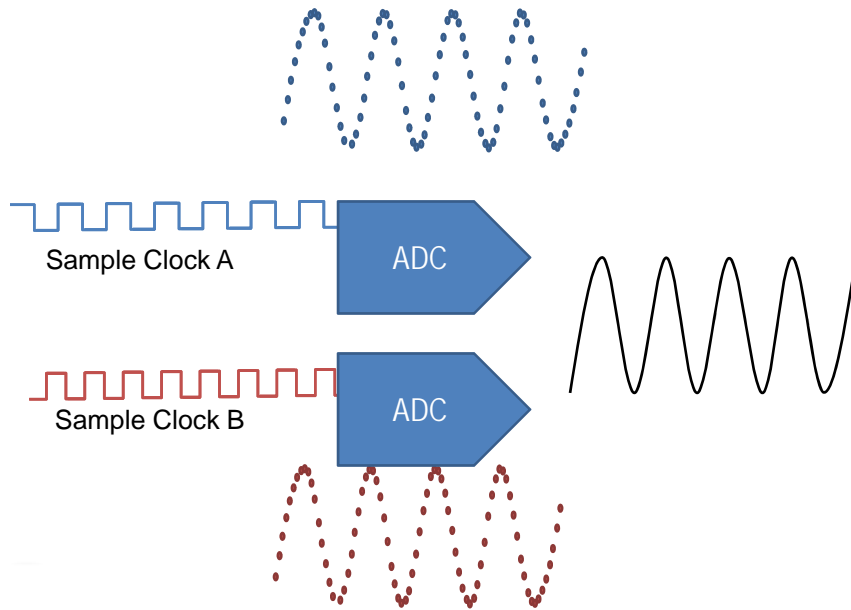
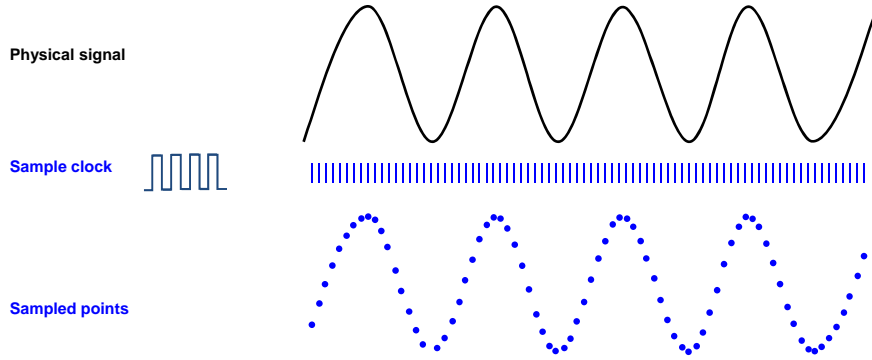


ni.com

4

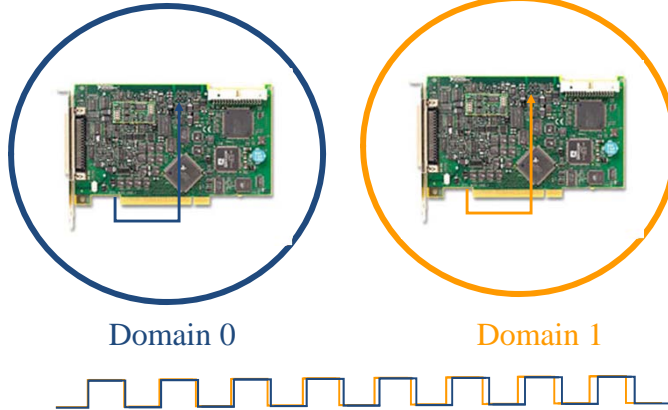


Clock (Sampling) Basics



Clock Domain

- A subsystem that is driven by a single clock
 - or by clocks that have constant phase relationships



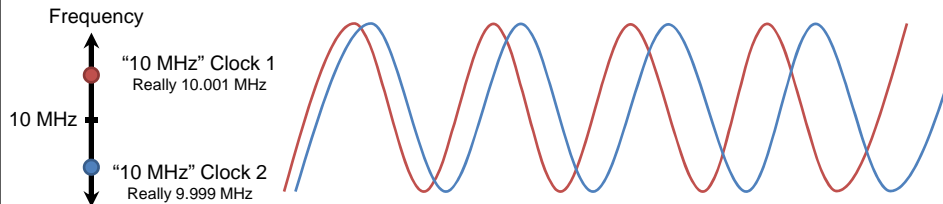
ni.com

7



"10 MHz" Clocks

Small errors at beginning of acquisition Larger errors as acquisition continues

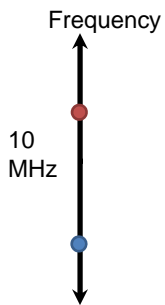


ni.com

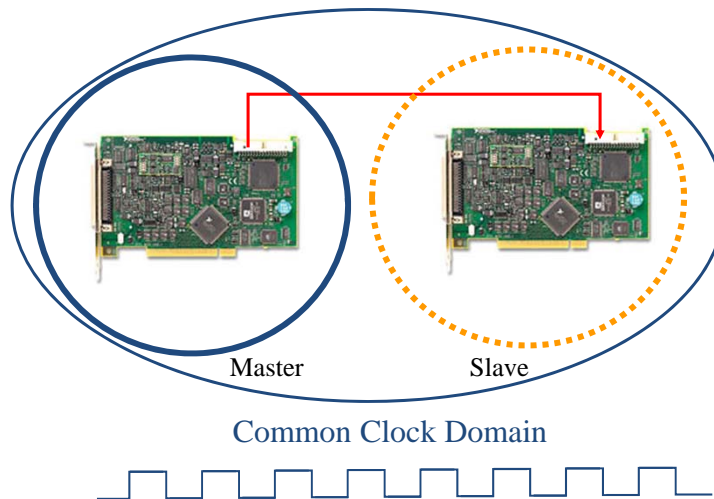
8



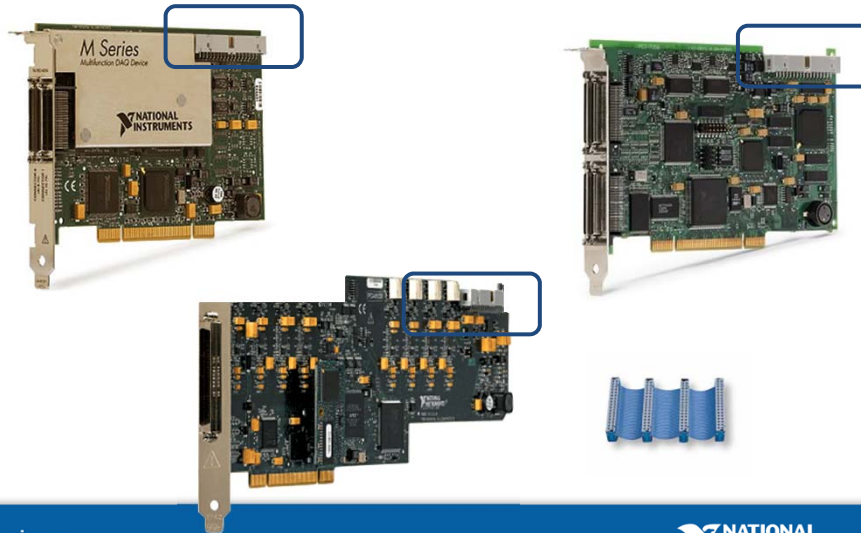
Clock Stability is Important



Common Clock Domain



Real-Time System Integration (RTSI)

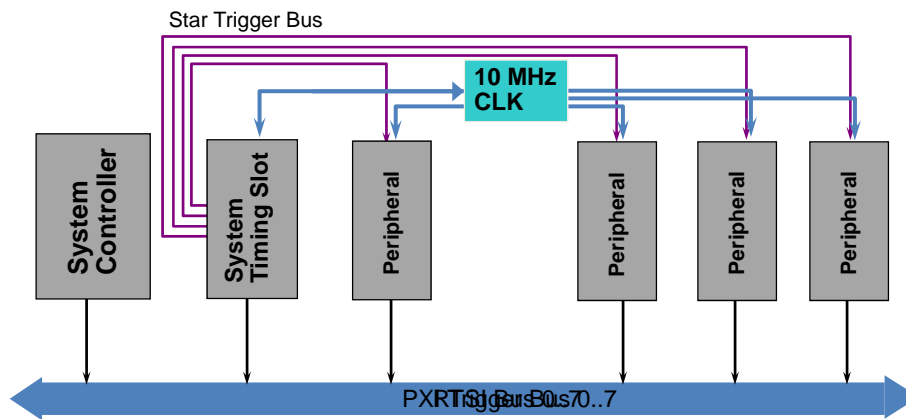


ni.com

11



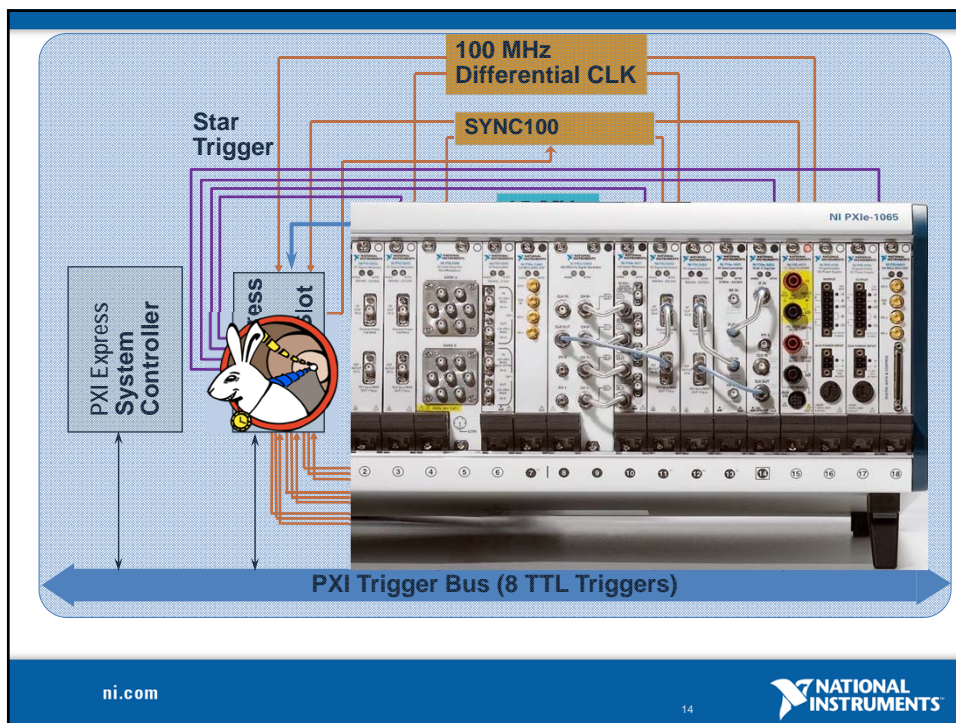
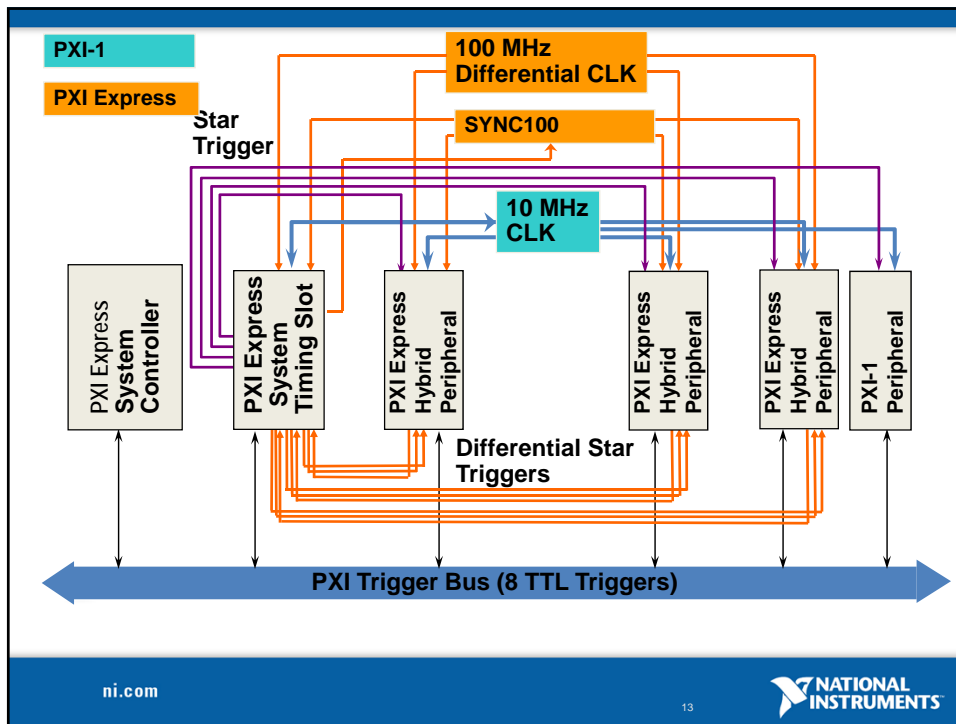
PXI Timing and Triggering



PXI_TRIG
8-line parallel trigger lines

PXI_CLK10
10MHz point to point
<1ns skew

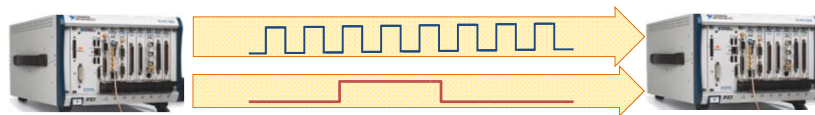
PXI_STAR
Point to point
<1ns skew



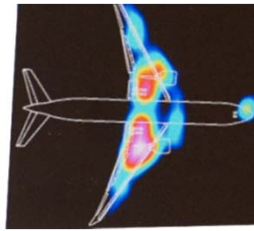
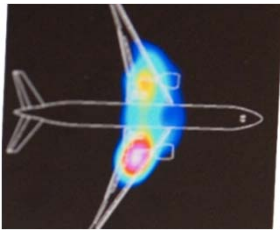
Differential Star Triggers

- PXIe_DSTARA, PXIe_DSTARB, PXIe_DSTARC
- Differential, point-to-point connections
- Matched length to within 150ps
- PXIe Peripheral Slots and the System Timing Slot

Synchronizing Multiple Chassis (Channel Expansion)

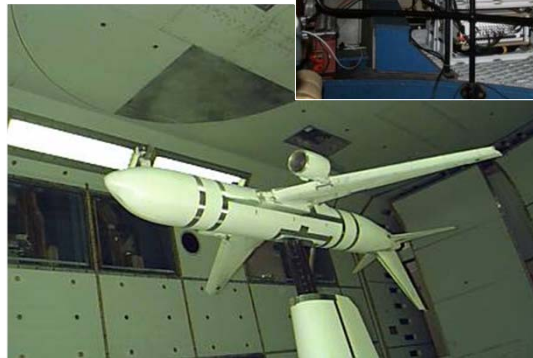


Boeing: Minimizing Ground Noise



ni.com

17



ni.com

18



Synchronized Microphone Array

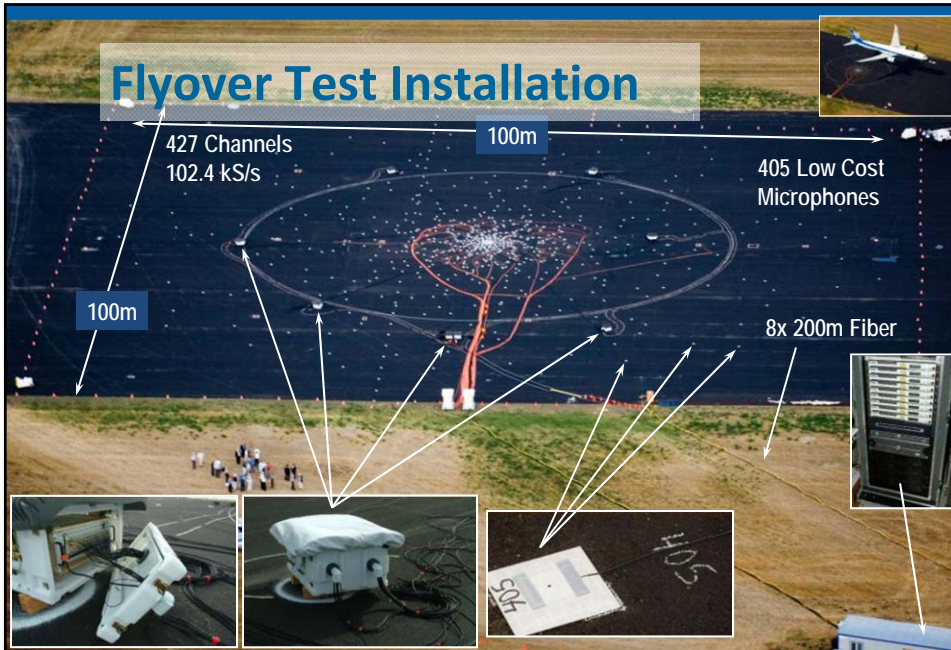


ni.com

19



Flyover Test Installation

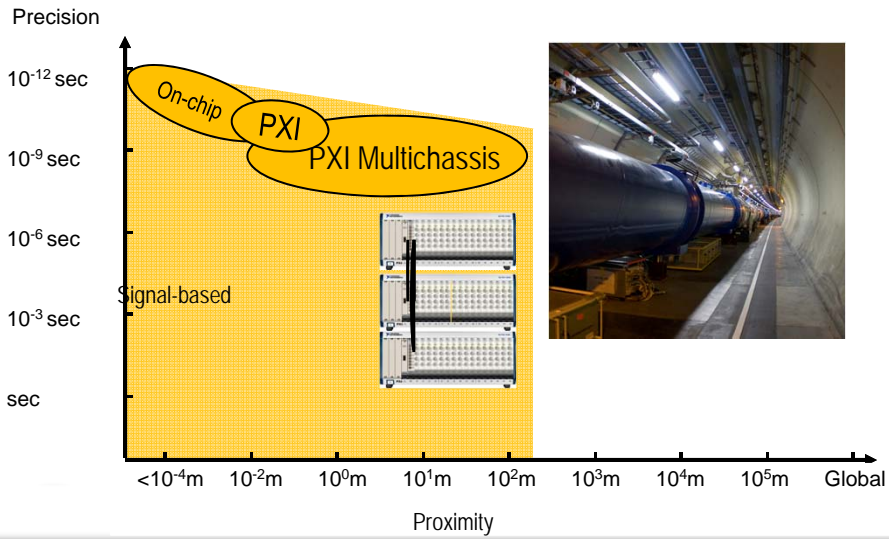


ni.com

20



Synchronization Technologies

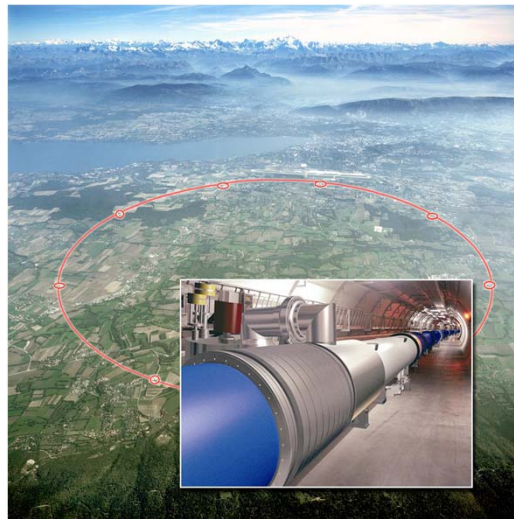


ni.com

21



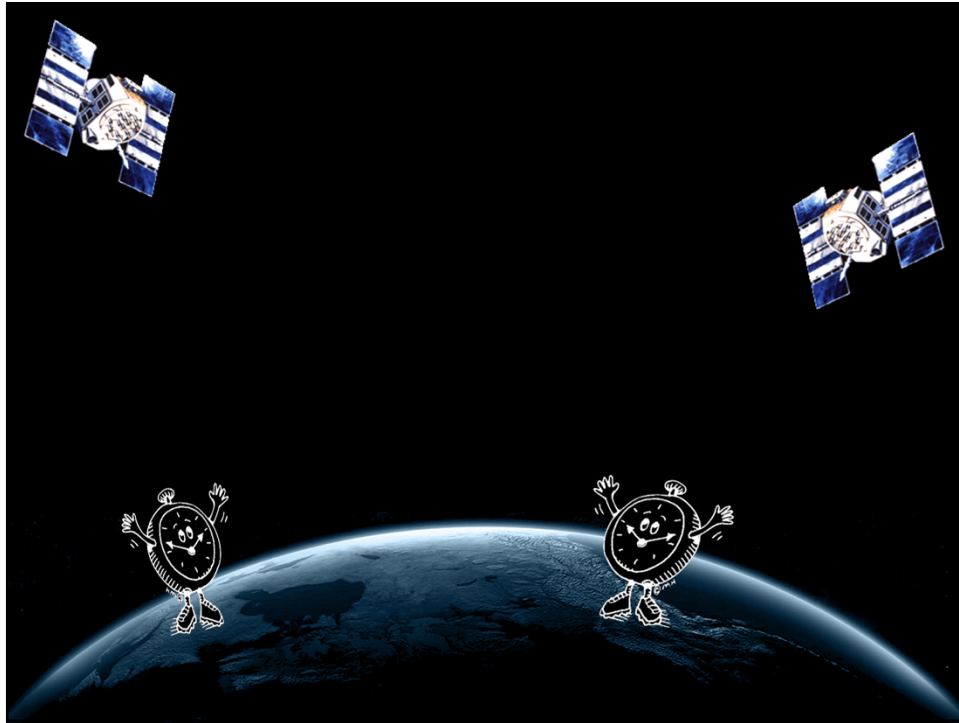
CERN's TTC System for the LHC



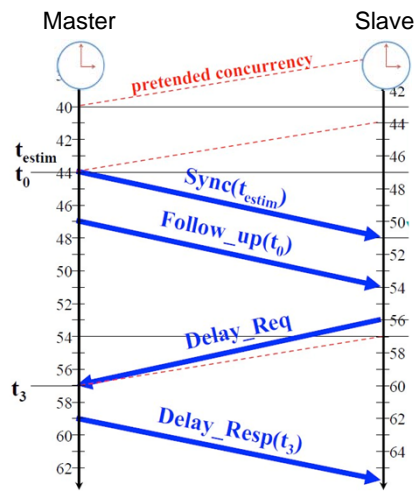
ni.com

22

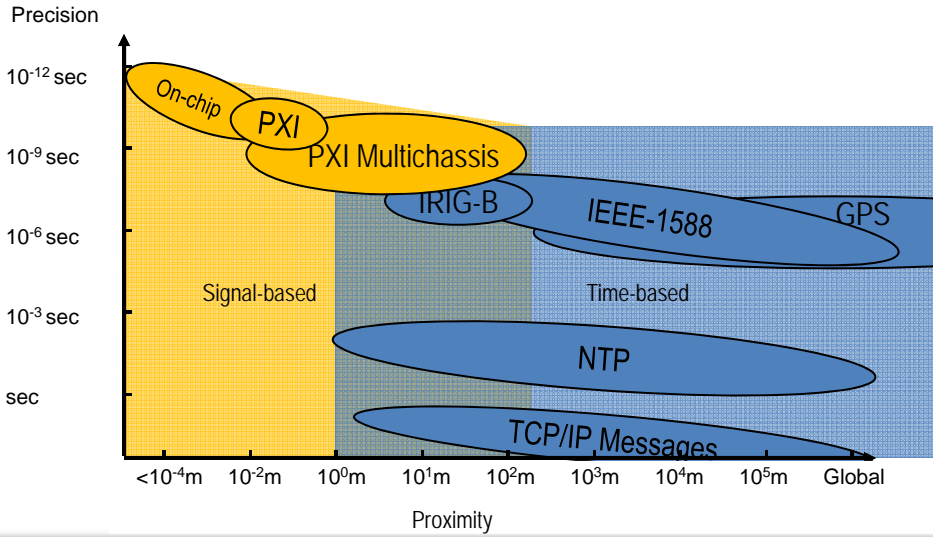




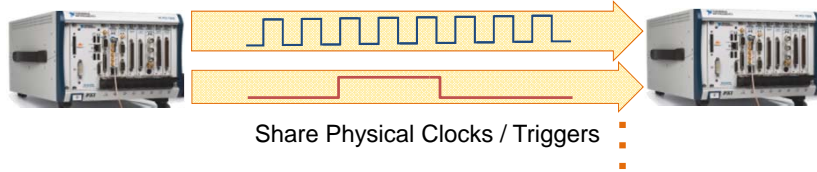
IEEE 1588



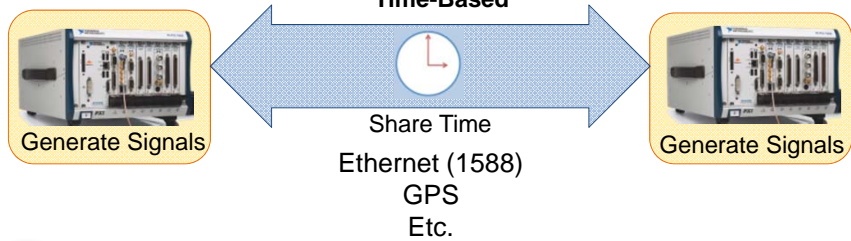
Synchronization Technologies



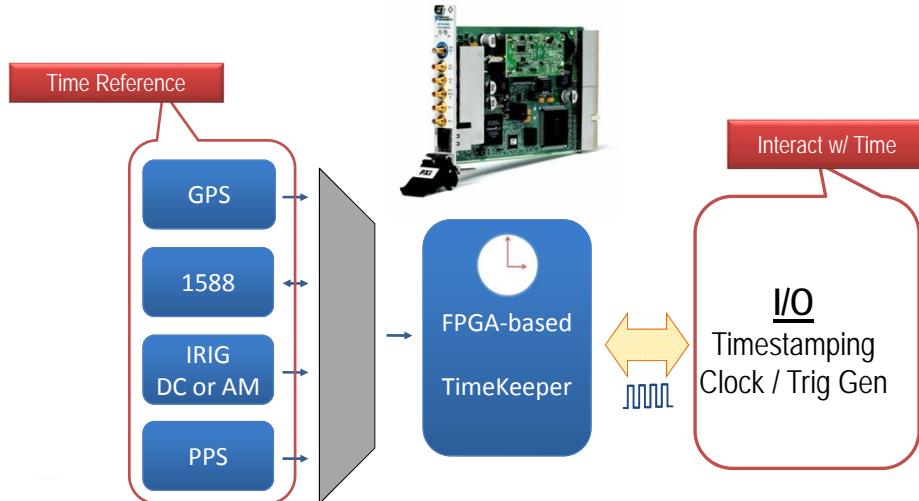
Signal-Based



Time-Based



Using Time-Based Synchronization



ni.com

27

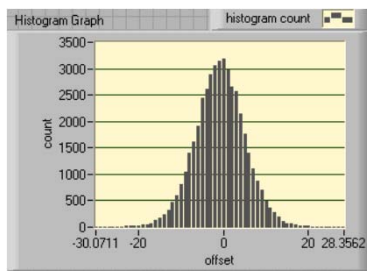


Current Time-Based Limitations

- Timekeeping traditionally digital (FPGA) implementation
212.5MHz 


Jitter


Jitter



Offset in ns

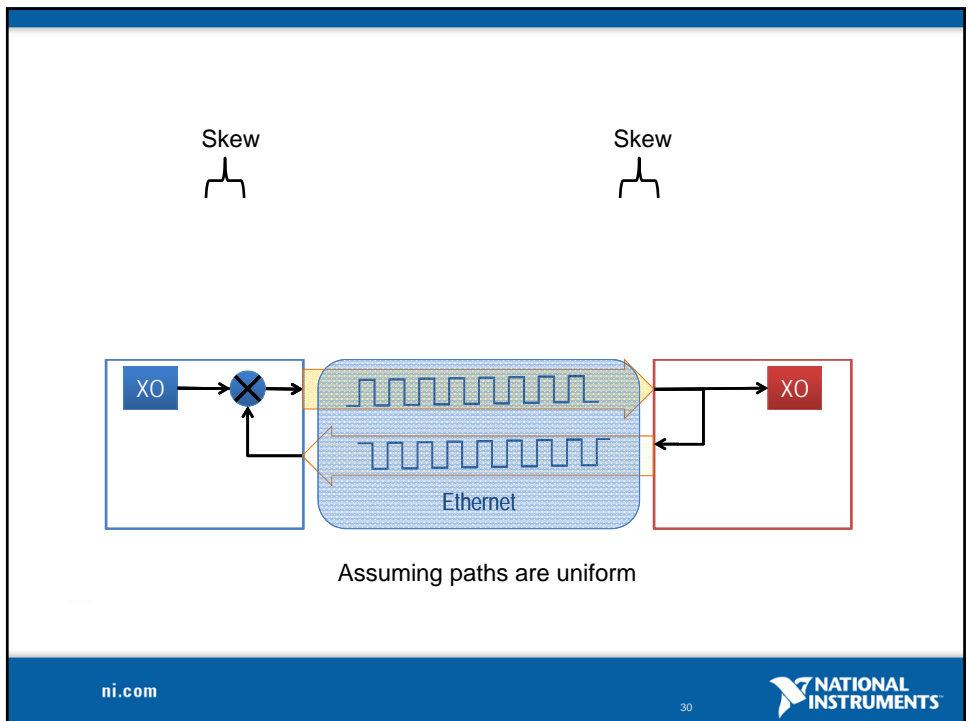
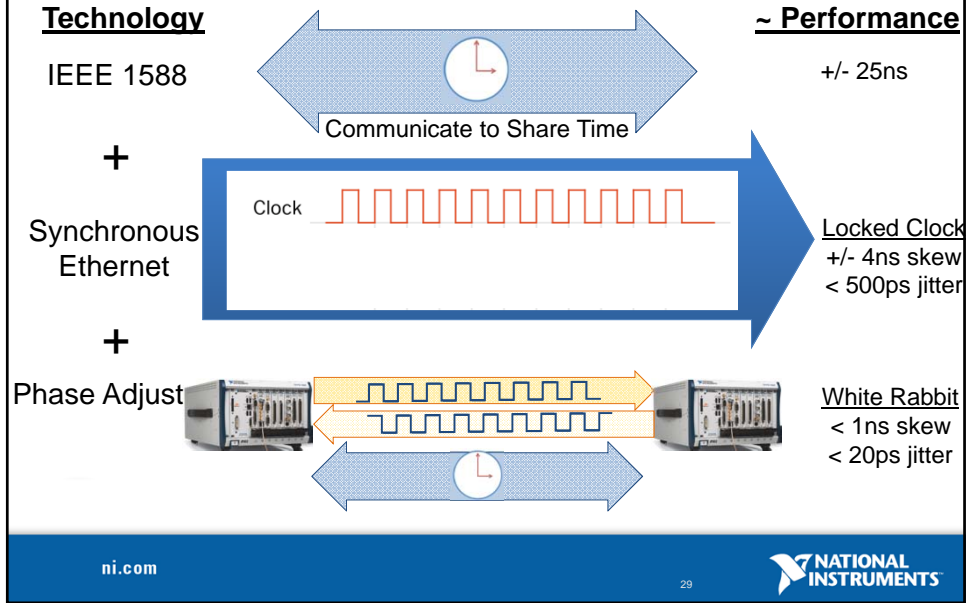
Vs. 5ps RMS for Clock Sharing!

ni.com

28

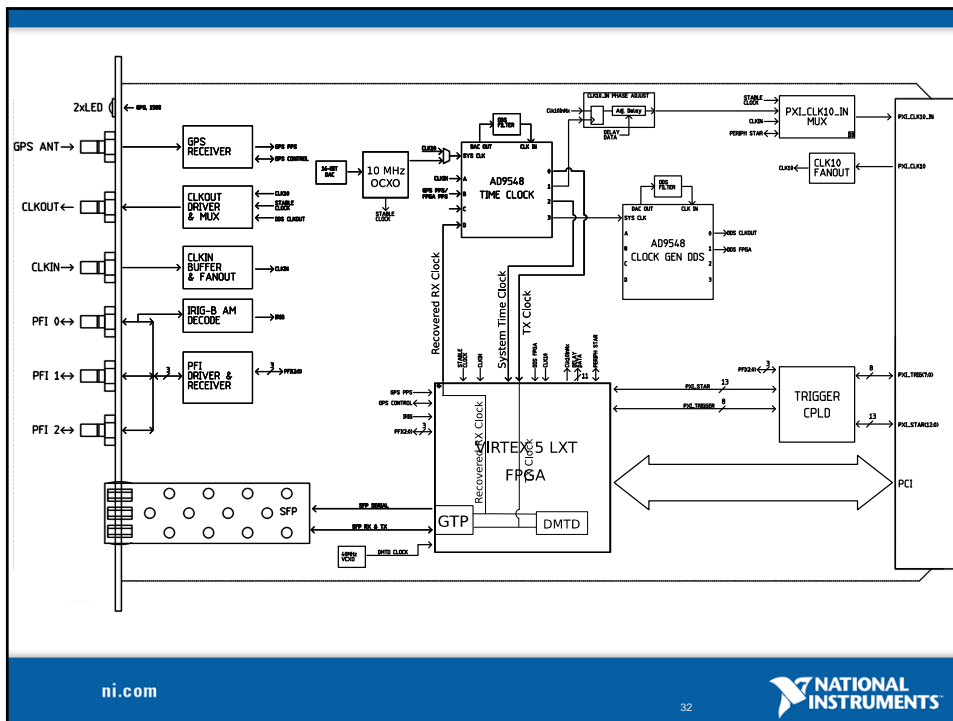
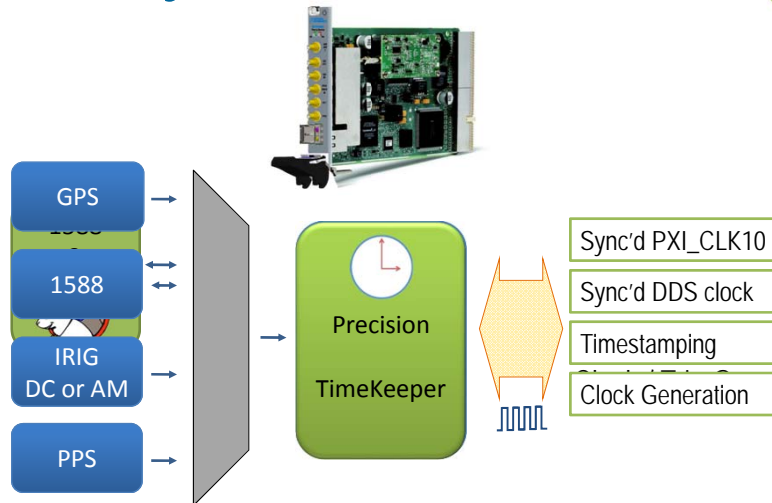


Complementary Technologies

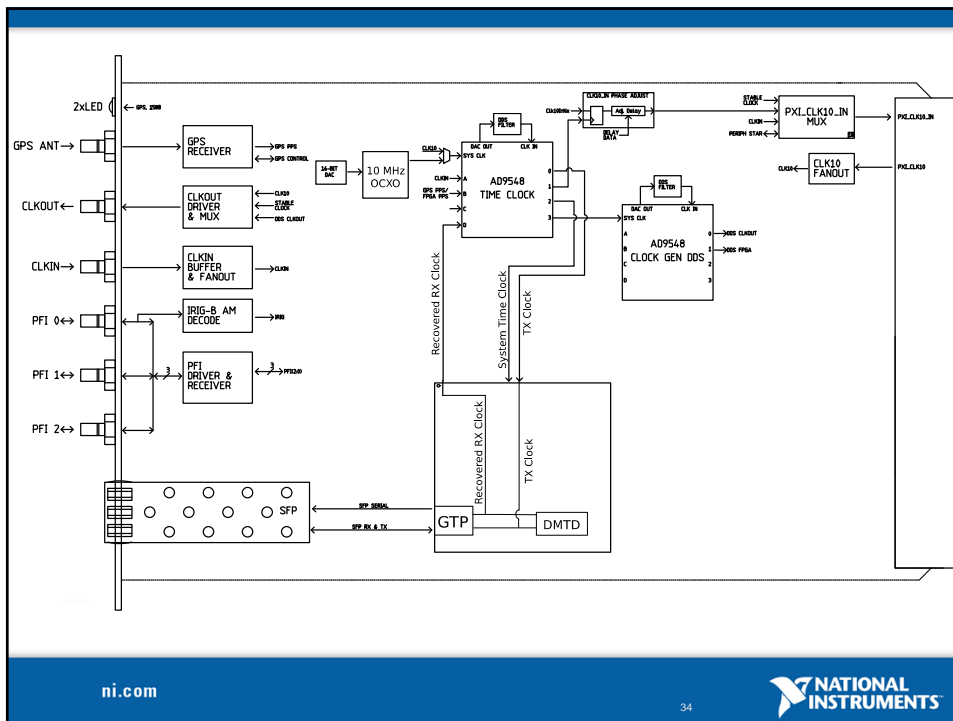
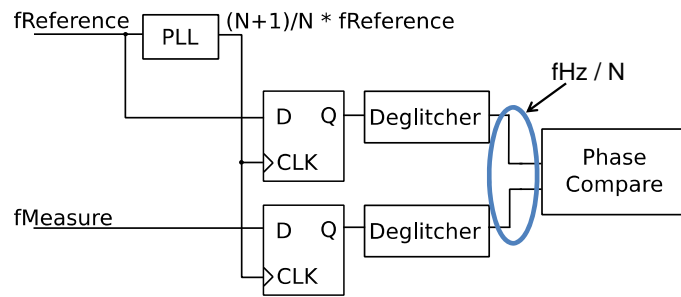


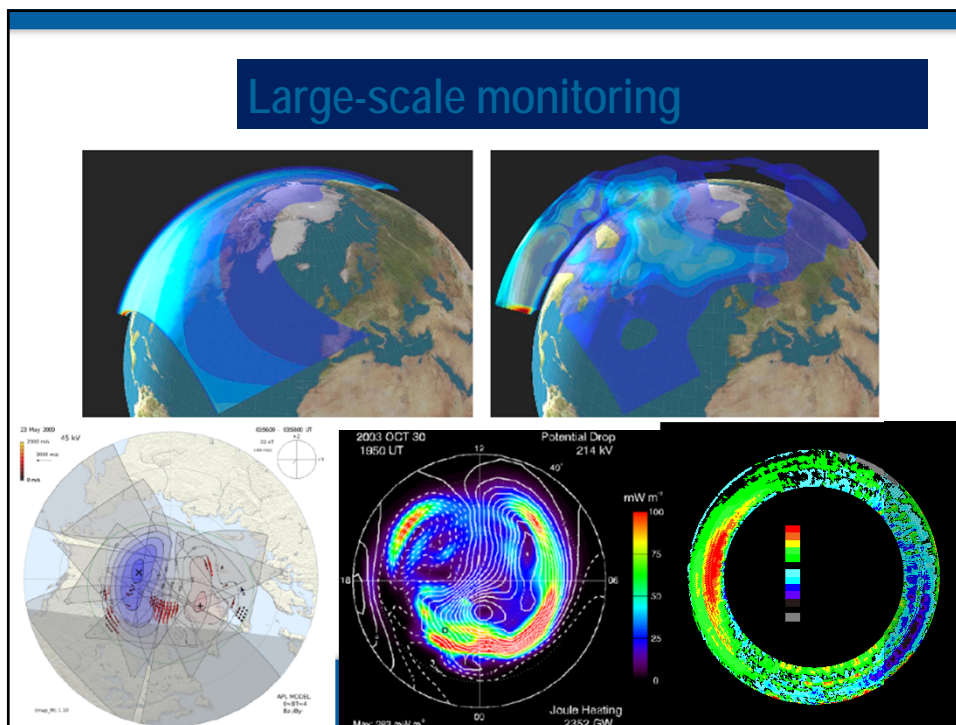
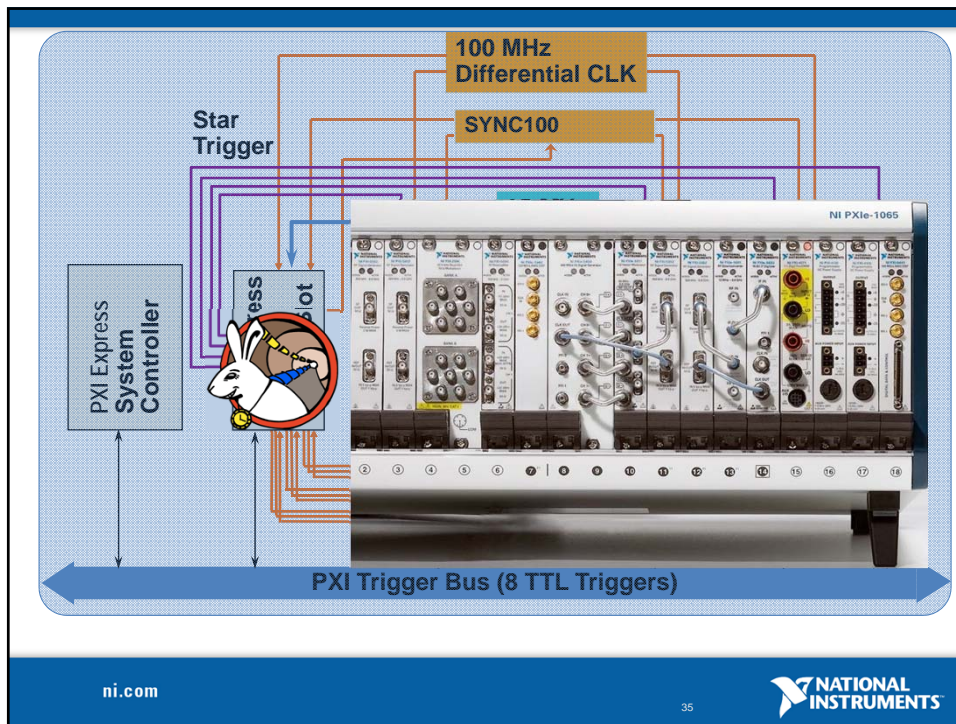
Next Gen Synchronization

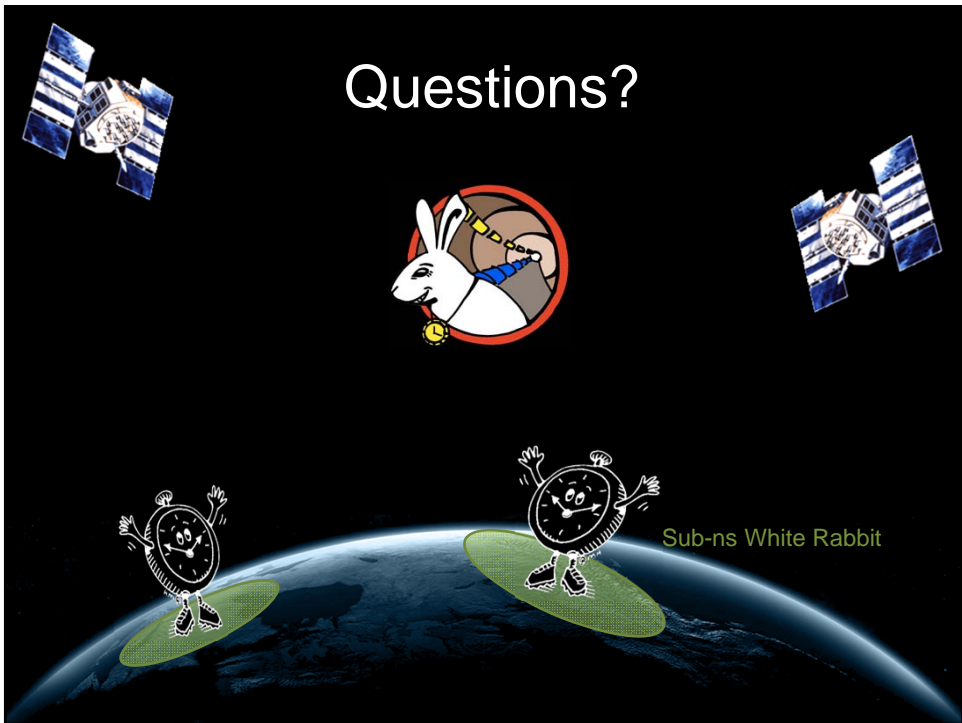
NEW!

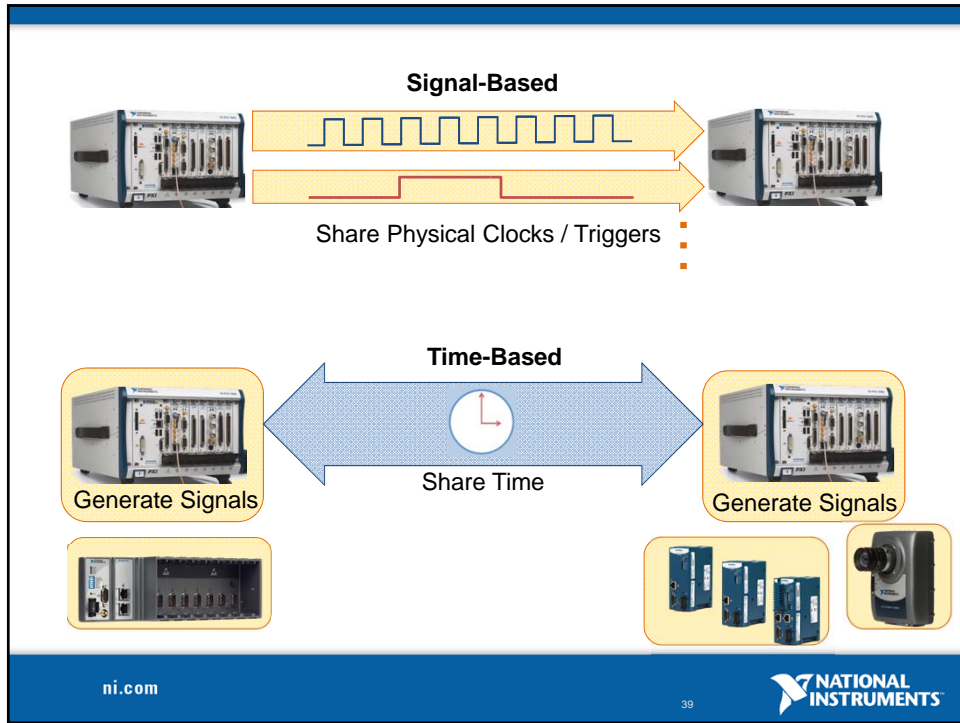


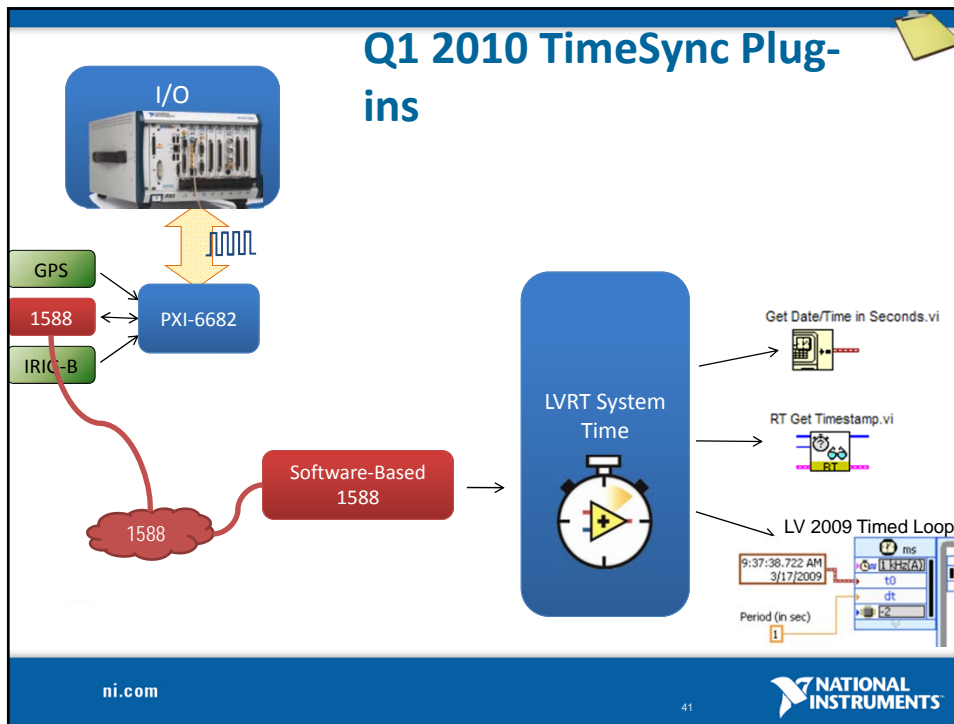
Dual Mixer Time Difference (DMTD)











NI TimeSync 1.0 Platform Support (Q1 2010)

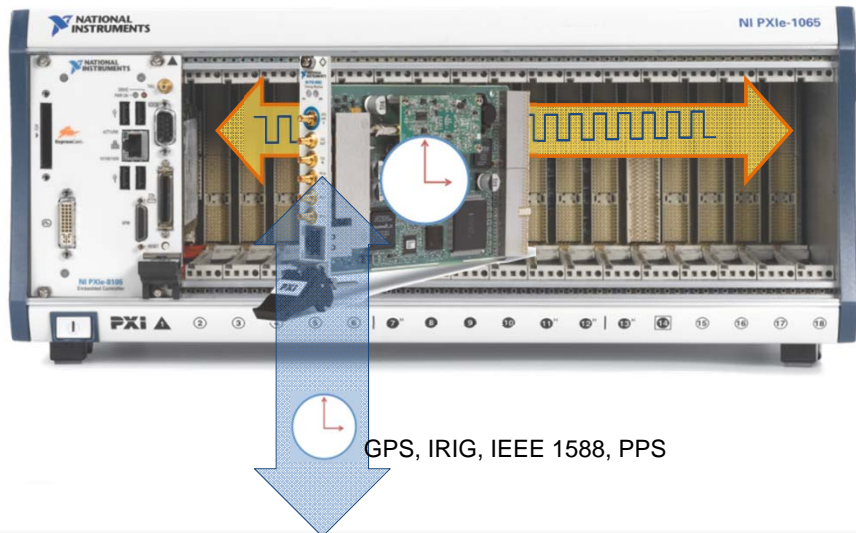
Sub-ms Software 1588 for LVRT 9.0+

- PXI
- cRIO
- cFP
- Vision
 - Smart Cameras, EVS
- WSN
 - LVRT Target gateway
- Other
 - Industrial Controller

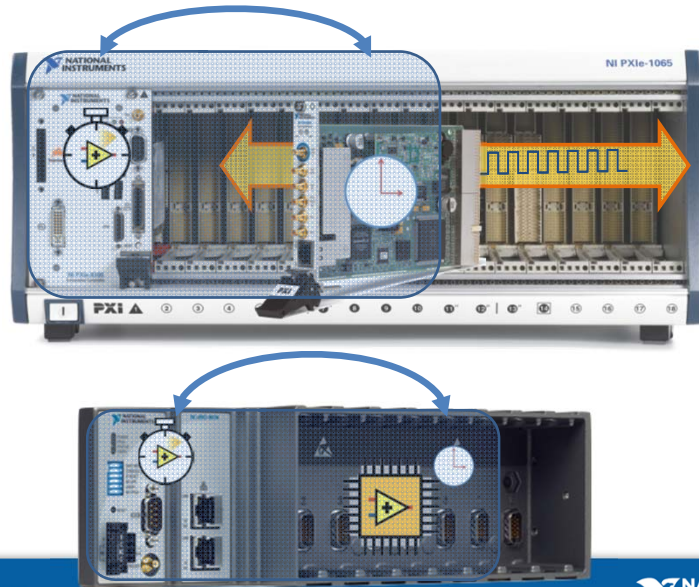
ni.com 42 NATIONAL INSTRUMENTS

TimeSync Progression

- “Good Sync Everywhere” using LVRT ($< 1\text{ms}$)
- “Better” LVRT sync to PXI-6682 ($< 10\mu\text{s}$)
- “Best” LVRT sync for PXI & cRIO ($< 1\mu\text{s}$)
 - Enable Hardware 1588 where possible
 - Makes it possible to sync EtherCAT masters

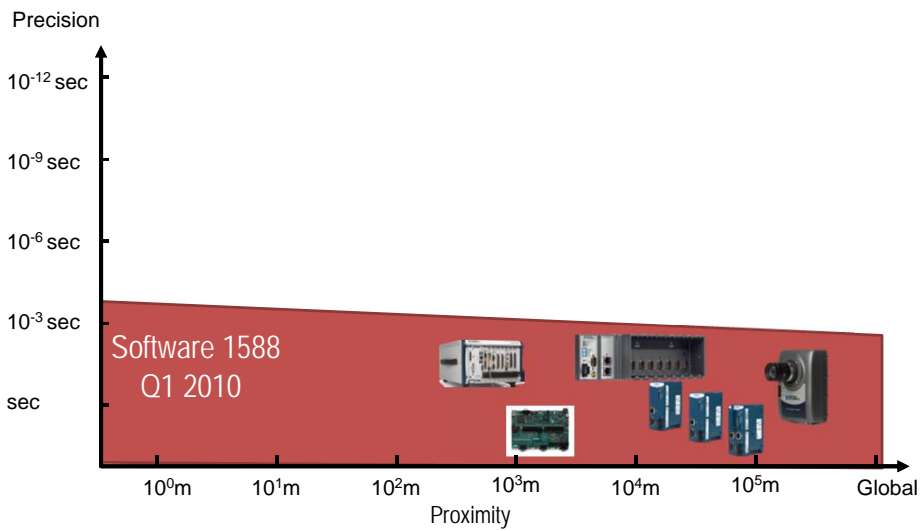


Common Time Domain



ni.com

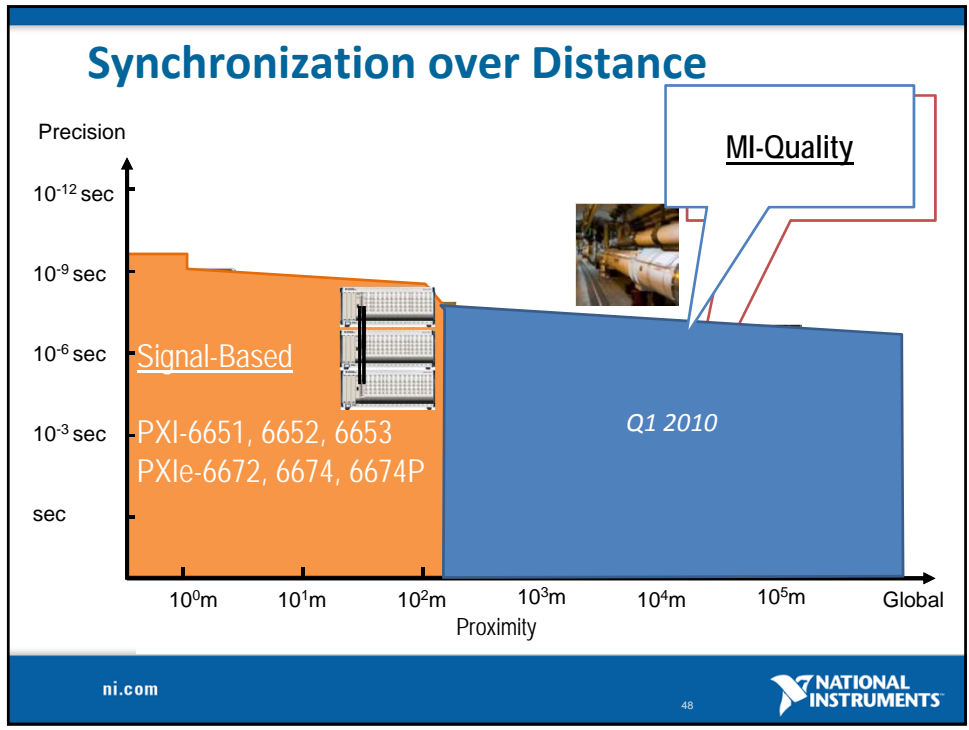
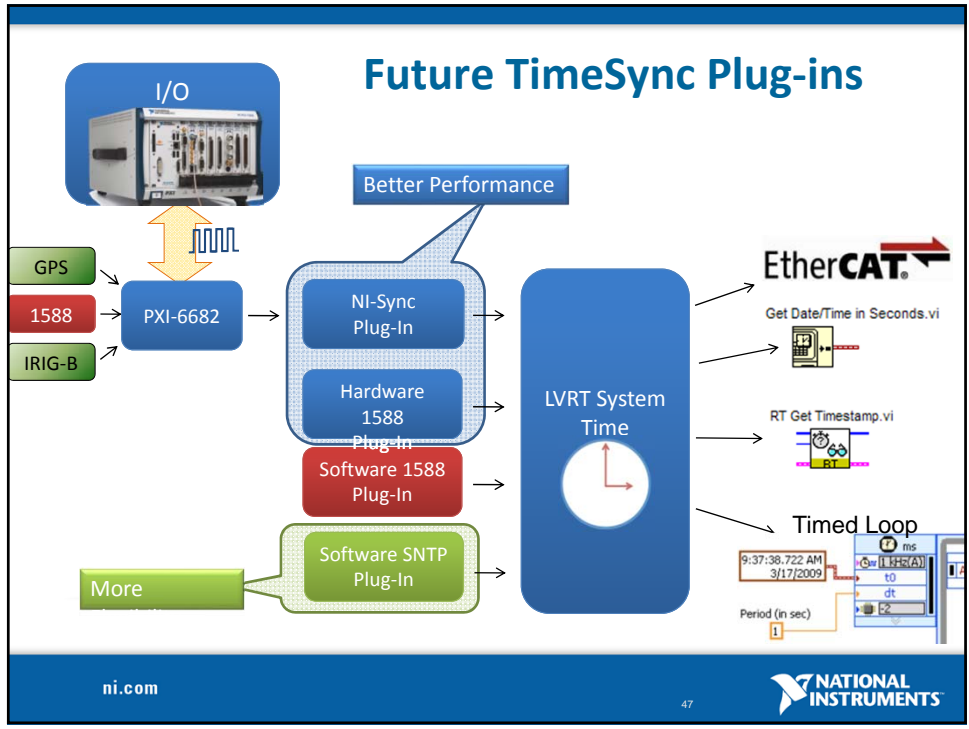
45



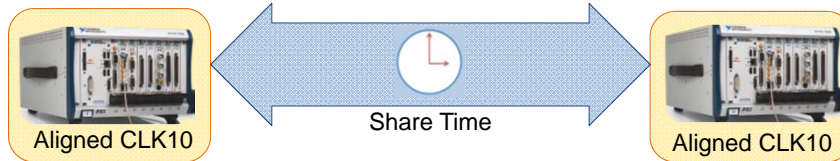
ni.com

46

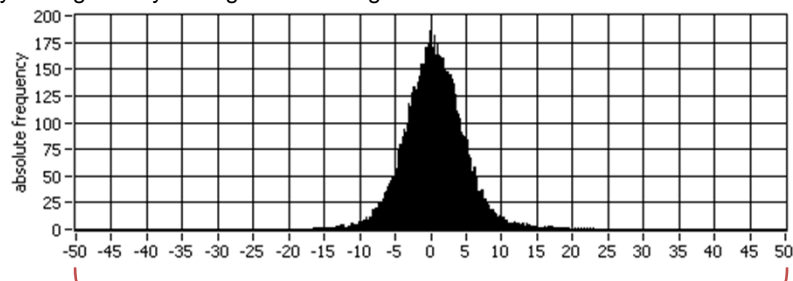




Synchronize MI-Quality PXI 10MHz Clock



Sys1 Edge → Sys2 Edge offset using GPS

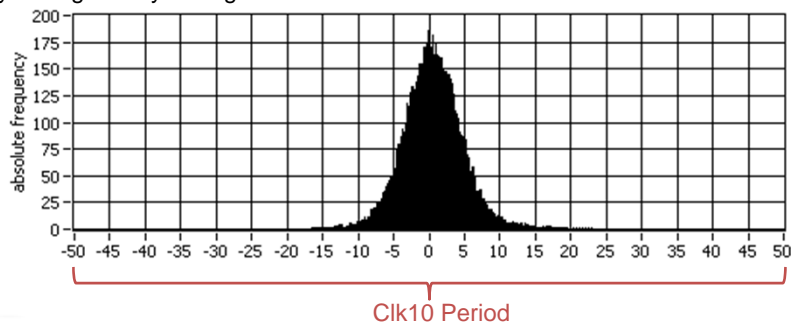


Note: This is NOT cycle-to-cycle Jitter Clk10 Period

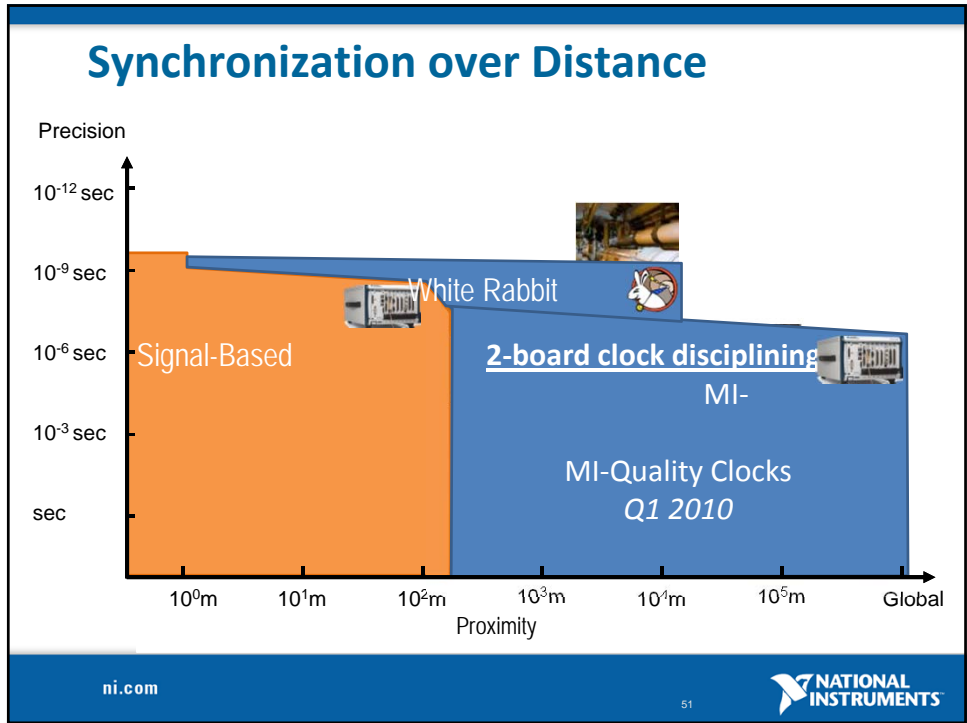
System Alignment: GPS

Timekeeper Clock	NCO / 6682	2-board solution (OCXO)
Cycle to Cycle Jitter	> 4.7ns	< 5ps rms

Sys1 Edge → Sys2 Edge offset




Note: This is system-to-system offset over a long period (wander). This is NOT cycle-to-



NI and CERN White Rabbit

- Partnering with CERN in developing White Rabbit (WR)
- Performance
 - **Distance:** > 10 km
 - **Scale:** > 2000 nodes
 - **Accuracy:** < 1ns skew, < 100 ps jitter
 - Compensates for propagation delay (cable length, temperature variation, etc.)
- Leverage Industry standards (802.x, **IEEE 1588**, SyncE)
 - Gigabit Ethernet communication with deterministic capability
- Generally Applicable
- Leverage for future PXIe modules



ni.com 52 NATIONAL INSTRUMENTS

Next Generation Synchronization

PXI(e)-668x

	PXI-6682 (Good)	PXI(e)-6683 (Better)	PXI(e) 6684 (Best) (White Rabbit) 
1588 Distance	100m point-point	100m point-point	>10 km point-point
Ethernet	10/100Mb	1Gb	1-10Gb Fiber
1588 Node-node offset, jitter	< 100ns, 10ns	< 5ns, < 1ns*	< 1ns, 500 ps
Disciplined CLK10	No	Yes, OCXO	Yes, OCXO
Clock Gen	< 1.5MHz FPGA-derived	< ~50MHz FPGA-derived	< ~50 MHz FPGA-derived
DDS	No	< ~200MHz	< ~200MHz
LVFPGA	No	HW Capable	HW Capable

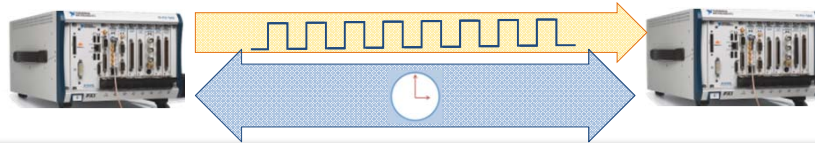
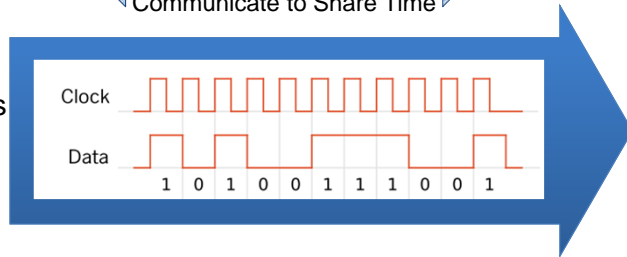
* Assumes SyncE. Without this may be < 2ns

Synchronous Ethernet

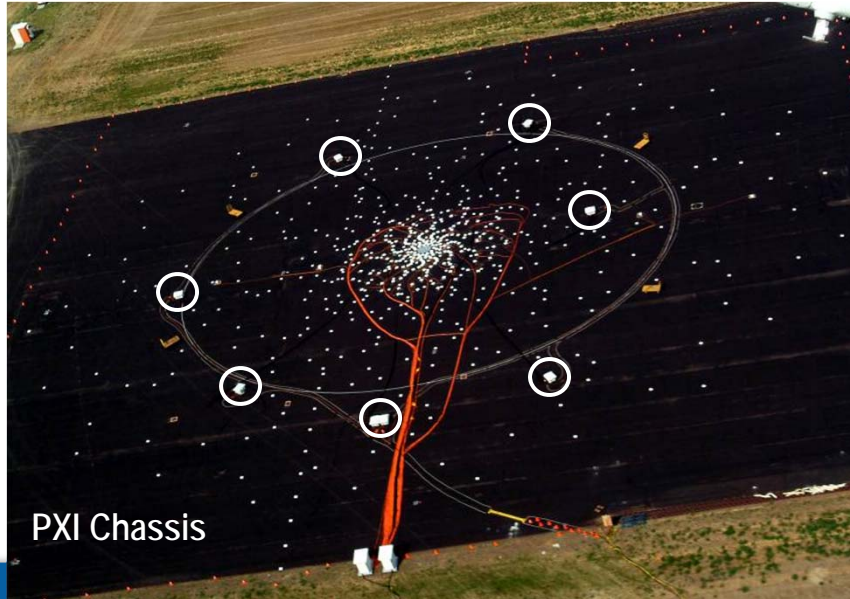
IEEE 1588

+

Synchronous Ethernet



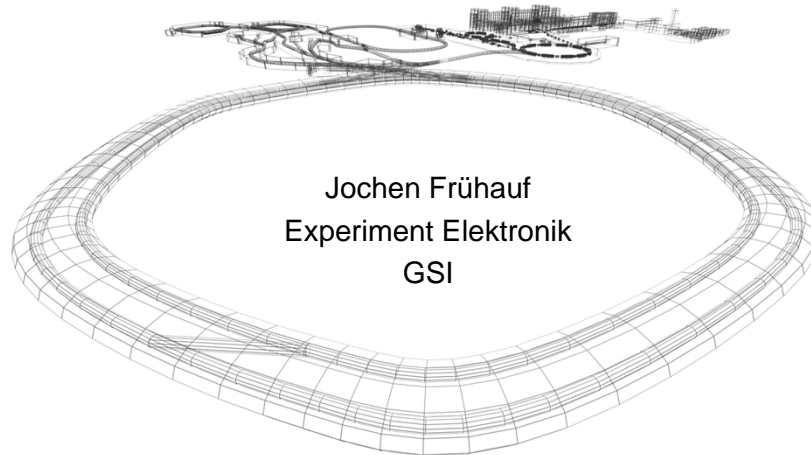
Questions?



55

INSTRUMENTS

FPGA basierte Readout Elektronik



Jochen Frühauf
Experiment Elektronik
GSI

SEI-Tagung an der GSI - Frühjahr 2011



Outline

- Anforderungen an FPGAs
 - Module
 - PCI Express
 - Frontend Boards
 - VME Karten
- } Praktische Anwendungen

Alle Module wurden von *Jan Hoffmann* entwickelt und von *Sabine Voltz*, *Peter Skott* oder *Gerhard May* gelayoutet.

Die dazugehörigen FPGA Programme wurden von *Jan Hoffmann*, *Shizu Minami*, *Ivan Rusanov*, *Wolfgang Ott* oder *Jochen Frühauf* entwickelt.

Alle Module sind so ausgelegt das Sie mit MBS ausgelesen werden können.
(MBS=Muti Branch System ~150 Systeme Weltweit)



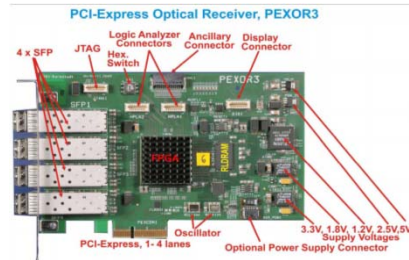
Anforderungen an FPGAs

- je nach Anforderungen werden FPGAs aus der mittleren Preisklasse von **Lattice**, **Xilinx** oder **Altera** verbaut
- Auswahl Kriterien sind hierbei:
 - äußere Abmessungen
 - Leistungsaufnahme
 - Größe des internen Memories
 - Anzahl der Optischen Links
 - Anzahl der I/Os (speziell LVDS Paare)
 - Preis

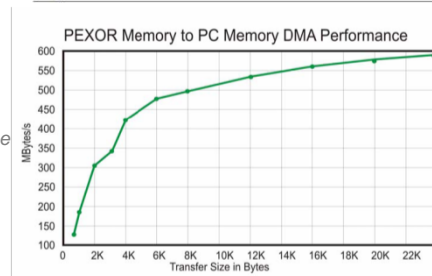


PEXOR (Pci-EXpress Optical Receiver)

- **Aufgaben:**
 - Verbindung zwischen verschiedenen Front-End-Boards (EXPLODER, FEBEX) und standard PCs
- **FPGA: Lattice SCM40**
 - 4 Lane PCIe (4*2.5 Gbits/s).
 - 4x 2 GBits/s SFPs als Input der Frontend Elektronik
- bei großen Datenmengen können die 4 SFPs nacheinander ausgelesen und die Daten direkt über den FPGA via DMA Kontrolle in den PC weitergeleitet werden (600MBytes/s)

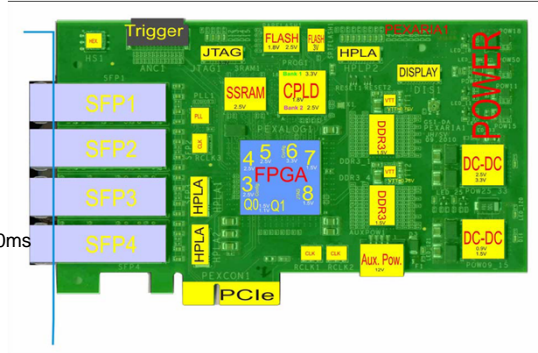


- *RLDRAMII konnte leider bisher nicht in betrieb genommen werden. Auch nicht nach Rücksprache mit Lattice*



PEXARIA (PEXOR mit Arria GX)

- FPGA: ALTERA Arria GX II (EP2AGX125EF29C5N)
- Interface:
 - 4 Lane PCIe
 - 4x 4Gb/s SFPs
- 2x DDR3 Memories
 - 64M x 16 bit
- SSRAM
 - 512K x 36 bit
- seriell & parallel Flash
 - Ladedauer FPGA Programm < 200ms

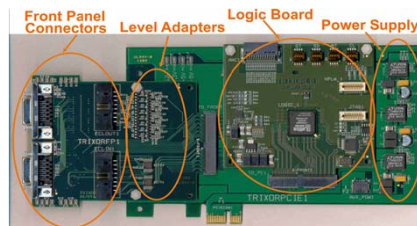
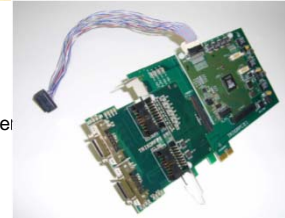


- redesign notwendig
 - wird dann auch als leichtere Version zu verfügbar sein



TRIXOR

- Weiterentwicklung von TRIVA (VME – Trigger – Modul)
- Aufgabe:
 - VME - PC - Synchronisation
 - Totzeit - Verriegelung des Systems während der Auslesedauer
 - sammeln von Sub-Events für vollständige Events für den Eventbuilder
 - 4 ECL-Inputs für Mastertrigger (Auswahl des Triggertyps)
 - 15 verschiedene Triggertypen sind möglich (4Bit kodiert)
 - 2 ECL Outputs für Totzeit und GO Signal für die Frontend Boards und Readout-Controller
 - 2x Triggerbus Anschluß

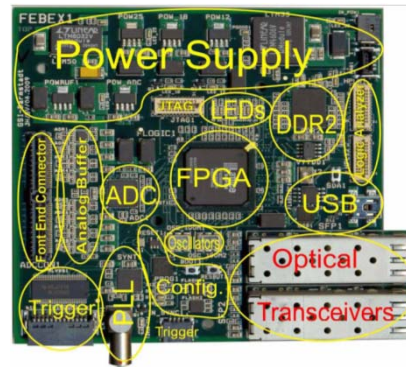


TRIVA
VME-Trigger-Modul

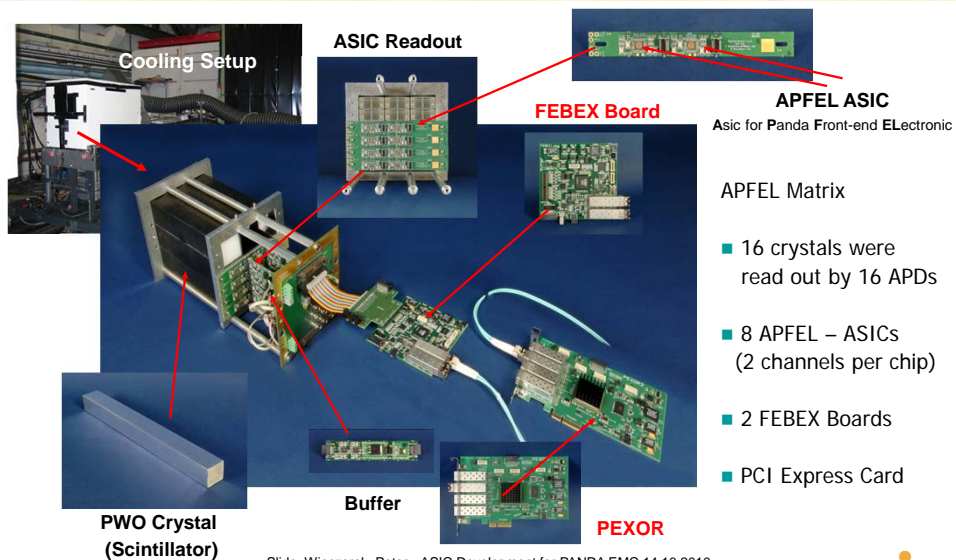


FEBEX (Front End Board with optical link EXTension)

- FPGA: Lattice ECP2-50
- DDR-2 Memory
- Front-End Connector:
 - 8 differential Analog Inputs
 - ADC sampling rate von max. 65 Ms/s
 - Auflösung: 12 bit
 - 16 differential LVDS I/Os
 - max. 8 Outputs
 - 2x 2 Gb/s Optical Transceivers
 - Triggerbus
 - externer Clock Input



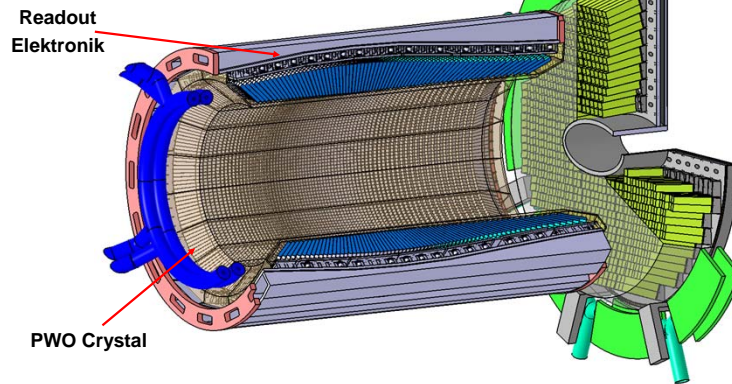
Readout System für PANDA EMC - Prototype



Slide: Wiczorek, Peter : ASIC Development for PANDA EMC 14.10.2010

Readout System für PANDA EMC

The PANDA Detector – Calorimetry
mit 15552 Kanälen



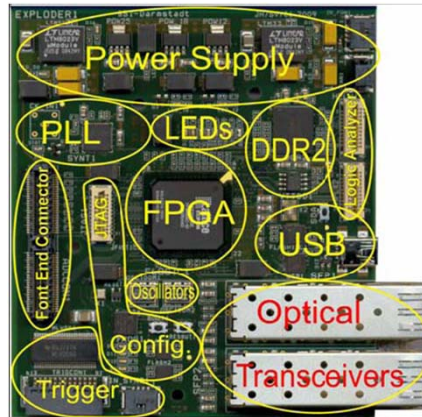
Quelle: http://www-panda.gsi.de/framework/det_iframe.php?section=Calorimetry

FEBEX Version 3

- Änderungen:
 - 16 Channel ADC (zuvor nur 8CH)
 - FPGA, Lattice (LFE3-150)
- geplant: online Datenreduzierung über Algorithmen im FPGA vorzunehmen um ADC Daten schnell genug weiter verarbeiten zu können
 - ADCs = 1560MByte/s treffen auf 200MByte/s (2 Gb/s) Optical Link
- geplante Systeme:
 - SHIP & TASCA
 - ~650 Kanäle
 - PANDA
 - ~15000 Kanäle
- *FEBEX 3 Platine wird in kürze geliefert*

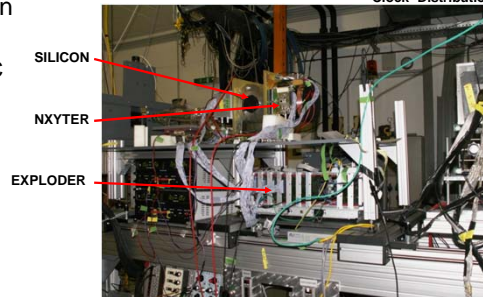
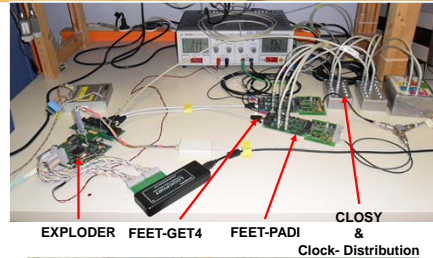
EXPLODER

- FPGA: Lattice
 - LFE2M50E-7FN484C
- DDR II Memory
- 2x serielle FLASH Memories
- 32x LVDS I/Os
- 8x single ended signals (in-out)
- 2x 2.5 Gb/s Optische Transceivers
- Triggerbus



Anwendungen: EXPLODER

- FPGA TDC (in Bearbeitung)
- GET4 Readout (in Bearbeitung)
 - GSI Eventdriven TDC
- NXYTER Readout
- geplant:
 - Integration von EXPLODER in QFW Modul
 - Frontend Elektronik und ROC vereint



Silicon Readout mit NXYTER & EXPLODER
Strahlzeit in Juelich, COSY, März 2011
Quelle: Koczon, Piotr

GEMEX (Gas-Electron-Multiplier-Time-Projection-Chamber (GEM TPC) readout board)

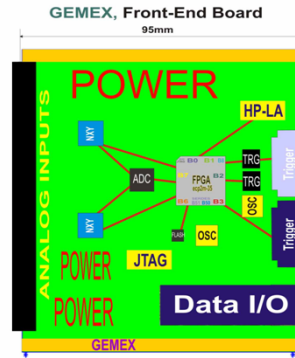
nach erfolgreicher Implementierung des NXYTER - Readouts mit dem EXPLODER wurde der Prototyp für die GEM TPC entwickelt

• I/Os:

- 2 x 128 analog inputs
- Trigger bus
- Serial Data I/O

• Probleme die zu Lösen waren

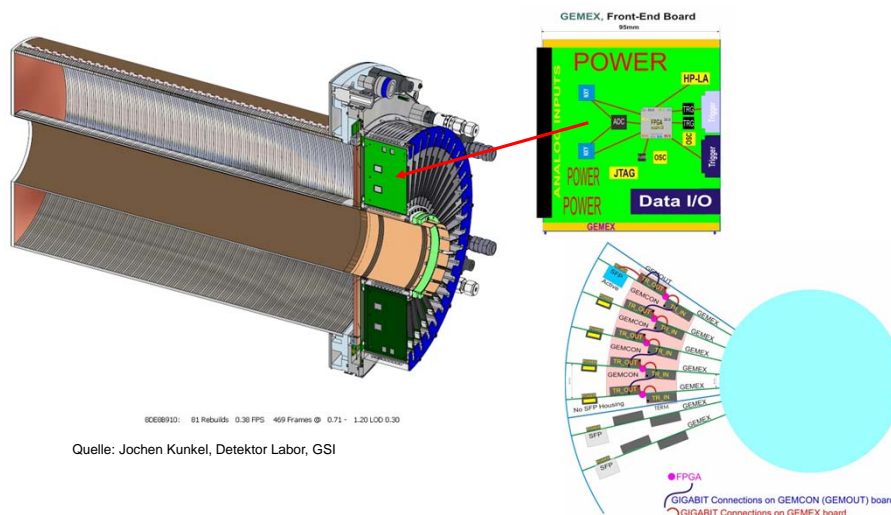
- Magnetisches Feld (DC-DC Konverters mit Luftspulen).
- Hitze Abstrahlung (2xNXYTER~6W, ADC~1W & FPGA~1W).
- diverse Spannungsversorgungen (3.3V, 1.8V, 1.2V)
- PCB Dicke von 0.8 mm, max. 6 Layers (impedance controlled)
- NXYTER muß gebondet werden
- Noise Problem (FPGA -> NXYTER inputs)
- Radiation tolerance (FPGA reboot)
- Platz für Kabel



• Prototyp soll bis Anfang April 2011 geliefert werden



GEMEX & PANDA GEM TPC Prototyp



00E0910: 01 Rebuilds: 0.30 FPS: 459 Frames @ 0.71 - 1.20 LOG 0.30

Quelle: Jochen Kunkel, Detektor Labor, GSI



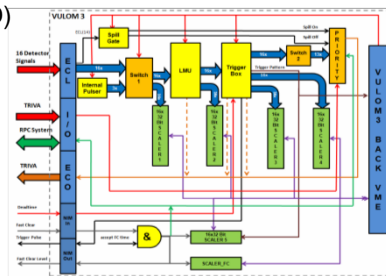
VULOM 5 (VME Univesal Logic Module)

- Virtex 5
 - 16 ECL INPUTS
 - 16 I/O Ports
 - 16 Outputs
 - 2 LEMO Inputs
 - 2 LEMO Outputs
 - VME Interface
- oder**
 - 8 ECL INPUTS
 - Trigger Bus
 - 4 SFPs
 - 2 LEMO Inputs
 - 2 LEMO Outputs
 - VME Interface



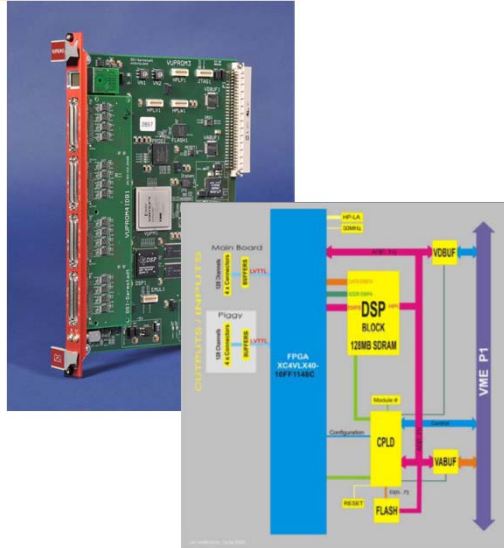
Anwendungen: VULOM

- vielseitig einsetzbar
 - einfach Logische Verknüpfungen von Signalen
 - komplexe Triggerlogic (FOPI / R3B LAND)
 - Logic Matrix Unit
 - Trigger Box
 - Priority Encoder
 - Totzeit Verriegelung
 - Scaler
 - Scaler Anwendungen
 - FPGA TDC (VULOM 4)
 - Auflösung bis zu 11ps



VUPROM 3 (Vme Universal PROcessing Module)

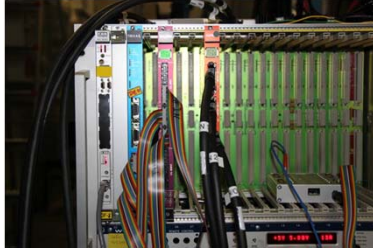
- Aufgabe
 - soviel wie möglich Input Signale zu haben und diese schnellst möglich zu verarbeiten
- FPGA: XILINX VIRTEX4
- DSP für komplexe Triggerberechnungen
- 8 x 32 differential I/Os
- 3 x 32 Inputs & 1 x 32 Outputs sind fix auf dem Mainboard
 - Piggyback Option ist individuell verfügbar
 - 4 x 32 Input
 - 4 x 32 Output
 - 2 x 32 Input 2 x 32 Output
 - 1 x 32 Input 3 x 32 Output
 - 3 x 32 Input 1 x 32 Output
- 1 LEMO Input & 1 LEMO Output
 - (TTL and NIM Level)
- Ergebnisse können sowohl über das Frontpanel als auch über VME Interface ausgegeben werden



Anwendungen: VUPROM

- 224 Channel Ratemeter (FOPI-RPC)
- 192 CH Multi Hit TDC and scaler
 - 3.3ns Auflösung
- QFW Readout (Profilgitter – Auslese)
 - QFW = Ladungs – Frequenz - Wandler
 - 8Chips / 4CH = 32 Channel
 - Erweiterung auf 64 Channel (in Bearbeitung)
 - User Interface
 - Meßbereichumschaltung
 - Meßdauer

Profilgitter Elektronik (QFW)



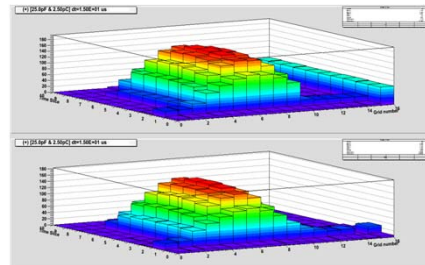
VME Readout System

32 CH QFW
Prototype



Experiment Setup Nov. 2011

Daten Analyse via Go4 Software



Zusammenfassung

- durch die enge Zusammenarbeit von Hardware- & Software-Entwicklern ist es uns möglich in kürzester Zeit zuverlässige Prototypen zu entwickeln
- die hausinterne Produktion (layouts / bestücken) der Platinen ermöglicht notwendige Änderungen schnell durchzuführen
 - Platinenfehler zu beheben
 - FPGA austauschen
 - Komponenten Austausch um Leistung zu sparen
 - etc.
- unserer Datenverarbeitungsgruppe versorgt im Anschluß die Systeme mit der entsprechenden Analyse Software
 - online / offline Analyse
 - MBS / DABC / GO4



Danke für Ihre Aufmerksamkeit

Informationsmaterial über Module aus der Experiment Elektronik finden Sie hier:
http://www.gsi.de/informationen/wti/ee/elect_entwicklung/Module.html

„The World in Motion“

MACCON
MOTION UNDER CONTROL

SEI Conference, March 2011

***The Application
of intelligent Stepper & Servomotor Controllers
in Experimental Physics***

***Ted Hopper & Martin Podehl (MACCON GmbH, Munich)
Lutz Rossa (Hahn-Meitner-Institut, Berlin)***

MACCON
The Mechatronics Company

Seite 1

„The World in Motion“

MACCON
MOTION UNDER CONTROL

Unser Leitbild

Unser Ansatz ist es, unsere Kunden bei der Lösung Ihrer antriebs- und regelungstechnischen Probleme in Maschinen, Fertigungsprozessen und Experimentalaufbauten zu unterstützen. Unser Spezialgebiet ist:

MOTION UNDER CONTROL

- Ein großes Sortiment an qualifizierten antriebstechnischen Produkten
- Präzision, Dynamik und koordinierte Bewegungen in Mehrachssystemen
- Anpassung an übergeordnete Steuerungen
- Adaption unserer Produkte an spezielle Schnittstellen und Umgebungen
- Unser umfassendes technisches Wissen und unsere Erfahrung auf dem Gebiet der Mechatronik

Seite 2

„The World in Motion“

MAÇON
MOTION UNDER CONTROL

Produkte

Antriebskomponenten GmbH

Servomotoren & Sensoren



Elektromechanik

Motoren & Steuerungen

MAÇON
MOTION UNDER CONTROL

Vertriebs GmbH

DC/DC-Wandler



Elektronik

Entwicklungs GmbH

Elektromotoren

Software/CAE
Werkzeuge

Seite 3

„The World in Motion“

MAÇON
MOTION UNDER CONTROL

Luft- und Raumfahrt



Seite 4

„The World in Motion“

MACON
MOTION UNDER CONTROL

Halbleiterindustrie

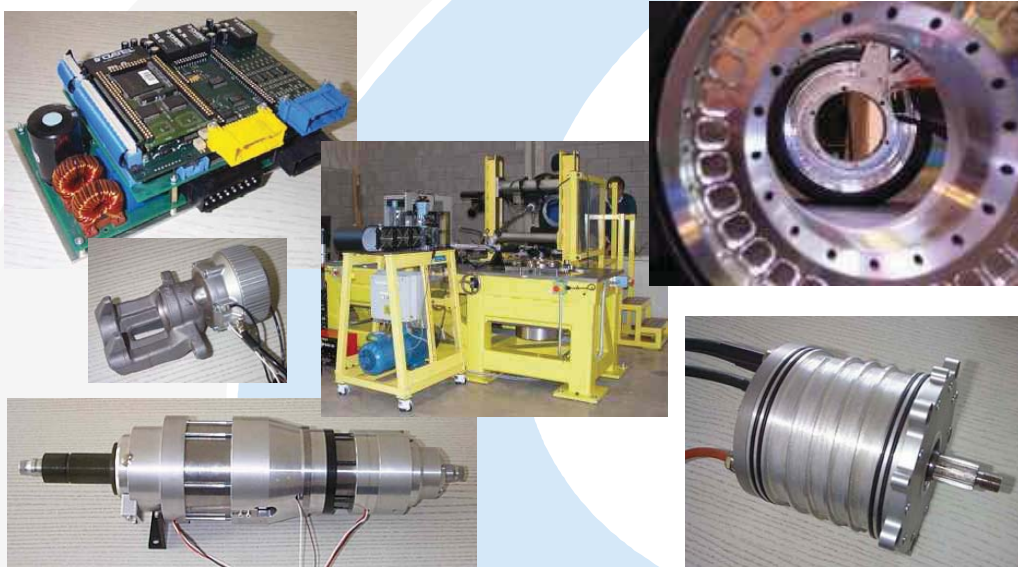


Seite 5

„The World in Motion“

MACON
MOTION UNDER CONTROL

Automobilindustrie

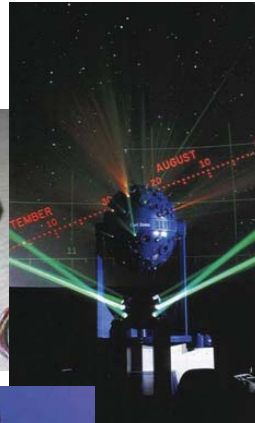


Seite 6

„The World in Motion“

MACON
MOTION UNDER CONTROL

Unterhaltungsindustrie



Seite 7

„The World in Motion“

MACON
MOTION UNDER CONTROL

Medizintechnik



Seite 8

„The World in Motion“



Consumer & Banking

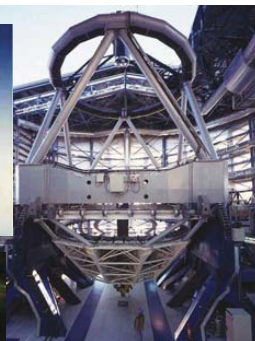


Seite 9

„The World in Motion“



Wissenschaft & Forschung



Seite 10

„The World in Motion“

MACON
MOTION UNDER CONTROL

Eine Familie von Controllern für Schritt- und Servomotoren

- **Modellreihen**
 - ◆ Xenus Servoverstärker
 - ◆ Accelnet Servoverstärker
 - ◆ Stepnet Schrittmotorverstärker
- **Spannungsbereich**
 - ◆ Xenus: 100 - 240 VAC
 - ◆ Accelnet: 20 - 180 VDC
 - ◆ Stepnet: 20 - 75 VDC
- **Strombereich (Spitzenstrom)**
 - ◆ Xenus: 6 - 40 A
 - ◆ Accelnet: 6 - 36 A
 - ◆ Stepnet: 2 - 5 A



Copley
Controls
Corp.
Copley Motion Systems LLC

Seite 11

„The World in Motion“

MACON
MOTION UNDER CONTROL

Betriebsarten, Sollwertvorgabe & Rückführung

- **Betriebsarten**
 - ◆ Positionsregelung
 - ◆ Geschwindigkeitsregelung
 - ◆ Drehmomentregelung (Stromregelung)
- **Sollwertvorgabe**
 - ◆ Via CANbus/EtherCAT
 - ◆ $\pm 10V$ Geschwindigkeits/Drehmomentsollwert
 - ◆ PWM Geschwindigkeits/Drehmomentsollwert
 - ◆ Schritt/Richtung Positionssollwert
 - ◆ Serielle Sollwertvorgabe via RS232 (ASCII)
- **Rückführung**
 - ◆ Inkrementalencoder mit Halls
 - ◆ Sinus/Cosinus- & Absolut-Encoder
 - ◆ Schrittmotoren in *open-loop*-Konfiguration
 - ◆ Resolver
 - ◆ **I/O**: 6 inputs, 2 outputs



stand-alone capability!

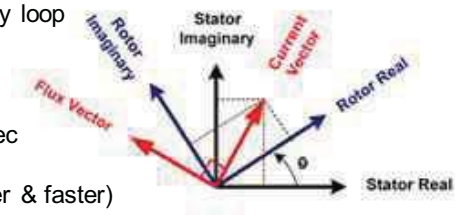


Copley
Controls
Corp.
Copley Motion Systems LLC

Seite 12

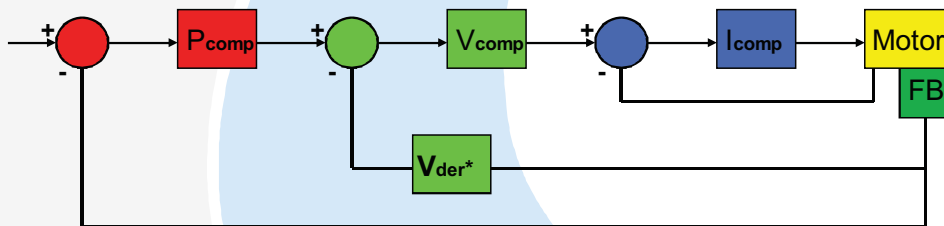
Servo-loops and Commutation

- **Servo Loop Architecture**
 - ◆ nested position, velocity and current loops
 - ◆ self-tuning current loop
 - ◆ PI compensator in velocity and current loops
 - ◆ velocity and acceleration feed-forward
 - ◆ bi-quad anti-resonance filter in velocity loop
- **Servo Performance**
 - ◆ current loop update: 50 μ sec
 - ◆ current loop bandwidth: 3 kHz
 - ◆ velocity/Position loop update: 250 μ sec
- **Commutation**
 - ◆ sinusoidal field oriented control (cooler & faster)
 - ◆ trapezoidal
 - ◆ DC brush mode
 - ◆ open-loop stepper



Nested Servo-loops

- simpler, more intuitive tuning than PID
- only two independent terms (proportional/integral) in velocity and current loops
- proportional gain only in position loop
(Feedforward and biquad filter terms not shown)



„The World in Motion“

MACON
MOTION UNDER CONTROL

Protection and Status

- bus overvoltage and undervoltage
- amplifier and motor overtemperature
- short circuit
- IsqT current limiting
- voltage and current output limited
- encoder error
- phasing error
- tracking warning and error
- software and hardware enable status
- velocity and acceleration limits reached
- over travel limits active
- in braking mode
- brake active
- in motion



Copley Controls Corp.
Copley Motion Systems LLC

Seite 15

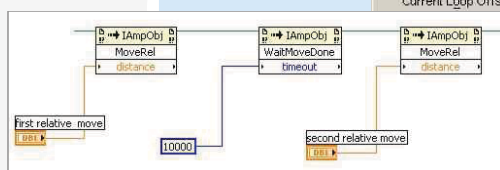
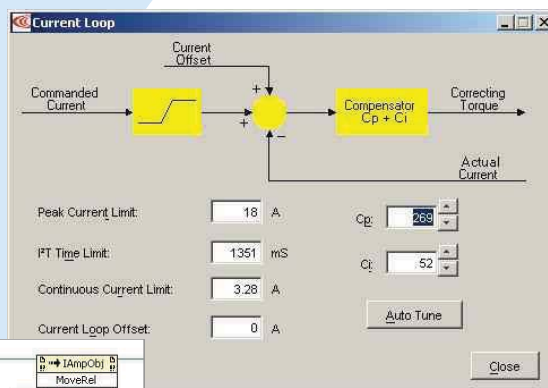
„The World in Motion“

MACON
MOTION UNDER CONTROL

Programming Tools 1

- Java based for platform independence and trouble-free installation
- intuitive screens
- clear diagnostics
- powerful commissioning tools
- integrated motor files

Current Loop Tuning Auto and Manual



Copley Controls Corp.
Copley Motion Systems LLC

Seite 16

Programming Tools 2

The screenshot displays the MACON software interface. The 'Motor Wiring Setup' window shows a 'Commanded Motor Phase Angle' gauge and input fields for 'Auto Phase Current' (0.3 A) and 'Increment Rate' (90 elec deg/sec). The 'I Panel' window shows status indicators for Motor Output, Hardware Enable, Software Enable, POS Limit, and NEG Limit, along with a 'Monitor' section for Actual Current (1.11 A), Actual Motor Velocity (0 rpm), and Actual Position (-200 μSteps). The 'Move' section includes Velocity (50 rpm), Acceleration (33.4 rps²), and Deceleration (33.4 rps²) settings. The 'Function Generator' window shows a profile graph with points A and B, and settings for Apply To (None), Excitation (Square Wave), Amplitude (1000 RPM), and Frequency (1 Hz).

Seite 17

Einsatz am Helmholtz Zentrum Berlin

- **Einsatz am HZB**
 - ◆ von Copley Stepmot Modulen und Micromodules
 - ◆ in Experimenten in Reaktornähe mit hohen Anforderungen an die Genauigkeit ohne Einsatz von Sensorik
 - ◆ in Experimenten mit Absolutwertgebern
 - ◆ in flexiblen Testaufbauten mit kurzer Umrüstzeit
 - ◆ in Mehrachssystem



Seite 18

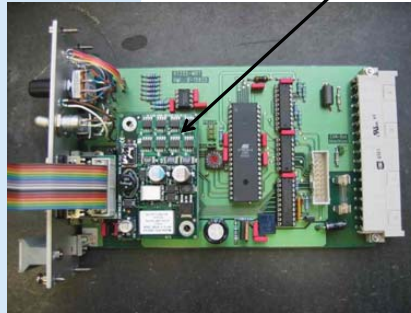
„The World in Motion“

MACON
MOTION UNDER CONTROL

Einsatz am Helmholtz Zentrum Berlin

■ ST222 Schrittmotorkarte

Am Helmholtz Zentrum Berlin werden Stepmet Micro Modules in der eigens-entwickelten Schrittmotorkarte ST222 eingesetzt.



Copley Controls Corp.
Copley Motion Systems LLC

Seite 19

„The World in Motion“

MACON
MOTION UNDER CONTROL

Einsatz am Helmholtz Zentrum Berlin

■ Vorteile des Einsatzes von Copley Stepmets am HZB

- ◆ Hohe Zuverlässigkeit unter allen Einsatzbedingungen (teilweise auch unter Strahlung)
- ◆ Große Flexibilität beim Einsatz in Testaufbauten
- ◆ Einbau in universelle Lösungen (ST222 Schrittmotorkarte)



Copley Controls Corp.
Copley Motion Systems LLC

Seite 20

„The World in Motion“

MACON
MOTION UNDER CONTROL

Einsatz am Helmholtz Zentrum Berlin

■ Erfahrungen

“Insgesamt haben wir sehr gute Erfahrungen mit den Stepnet-Motorsteuerungen gemacht und werden sie weiterhin einsetzen. Es gibt noch ... alte Schrittmotorsteuerungen, die ... durch die neuere ST222 ersetzt werden.“

(Quelle: Helmholtz Zentrum Berlin, Lutz Rossa)



Copley
Controls
Corp.
Copley Motion Systems LLC

Seite 21

„The World in Motion“

MACON
MOTION UNDER CONTROL

MACON
MOTION UNDER CONTROL

www.macon.de

MACinverter®



Seite 22

Motor Steuerungen – TASCA Experiment



Motor Steuerungen mit Beckhoff-Klemmen
SEI Tagung 2011

27/04/2011

Autor: Tanya Torres



1

Einleitung:

Projekte:

- Motor Steuerung für das 8-Target-Rad. (310 mm Durchmesser)
- Motor Steuerung für das 4-Target-Rad. (100 mm Durchmesser)
- Schlitzsteuerung. (150mm Strecke)

Komponenten:

- Servomotoren
- Servoverstärker
- Schrittmotor (Nanotec)
- Schrittmotorklemme
- Industrie PC
- EtherCAT – Koppler
- I/O Klemmen
- Optokoppler und Photosensoren
- Konfiguration und Steuersoftware
- u.s.w.



27/04/2011

Autor: Tanya Torres

2

Alle die hier genannten Projekte sind ein Teil des TASCA Experiments.

Beim TASCA Experiment handelt sich um einen Separator für die Forschung von Schwerionen.

Die Steuerung des 8 Target Rad und des 4 Target Rad sind im Prinzip oder nach der Spezifikation sehr ähnlich. Die Hauptunterschiede liegen in der Größe des Rads, der Art des Motors (Servo und Schrittmotor) und an den Geschwindigkeiten, die gefahren werden sollen.

Bei der Schlitzsteuerung werden vier Servomotoren eingesetzt und es handelt sich um eine Streckensteuerung.

Die Komponenten die hier aufgeführt sind, sind die Hauptdarsteller der Steuerungen, zusätzlich dazu wurden Teile wie Schienenklemmen, Netzteile, Verkabelungselemente, Sicherungen eingesetzt.

Beschreibung der 4-Target-Rad und der 8-Target-Rad Systeme

Anforderungen und Ähnlichkeiten der Systeme:

- Motorsteuerung für fortlaufende Bewegung ein Target-Rad.
- Die Bewegung soll mit der Netzfrequenz 50 Hz (HEAG) synchron laufen.
- Kontrollierte Beschleunigungsbewegung mit einer Rampenfunktion von Stillstand bis zur Zielgeschwindigkeit und beim Bremsen bis zum Stillstand. (schützt das Target)
- Synchronisierung des Target zum Strahl; der Strahl soll immer zentriert im der Target-Fenster auftreffen.
- Das Steuerungssystem soll in der Lage sein, eine Änderung an der Pulsbreite des Strahls und der Bewegung des Systems an die neuen Bedingungen anpassen.
- Feedback-Signale: Synchronität, aktuelle Position oder Target Nummer.

27/04/2011

Autor: Tanya Torres



3

Da die beiden Steuerungen so ähnlich sind, werden sie zusammen beschrieben über ihre gemeinsamen Anforderungen und über die Parameter, die sie voneinander unterscheidet.

Es handelt sich um eine fortlaufende und unendliche Bewegung; unter unendlicher Bewegung ist zu verstehen, dass das Rad nicht zu einer bestimmten Position gefahren wird und dann angehalten wird, sondern dass es sich so lange dreht, wie es das Experiment erfordert.

Unter Netzfrequenz synchron ist zu verstehen, dass die Geschwindigkeit des Rads zu jeder Änderung an der Netzfrequenz angepasst wird. Hier wurde von mir die passende Mathematik entwickelt, es gibt aber auch die Möglichkeit bei der Firma Beckhoff Bibliotheken mit passenden Funktionen zu erwerben.

Sehr wichtig für das Experiment ist, dass der Strahl genau zentriert im Target - Fenster getroffen wird; dafür wurde im Programm eine zusätzliche Steuerungskette eingebaut. Hier wird die Position des Rads zu einem bestimmten Zeitpunkt überprüft, mit dem Strahl verglichen und der Bewegung des Rads angepasst. Zu diesem Zweck wurden Eingansklemmen mit Zeitstempel benutzt.

Als Ausgangssignale dienen das Synchronsignal (als Hinweis aller Regelungsketten schon statt gefunden haben und das System bereit zum Experimentieren ist) und die Positionsausgabe des Rads.

Beschreibung der 4-Target-Rad und der 8-Target-Rad Systeme

Unterschied zwischen den Systemen:

- Es handelt sich um ein 8-Target-Rad, Durchmesser 310 mm und Target-Länge von 119.4 mm.
- Das andere ist ein 4-Target-Rad, Durchmesser 100 mm und 74.15 mm Target Länge.
- Das 8Target-Rad erreicht eine Endgeschwindigkeit von 18.75 r/s (1125 rpm oder 6750°/s).
- Das 4-Target-Rad erreicht eine Endgeschwindigkeit von 37.5 r/s (2.250 rpm oder 13.500°/s oder 15.000 step/s)
- Für das 8-Target-Rad-System wurde ein Servomotor und Servoverstärker mit Encoder Feedback benutzt.
- Das 4-Target-Rad-System wurde mit einem Schrittmotor und einer Schrittmotorklemme, ohne Encoder Feedback implementiert.



27/04/2011

Autor: Tanya Torres

4

Wie bereits erwähnt unterscheiden sich die Systemen durch die Größe des Rads, die Geschwindigkeit, und der Art des Motors.

Bei dem 4 Target – Rad ist das auch noch anzumerken, dass 2.250 rpm eine ganz außergewöhnliche und an die Grenzen stoßende Geschwindigkeit für einen Schrittmotor ist. Für gewöhnlich werden Schrittmotoren für exakte Positionierungs-Aufgaben über kurze Strecken eingesetzt.

Da für den Schrittmotor keine Encoder benutzt wird, wurde eine zusätzliche Elektronik und Logik implementiert um die Position des Rads zu erkennen.

Beschreibung der Schlitzsteuerung

Konzept:

- Steuerung von 4 Servomotoren mit Resolver Feedback über 2 Servoverstärker
- Translatorische Bewegung mit einer endlichen Verfahrestrecke von 150 mm
- Endschalter für die Referenzfahrt
- Keine Synchronisierung notwendig
- Zwei der Motoren sollen nach Anfrage auch kleine Strecken fahren können (Millimeter Bereich).
- Position Feedback (nur als Anzeige) und System Status.

Software Grundteile: TwinCAT

- **TwinCAT System Manager:**
 - zentrales Konfigurationswerkzeug des Systems
 - Verwaltung der Software Tasks (Programme)
 - Verwaltung der angeschlossenen E/A Komponenten
 - Verknüpfung der im Tasks definierten Variablen mit den dazugehörigen physikalischen E/A Komponenten
 - logische Verbindung zu anderen Variablen in anderen Tasks
- **TwinCAT PLC Control:**
 - Programmier und Entwicklungsumgebung für die Steuerung
 - Editor stellt mehrere Programmiersprachen zur Verfügung (AWL, ST, FUP, AS, CFC und KOP)
 - Debugging und Aufzeichnung – Funktionen für Fehleranalyse

27/04/2011

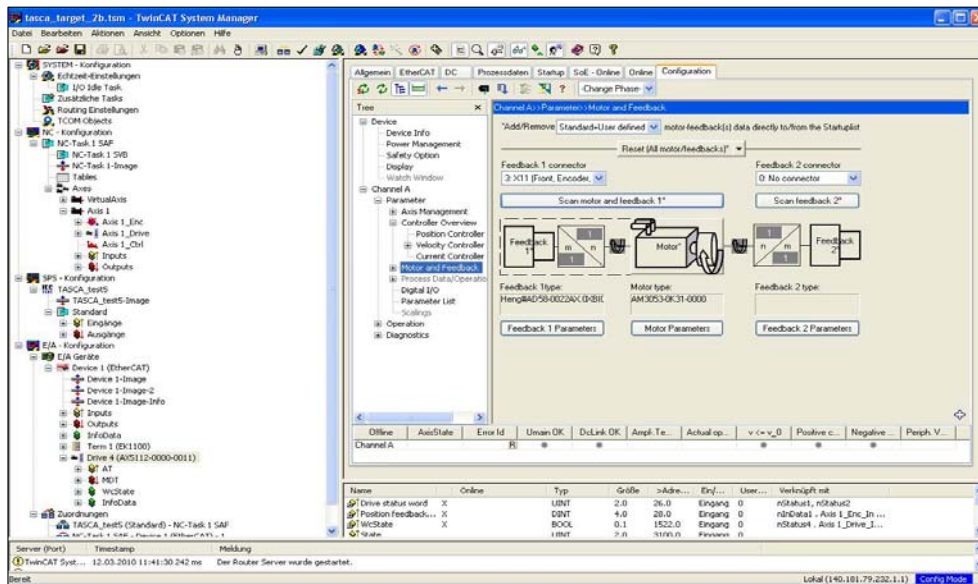
Autor: Tanya Torres



6

Als Software Komponente des System wurde das TwinCAT Version 2 Software der Firma Beckhoff eingesetzt. Davon als Konfigurations-Software der TwinCAT System Manager und für die Programmierung der TwinCAT PLC Control.

TwinCAT System Manager:



27/04/2011

Autor: Tanya Torres










7

Dieses Bild ist ein Beispiel von der Konfigurations-Umgebung des TwinCAT System Manager. Unter E/A werden alle Klemmen und andere Teile wie der Servoverstärker, zuerst erkannt und dann konfiguriert. Bei der NC Konfiguration werden die Parameter des Motors und seine Bewegung eingegeben. Und bei der SPS Konfiguration wird das SPS Programm geladen.

Alle Parameter unter diesen Konfigurationen werden mit einander kommunizieren und haben eine Bedeutung während der Steuerungsaufgabe.

TwinCAT System Manager:

NC configuration:

Allgemein	Einstellungen	Global	Dynamik	Online	Funktionen	Kopplung	Kompensation
		-93269.6089		Soll-Position: [mm]		-93269.6089	
Schleppabstand (min/max): [mm]		Ist-Geschwindigkeit: [mm/s]		Soll-Geschwindigkeit: [mm/s]		1850.4990	
0.0000 (0.000, 0.000)		1850.4990		1850.4990			
Override: [%]		Gesamt-/Reglerausgabe [%]		Fehler:		0 (0x0)	
100.0000 %		84.11 / 0.00 %					
Status (log.)		Status (phys.)		Freigaben			
<input checked="" type="checkbox"/> Betriebsbereit		<input type="checkbox"/> Gekoppelt		<input checked="" type="checkbox"/> Regler		Set	
<input type="checkbox"/> Referenziert		<input type="checkbox"/> In Zielposition		<input checked="" type="checkbox"/> Vorschub +			
<input checked="" type="checkbox"/> Hat Auftrag		<input type="checkbox"/> In Pos.Bereich		<input checked="" type="checkbox"/> Vorschub -			
<input type="checkbox"/> Fahrt NICHT							
<input type="checkbox"/> Fahrt größer							
<input type="checkbox"/> Fahrt kleiner							
Regler Kv-Faktor: [mm/s/mm]		Bezugs-Geschwindigkeit: [mm/s]					
0.1		2200					
Ziel-Position: [mm]		Fahr-Geschwindigkeit: [mm/s]					
-12345.456		1850.5					
							
							



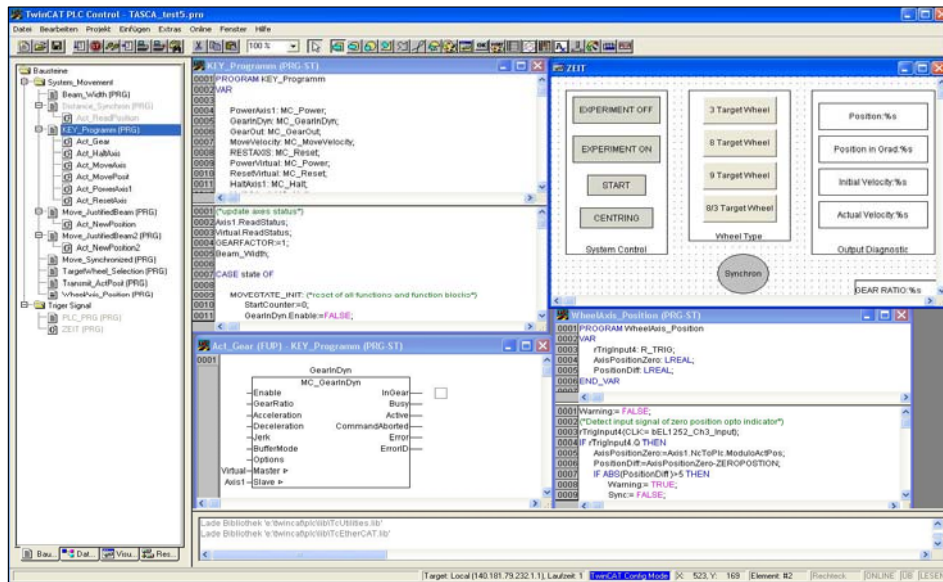
27/04/2011

Autor: Tanya Torres

8

Unter der NC Konfiguration gibt es die Online Fenster , die sehr wichtig für die Inbetriebnahme eines System ist. Hier kann man die Bewegung des Motor überprüfen , ohne dafür eine Zeile Programm schreiben zu müssen.

TwinCAT PLC Control:



27/04/2011

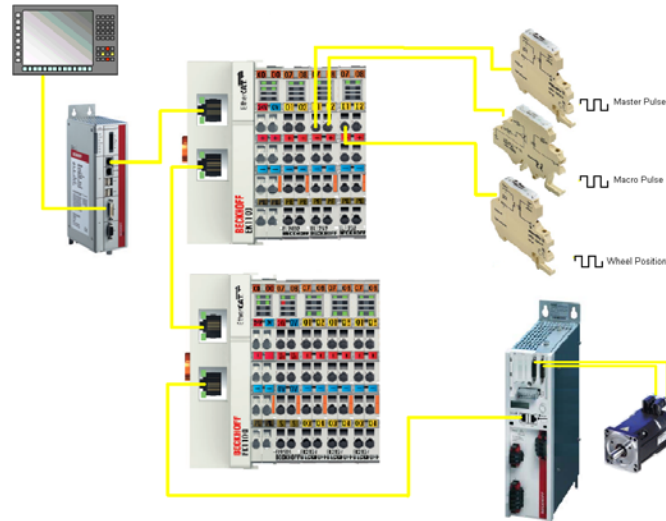
Autor: Tanya Torres

9

Hier ein Beispiel des PLC Control. Dieses Programm unterstützt mehrere Programmiersprachen, wie Anweisungsliste, Strukturierter Text, Funktionsplan, Kontaktplan, Ablaufsprache und Freigrafischer Funktionsplaneditor.

Zusätzlich gibt es die Möglichkeit eine Bedienoberfläche in eine grafische Form zu programmieren, als Entwicklungs-Werkzeug oder als endgültige Bedienoberfläche.

Hardware Architektur des 8-Target-Rad Systems



27/04/2011

Autor: Tanya Torres

GSII

10

Das Bild zeigt die Teile des System: Steuer PC, Eingang und Ausgangsklemmen, Servoverstärker, Servomotor und Optokoppler zum Wandeln des 5V Signale in 24V Signale.

Hier sollten die Schaltzeiten des Koppler berücksichtigt werden für die Eingangsklemmen mit Zeitstempel.

Bedienoberfläche des 8-Target Systems

The screenshot shows the control interface for the 8-Target System, divided into two main sections:

- Left Panel (System Control):**
 - Buttons: EXPERIMENT OFF, EXPERIMENT ON (highlighted in green), START, Synchron (circular button).
 - System Control box.
 - Actual State: MOVESTATE_ZEROPOSITION
 - 0.000
 - Actual Velocity: 0.000 Hz
 - Selected Wheel: 8 TARGET WHEEL
 - Warning: Wheel position not according with axis position
 - Position Difference Wheel to Axis: 0.000 °
 - ACTUAL BEAM width: 0.000 ms
 - LAST BEAM width: 5.000 ms
 - New Position: 0.000 °
 - Go to Service button.
- Right Panel (Wheel Configuration & Diagnostics):**
 - Wheel Type selection: 3 Target Wheel, 8 Target Wheel, 8/3 Target Wheel.
 - Position: 0
 - Position in Grad: 0.000
 - Selected Velocity: 0 Hz
 - Actual Velocity: 0.000 Hz
 - Output Diagnostic: -180°, -22.5°, 22.5°, 180° (highlighted in yellow and green).
 - SoilZeit: 2.00
 - Position at Beam: 0.000 °
 - GEAR RATIO: 1
 - ACTUAL BEAM width: 0.000 ms
 - LAST BEAM width: 5.000 ms
 - New Position: 0.000 °
 - CENTRINO button
 - Go to Operation button

27/04/2011 Autor: Tanya Torres **GSI** 11

Die Bedienoberfläche ist in zwei geteilt; die linke Seite ist der Teil für die Experimentatoren, der es erlaubt das System zu starten und anhalten und stellt einige Diagnosekomponente zur Verfügung. Der rechte Teil nur über Passwort erreichbar. Der sollte bei der Montage des Rads benutzt werden und zur Auswahl zwischen 8 Target Rad und 8/3 Target Rad Konfiguration; bei der 8/3 Konfiguration handelt es sich um das gleiche Rad mit 1/3 der Geschwindigkeit und einer anderen Target Einordnung (Siehe Bild unten)

8-Target-Rad



27/04/2011

Autor: Tanya Torres

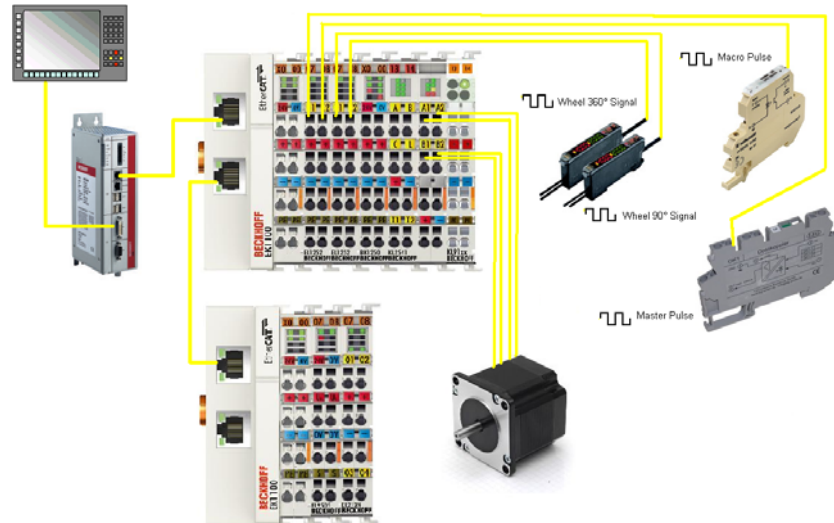
GSI

12

An der linken Seite ist das Rad in seiner Kassette (Einbau ohne Targets). Rechts oben das Rad vor und nach der Strahlung. Man kann die Brennsuren erkennen, die genau zentriert zum Target Fenster sind.

Rechts unten das 8/3 Target Rad nach der Strahlung .

Hardware Architektur des 4-Target-Rad Systems



27/04/2011

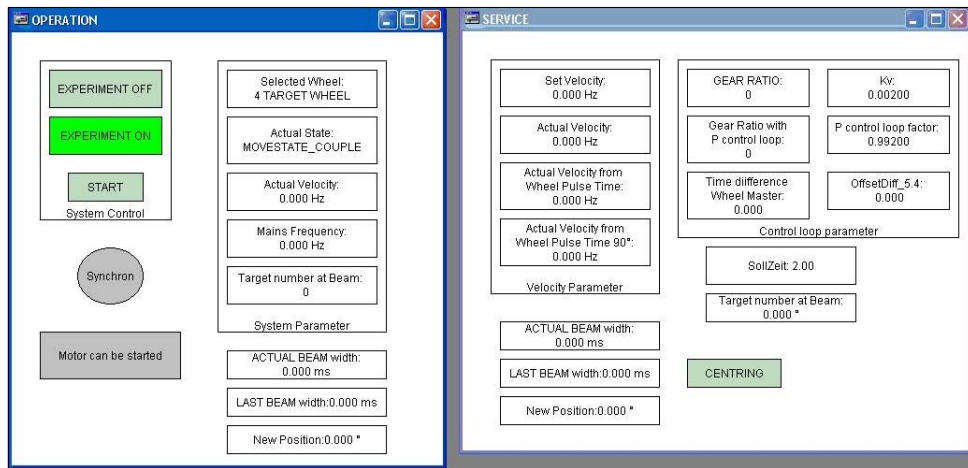
Autor: Tanya Torres

GSII

13

Hier sind die Teile der 4 Target Rad Steuerung: PC, Eingang und Ausgangsklemmen, Schrittmotorklemme, Schrittmotor, Opto-Koppler für die Eingangssignale und optische Sensoren, um die Position des Rad zu erkennen.

Bedienoberfläche 4-Target System



27/04/2011

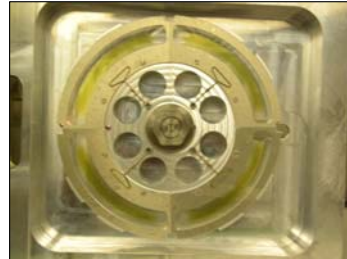
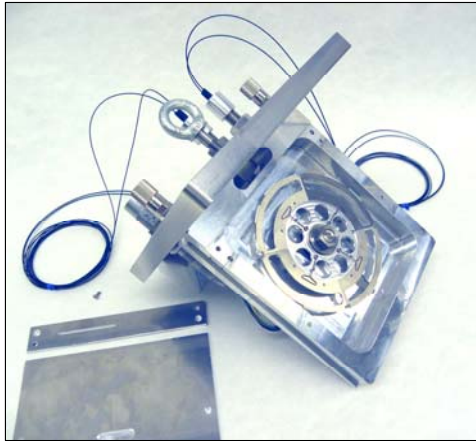
Autor: Tanya Torres



14

Vergleichbar mit dem 8 Target Rad, ist die Bedienoberfläche für das 4 Target Rad; auf der linken Seite ist die Oberfläche für die Experimentatoren und auf der rechten Seite die Oberfläche, die in laufe der Entwicklungsarbeiten benutzt wurde.

4-Target-Rad



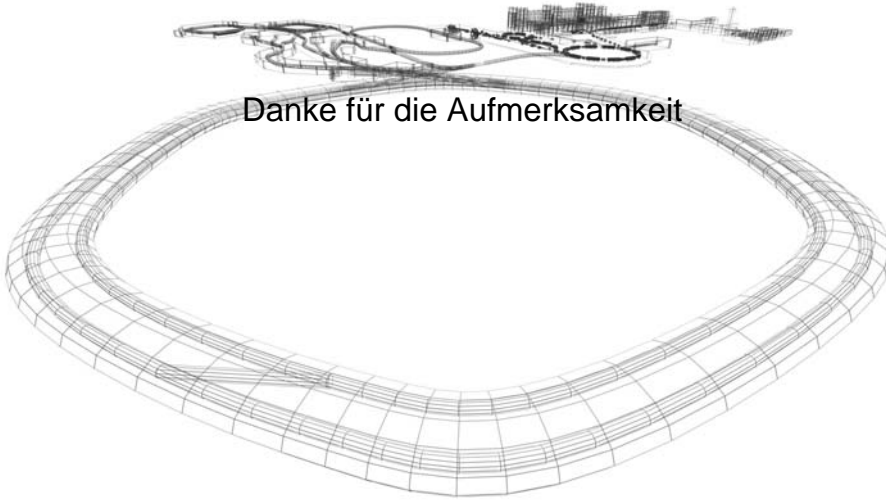
27/04/2011

Autor: Tanya Torres

GSI

15

Kassette Einbau des 4 Target Rad und die Ergebnisse nach der Strahlung.



SEI-Tagung an der GSI - Frühjahr 2011
Studiengruppe elektronische Instrumentierung der
Helmholtz-Zentren

21-23 March 2011

an der GSI:

Gesellschaft fuer Schwerionenforschung

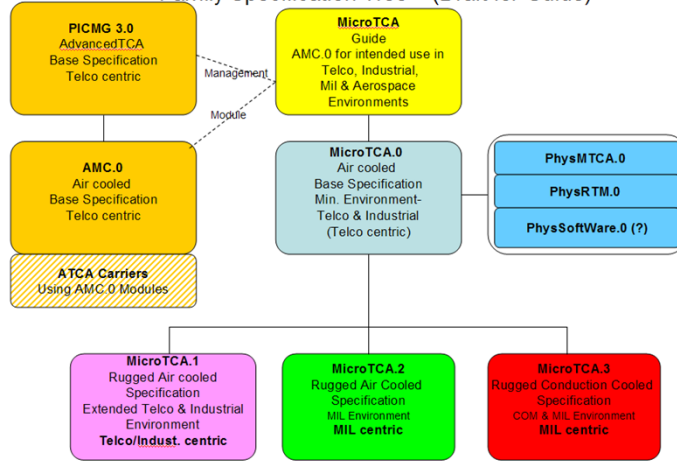
μ TCA system platforms for physics

Friedrich Fix

- ❖ Specification
- ❖ 6 slot solution
- ❖ 12 slot solution
- ❖ Integration

- ❖ Specification

MicroTCA Guide
Family Specification Tree – (Draft for Guide)



Elma Electronic GmbH, Friedrich Fix, 8.2.2011

MicroTCA specifications

What is the main difference between MicroTCA and XTCA for Physics?

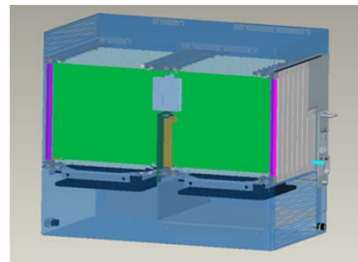
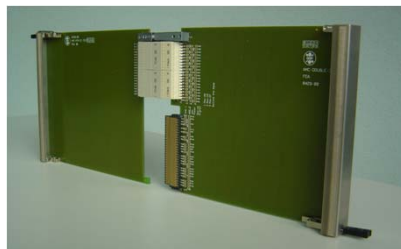
XTCA for Physics = Additional features and options for AdvancedTCA and MicroTCA for use in particle physics research including data collection and accelerator control systems.



Elma Electronic GmbH, Friedrich Fix, 8.2.2011

Some additional features:

- Double height AMCs (more space for interfaces)
- Rear I/O AMCs
- Clock and trigger distribution
 - defined timing, synchronization, and interlocks
 - data acquisition with pico seconds stability



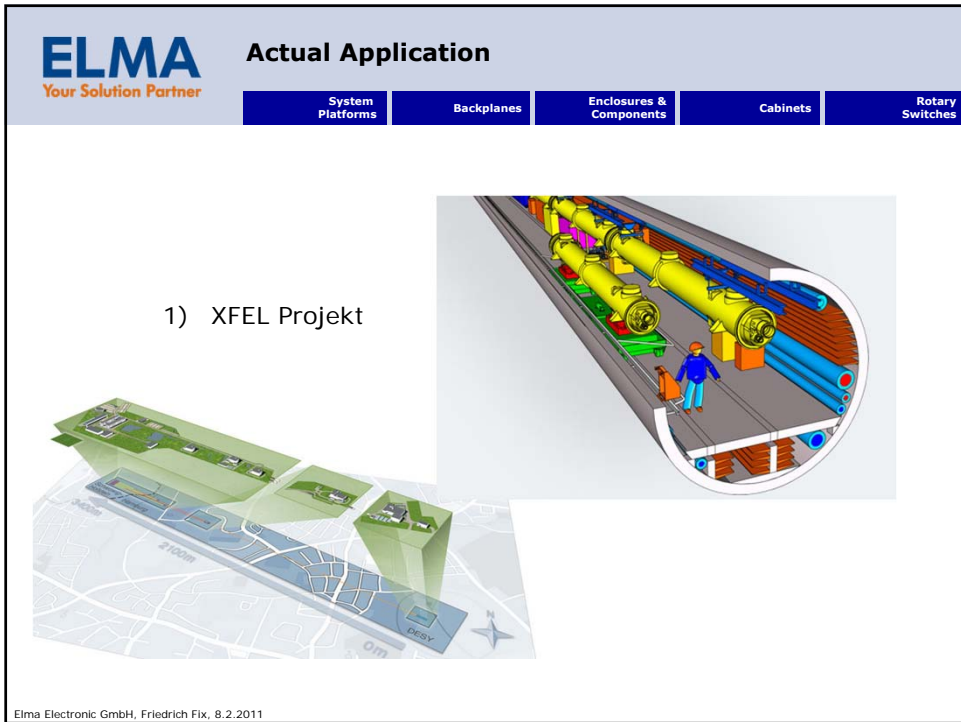
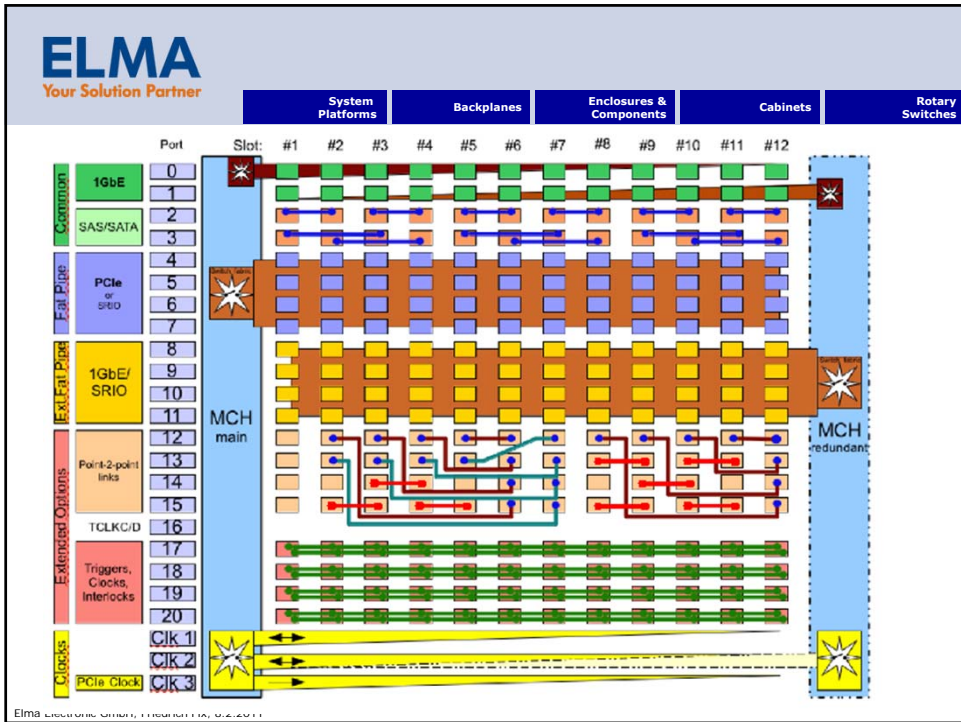
Elma Electronic GmbH, Friedrich Fix, 8.2.2011

- The standardization of XTCA was driven by several research institutes
- XTCA is already in the evaluation phase at several institutes (e.g. DESY, Forschungszentrum Jülich, SLAC)
- Other institutes will follow
- This leads to synergy and more easy implementation of XTCA



e.g. XTCA system with up to 6 AMCs

Elma Electronic GmbH, Friedrich Fix, 8.2.2011



❖ 6 slot solution



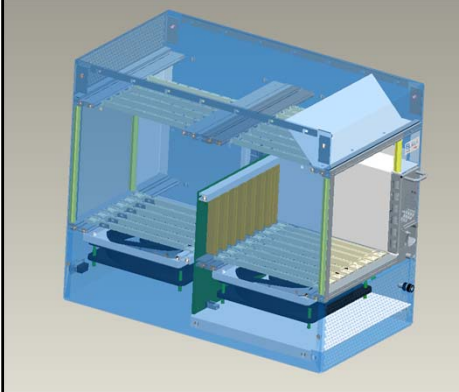
X-TCA for physics

Features:

- **6 mid size double modules**
- **In front and rear**
- **CPU slot could also be used as full size double module**
- **PSU: 300W AC**
- **Air flow: up to 140m³/h in front and rear**

CPU for X-TCA double module mid size or full size

- System Platforms
- Backplanes
- Enclosures & Components
- Cabinets
- Rotary Switches



Elma Electronic GmbH, Friedrich Fix, 8.2.2011

X-TCA for physics as table top system

- System Platforms
- Backplanes
- Enclosures & Components
- Cabinets
- Rotary Switches



Elma Electronic GmbH, Friedrich Fix, 8.2.2011



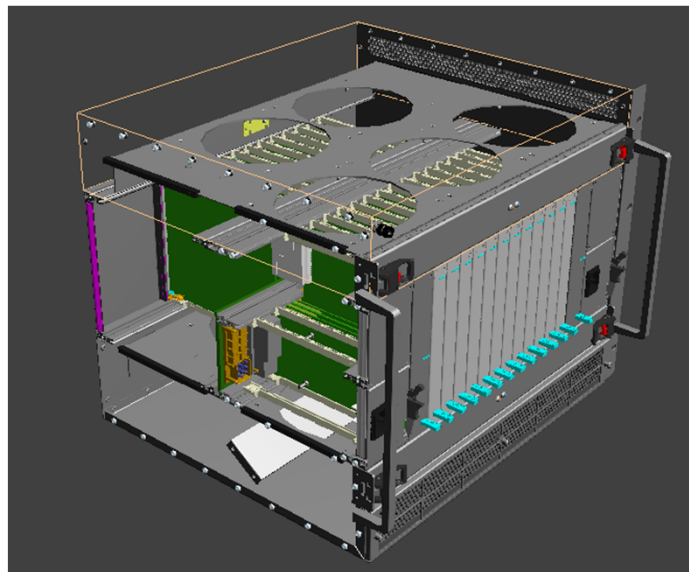
Elma Electronic GmbH, Friedrich Fix, 8.2.2011

❖ 12 slot solution

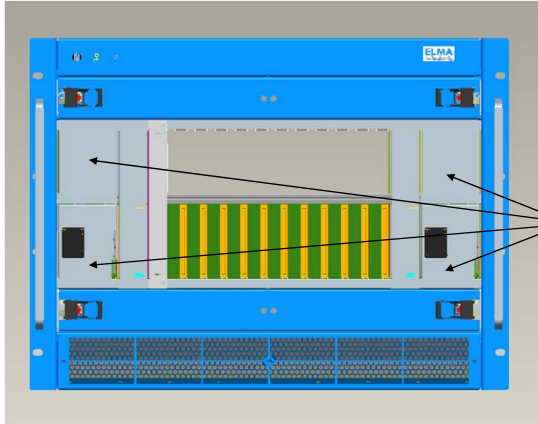
Elma Electronic GmbH, Friedrich Fix, 8.2.2011



Elma Electronic GmbH, Friedrich Fix, 8.2.2011



Elma Electronic GmbH, Friedrich Fix, 8.2.2011



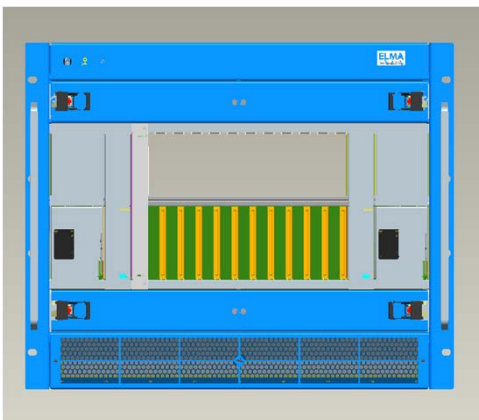
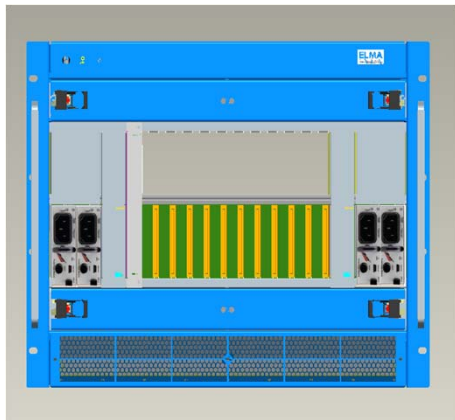
X-TCA for physics

Features:

- 12 mid size double modules
- In front and rear
- PSU: 2x 600W AC
 - 4x 300 W AC / as N+N
- Air flow: 2x fan cassettes with
 - 700m³/h air flow for front and rear

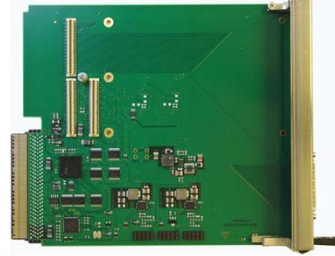
**4 x 300W
N+ Version**

**2 x 600W
Version**





**AMC Carrier
for
Industry
packs
and
PMC Packs**



Processor Board



HIGHLIGHTS

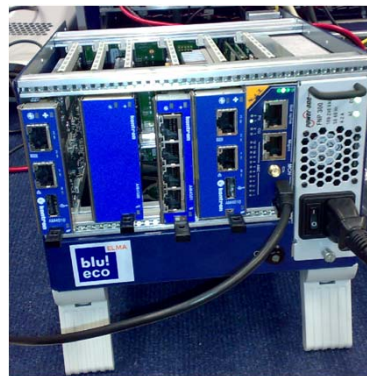
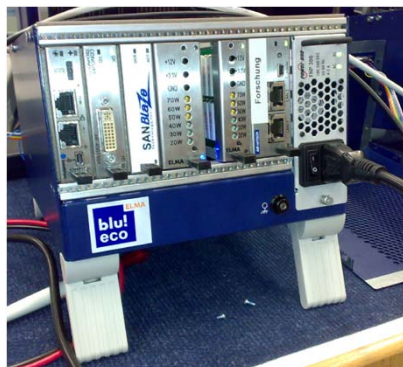
- Double-width, full height AdvancedMC processor module:
 - compliant to AMC.0
- 2.0 GHz Dual-Core Intel Xeon processor LV or 1.66 GHz Dual-Core Intel Xeon processor ULV:
 - Sixman Dual-Core
 - 167 MHz Front Side Bus
 - 2 Mbytes L2 cache shared between the cores
 - CPU fan not required
- Up to 16 Gbytes of soldered DDR2-400 SDRAM (with ECC)
- Intel 3100 server chipset:
 - up to 3.2 Gbytes/sec peak memory bandwidth
 - integrated memory controller and I/O Hub
- 2 gigabit Ethernet (Serdes type) Interfaces:
 - AMC.2 Type E2
- x8 PCI Express fabric port:
 - AMC.1 Type 8
- 4 x USB ports:
 - 2 front and 2 rear

❖ ELMA Integration Service



SET
NAT
Advantec
Concurrent
GE
SURF
Core Edge
Ericsson
Emerson

On going test with different board vendors



➤ MicroTCA (Micro Telecommunications Computing Architecture) is a PICMG standard for open modular systems based on AMCs.

Your benefit: Free choice of multiple vendors, min. risk.

➤ MicroTCA is designed to address high communication bandwidth, high processing capacity and high availability requirements.

Your benefit: Future proof system concept, long life lime, lower costs.

➤ MicroTCA platforms have enough bandwidth for the most challenging applications.

Your benefit: One system platform fits to lots of applications, time to market, reduced NRE.

➤ The MicroTCA specification supports the highest level of management on chassis level and between multiple MicroTCA chassis.

Your benefit: Remote control and maintenance, easy hot swap process, hardware check of all relevant system components.

➤ Support of several protocols like GbE, sRIO or PCIe.

Your benefit: Free choice of application, always based on MicroTCA.

➤ From cost optimized compact system design to fully redundant system implementation (high availability of up to 99.999% possible).

Your benefit: Scalable system platform, competitive from low cost to high end.



THANK YOU

ASIC-Design @ GSI

H. Flemming¹

¹GSI, Experiment Elektronik, Darmstadt

Einleitung

Der Autor ist Leiter der Arbeitsgruppe ASIC-Design an der GSI. Diese Arbeitsgruppe ist eingebettet in die Abteilung Experiment-Elektronik und beschäftigt sich sowohl mit der Entwicklung vom Konzeptentwurf bis zum Layout von ASICs als auch mit dem Test dieser Chips im Labor. Die Gruppe besteht aus fünf Mitarbeitern, vier Entwicklern und einer Technikerin.

Für den ASIC-Entwurf kann die GSI als öffentlich finanziertes Forschungsinstitut kostengünstig über das Europractice-Programm auf eine Reihe umfangreicher Software-Pakete zurück greifen. Einen Überblick dazu gibt Tabelle 1.

Programm	Hersteller	Anwendung
DF II	Cadence	Full Custom Analog- und Digitaldesign
Calibre	Mentor Graphics	Verifikation
ModelSim	mentor Graphics	Digitalsimulation
Design Compiler	Synopsys	Digitalsynthese
SOC Encounter	Cadence	Place and Route von Digitaldesigns

Tabelle 1: Verwendete Software

Während die Fertigung der ASICs selbstverständlich nicht an der GSI stattfindet, sondern außer Haus bei großen Chipherstellern wie Austria Mikrosysteme (AMS) und United Microelectronics Corporation (UMC) vorgenommen wird, verfügt die GSI Experimentelektronik wieder über ein gut ausgestattetes Bond- und Testlabor. Dort befinden sich unter Reinraumbedingungen ein Die-Bonder zum Ausrichten und Aufkleben der Chips auf Platinen und in Gehäusen, ein Drahtbonder zum Herstellen der elektrischen Verbindungen und ein manueller Prober, um mit feinen Nadeln Messungen direkt auf dem Wafer oder dem Chip vornehmen zu können. Erwähnenswert ist, dass der Drahtbonder durch den Austausch der Bondköpfe sowohl Aluminiumdrähte nach dem Wedge-Wedge-Verfahren, als auch Golddrähte nach dem Ball-Wedge-Verfahren verarbeiten kann.

Für Test und Messungen an den ASICs steht der Arbeitsgruppe ein Laborplatz im gut ausgestatteten Elektroniklabor der Abteilung zur Verfügung.

ASIC-Design — Warum?

ASIC-Design gilt gemeinhin als extrem teuer und Zeitaufwendig. In der Tat sind vor allem die Einmalkosten für die Maskenproduktionen sehr hoch, was ASIC-Design nur für große Stückzahlen attraktiv macht. Durch so genannte *Multi-Project-Wafer-Runs*, bei denen mehrere Institute Ihre Chips auf einem gemeinsamen Wafer fertigen lassen und somit die hohen Einmalkosten teilen können, sind aber auch die Fertigungskosten für Prototypen in geringen Stückzahlen erschwinglich. Darüber hinaus gibt es im Umfeld der Großgeräteforschung weitere Randbedingungen, die ASIC-Design attraktiv, ggf. sogar zwingend erforderlich machen.

Ein wichtiger Punkt ist der hohe Strahlungshintergrund in Detektoren der Teilchenphysik. Die dabei auszuhaltenen Dosen übertreffen deutlich die Dosen, die z.B. in der Luft- und Raumfahrt anzutreffen sind. Dementsprechend sind am Markt erhältliche Komponenten bis auf wenige Ausnahmen für diese Anwendungen nicht geeignet. Zudem werden oftmals Spezialkomponenten benötigt, die so außerhalb dieses Umfeldes keine Verwendung finden.

Bei großen Experimenten, wie sie an der GSI z.B. im Rahmen von FAIR[1] geplant sind, ist oftmals die Zahl der Auslesekanäle schon so groß, dass trotz der hohen Einmalkosten eine ASIC-Entwicklung kostengünstiger ist, als der Aufbau der Elektronik mit Standardkomponenten. Die hohe Integrationsdichte, die im Innern solcher Detektoren erforderlich ist, ist ein weiterer Grund für die Anwendung von ASICs.

Im folgenden sollen hier ein Einblick in der Entwicklungstätigkeit der ASIC-Design-Gruppe der GSI anhand einiger Beispiele gegeben werden. Die hier präsentierten ASIC-Entwicklungen sind aus Anforderungen der großen FAIR Experimente CBM und PANDA entstanden. Dennoch können die ASICs als „Standardkomponenten“ auch in anderen Experimenten eingesetzt werden.

GSI Event Driven TDC GET4

Der *GSI Event Driven TDC* mit vier Kanälen (GET4)[5] wird gegenwärtig für den Flugzeitdetektor des CBM-Experimentes[2] entwickelt. Die Anforderungen setzen sich im wesentlichen aus einer hohen Zeitauflösung von besser als 25 ps (besser als 80 ps für das gesamte System), einer Ereignisrate von mindestens 50 kHz pro Kanal und

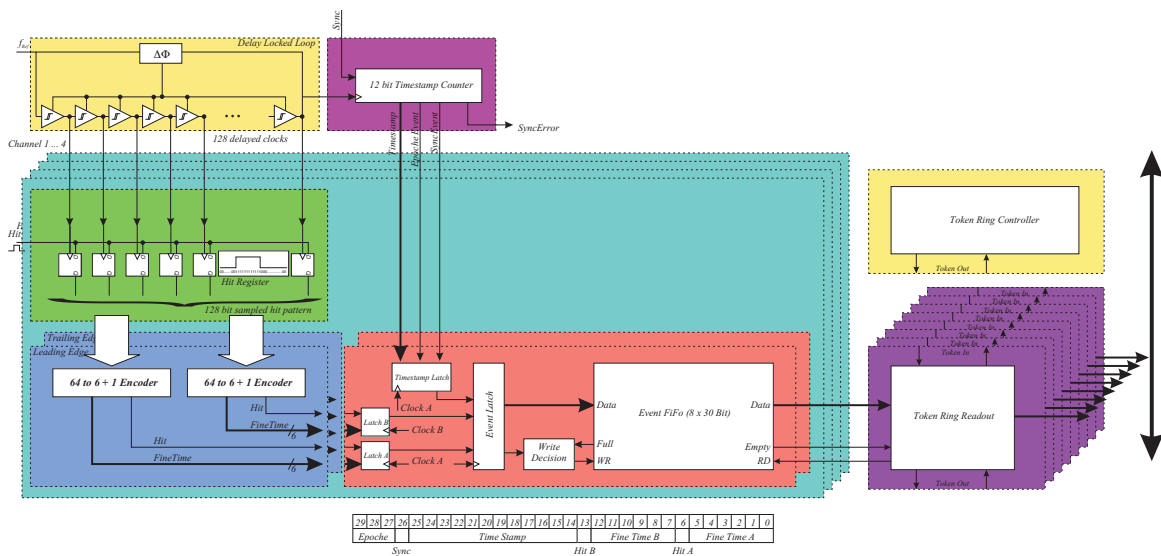


Abbildung 1: Blockschaltbild des GET4-ASICs

einer Doppelpulsauflösung von besser als 5 ns zusammen. Die Leistungsaufnahme ist nicht kritisch, sollte aber unter 30 mW pro Kanal liegen. Der TDC soll neben dem Zeitpunkt des Signals auch die Pulslänge messen können, um über *Time over Threshold*-Messungen auch Informationen über die Signalhöhe zu erhalten.

Ein wesentlicher Punkt ergibt sich aus der Art der Datenaquisition, die beim CBM-Experiment geplant ist [4]. Es wird kein globales Trigger-Signal geben. Statt dessen soll jedes Subsystem selbsttriggernd arbeiten. Aus dem so entstehenden Datenstrom sollen in einer Rechnerfarm online die interessanten Ereignisse heraus selektiert werden. Für den TDC-Chip ergibt sich daraus die Anforderung, dass jedes Ereignis mit einer Echtzeitmarke versehen werden muss.

Insgesamt werden für den CBM-Flugzeitdetektor ungefähr 65000 TDC-Kanäle benötigt.

Die Abbildung 1 zeigt ein Blockbild des GET4-TDC-ASICs. Kern des TDCs ist eine Verzögerungsregelschleife aus 128 identischen spannungsgesteuerten Verzögerungselementen, die 128 um jeweils 50 ps verzögerte Taktsignale liefert. Jeder Konverterkanal enthält ein so genanntes Hit-Register, das mit diesen 128 Taktsignalen angesteuert wird. Auf diese Weise ist es möglich, das Eingangssignal in Abständen von 50 ps abzutasten. Die nachfolgende Logik sucht in den gespeicherten Abtastmustern nach 01- und 10-Übergängen und kodiert die Position dieser Übergänge binär.

Um die Echtzeitstempel zu generieren, zählt ein so genannter Timestamp Zähler die Taktzyklen des TDC-

Taktsignals. Der Zähler hat eine Breite von 12 Bit. Sobald er überläuft, wird ein spezielles Ereignisdatum, ein so genanntes Epochenevent erzeugt. Über einen Synchronisationseingang wird sichergestellt, dass diese Zähler in allen GET4-Chips des Systems synchron laufen.

Sowohl die TDC-Daten, als auch die Zeitstempel werden gemeinsam in einem Register gespeichert und anschließend in ein FIFO geschrieben, das als Puffer für kurzzeitige Häufungen von Ereignissen dient. Das FIFO wird mit einer Token-Ring-basierten Ausleselogik ausgelesen und die Daten über eine serielle Schnittstelle nach Außen transportiert.

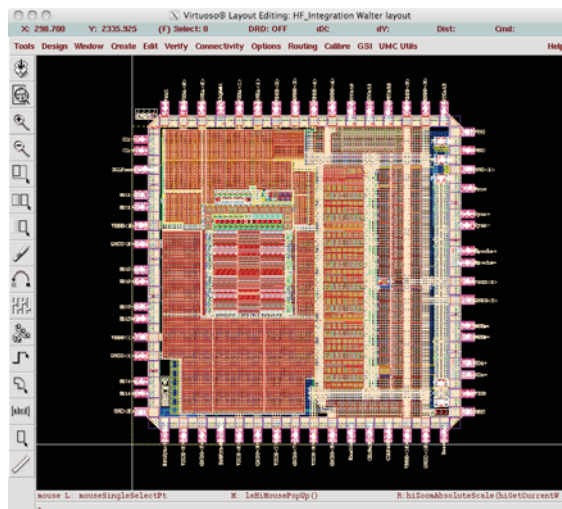


Abbildung 2: Chip-Layout des GET4-TDC-ASICs

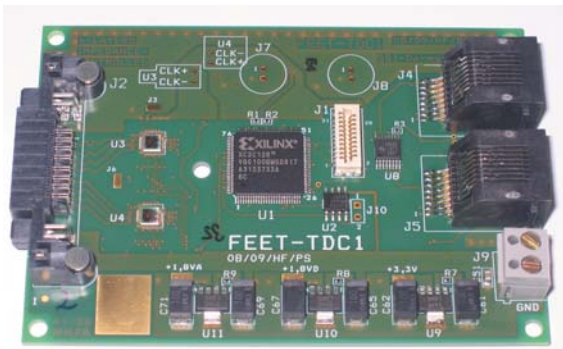


Abbildung 3: Testplatine mit zwei GET4-ASICs für Detektortests

Abbildung 2 zeigt das Chip-Layout dieses TDC-ASICs. Dieser Chip wurde im wesentlichen von zwei Entwicklern entworfen. Mit den vorangegangenen Teststrukturen stecken etwa vier bis fünf Mannjahre Entwicklungszeit in diesem Projekt. Der Chip ist in einem 180-nm-CMOS-Prozess der Firma UMC gefertigt, in der eine Lage Polysilizium und sechs Metallagen zur Verfügung stehen. Er hat eine Größe von $3,24 \times 3,24 \text{ mm}^2$

Abbildung 3 zeigt eine Testplatine, die für erste Detektortests mit dem GET4-TDC-ASIC aufgebaut wurde. Auf der linken Seite sieht man die zwei TDC ASICs, die ohne Gehäuse direkt auf die Platine geklebt sind. Ansonsten befindet sich neben der Spannungsversorgung und den Steckverbindungen noch ein CPLD-Baustein und einige kleinere Treiber-ICs auf der Platine. Erste Messungen zeigen die Leistungsfähigkeit des Chips. In den Abbildungen 4 und 5 sind Ergebnisse aus Messungen dargestellt, die mit dem GET4 zusammen mit dem PADI-ASIC gemacht wurden. PADI ist ein Vorverstärker und Diskriminator-Chip, der ebenfalls an der GSI speziell für symmetrische

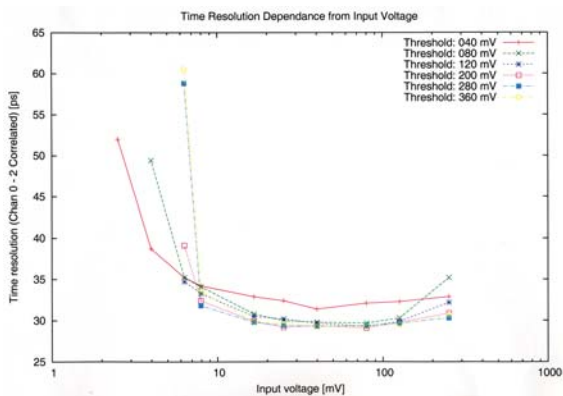


Abbildung 4: Messung der Zeitauflösung der GET4-TDCs mit dem Vorverstärker-ASICs PADI

Detektoren mit 100 Ohm Ausgangsimpedanz entwickelt wurde[6]. Die Messungen wurden mit einem Generator gemacht, der Signale mit unterschiedlichen Pulshöhen erzeugt. Zudem wurden am Diskriminator unterschiedliche Schwellen eingestellt.

Die Abbildung 4 zeigt die gemessene, korrelierte Zeitauflösung zwischen zwei TDC-Kanälen. Für die Kombination aus PADI und GET4 ergibt sich damit für einen Kanal eine unkorrelierte Zeitauflösung von ungefähr 21 ps. Abbildung 5 zeigt die gemessenen Pulslängen. Sehr schön ist die Abhängigkeit der Pulslänge von der Eingangssignalhöhe zu sehen. Man sieht, dass der GET4 in der Lage ist Pulslängen unter einer Nanosekunde aufzulösen.

Neben dem CBM-Experiment, für das dieser Chip entwickelt wurde, sind auch Anwendungen beim PANDA-Detektor im Gespräch. Der Chip bietet zudem sicher reichlich Potential für weitere Anwendungen.

Vorverstärker-ASIC APFEL

Ein weiteres aktuelles Projekt, ist eine integrierte Ausleseelektronik für das elektromagnetische Kalorimeter des PANDA-Detektors[3]. Dieser ASIC for PANDA Front end Electronics (APFEL) genannte Chip[7] muss hohen Anforderungen genügen, die sich aus der Anwendung als spektroskopischer Vorverstärker ergeben.

Auf dem Chip soll sowohl der Vorverstärker als auch der Pulsformer integriert sein. Der Eingang ist für großflächige Lawinenfotodioden mit einer Detektorkapazität von 300 pF optimiert. Wichtig für die spektroskopische Anwendung ist ein möglichst geringes Rauschen und ein hoher Dynamikbereich von mehr als 10000. Die Ereignisrate pro Kanal beträgt im Experiment bis zu 300 kHz.

Bei der Entwicklung muss zudem Berücksichtigung finden, dass die im Kalorimeter verwendeten Szintillationskristalle aus Bleiwolframat für eine optimale Lichtausbeute

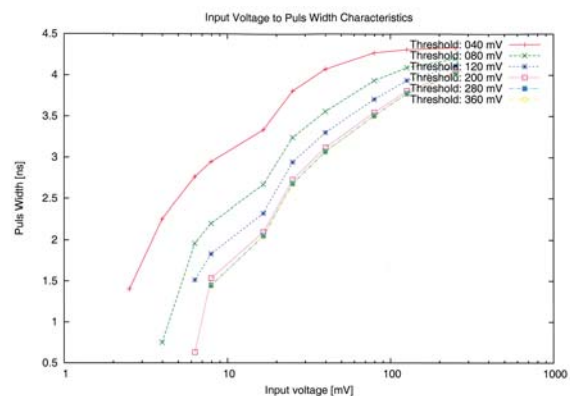


Abbildung 5: Time over Threshold Messung mit PADI und GET4

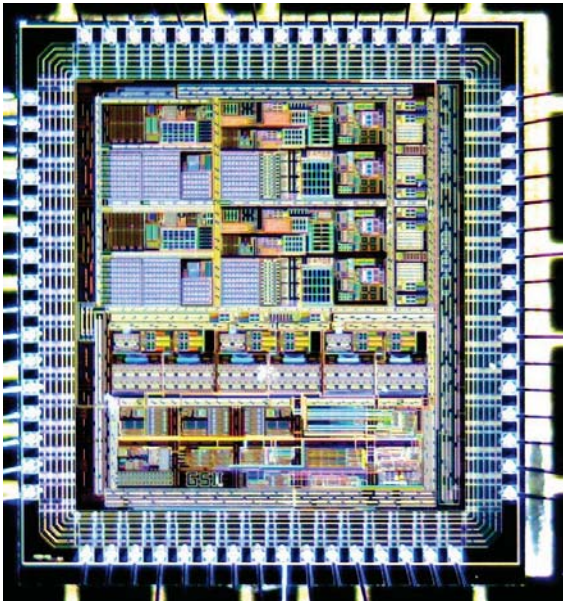


Abbildung 6: Chip-Fotografie des APFEL-ASICs

auf -25°C gekühlt werden. Die Vorverstärker, die in unmittelbarer Nähe der Kristalle betrieben wird, dürfen daher nur wenig Wärme in das System einführen. Pro Kanal sind daher nur 50 mW Leistungsaufnahme erlaubt.

Abbildung 6 zeigt ein Foto des APFEL-ASICs. Die ersten beiden Iterationen dieses Chips entstanden im Rahmen einer dreijährigen Doktorarbeit, für die nun vorliegende dritte Iteration war im Anschluss etwa ein weiteres Jahr Entwicklungsarbeit notwendig.

Die Fertigungstechnologie ist eine 350-nm-CMOS-

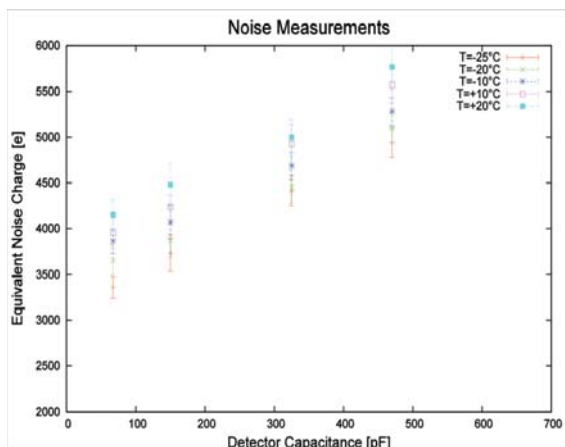


Abbildung 7: Ergebnisse der Rauschmessungen am APFEL-ASIC

Technologie von AMS. Auf dem Chip stehen 2 Polysilizium und vier Metalllagen zur Verfügung. Die Betriebsspannung beträgt 3,3 V. Auf dem Chip sind zwei Verstärkerkanäle auf einer Fläche von $3,3 \times 3,4 \text{ mm}^2$ integriert.

In Abbildung 7 sind die Messergebnisse der Rauschmessungen am APFEL-ASIC dargestellt. Das Rauschen wurde bei fünf verschiedenen Temperaturen, abhängig von der Detektorkapazität gemessen. Betrachtet man die Bedingungen, unter denen der Chip bei PANDA eingesetzt werden soll, d.h. eine Detektorkapazität von 280 pF und eine Temperatur von -25°C , so erhält man eine äquivalente Rauschladung von 4248 Elektronen oder 0,68 fC.

Das obere Ende der Dynamik erhält man aus den Linearitätsmessungen deren Ergebnisse in Abbildung 8 zu sehen sind. Wie zu erwarten, knickt die Eingangsladungs-Ausgangsspannungskennlinie bei großen Ladungen ab. Analog zur 1-dB-Kompressionspunkt-Methode bei Leistungsverstärkern erhält man aus den Kennlinien als oberes Ende des Dynamikbereiches eine Eingangsladung von 6,89 pC. Daraus ergibt sich eine Dynamik von 10140.

Von großem Interesse für die Anwendung bei PANDA ist auch die Leistungsaufnahme, die in Abbildung 9 in Abhängigkeit von der Ereignisrate und der Temperatur dargestellt ist. Es ist keinerlei Abhängigkeit der Leistungsaufnahme von der Rate zu erkennen. Eine solche Abhängigkeit würde dazu führen, dass sich die Stromaufnahme im gesamten Kalorimeter beim Einschalten des Strahls oder zyklisch bei Schwankungen des Strahlstroms ändert, was erhebliche Probleme für die gleichmäßige Kühlung mitsich bringen würde.

Dass auch der APFEL-Chip, obwohl er für einen sehr speziellen Anwendungsfall entwickelt wurde, ein wesent-

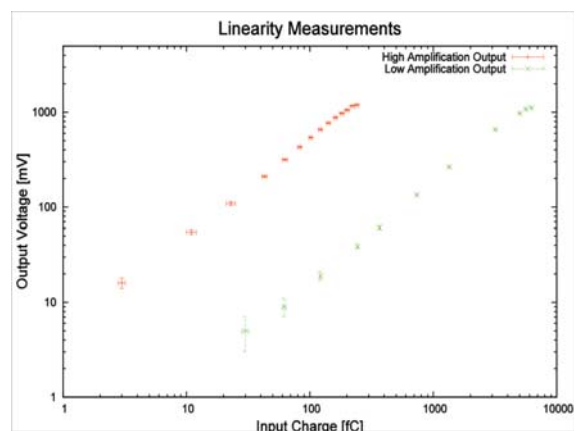


Abbildung 8: Ergebnisse der Linearitätsmessung am APFEL-ASIC

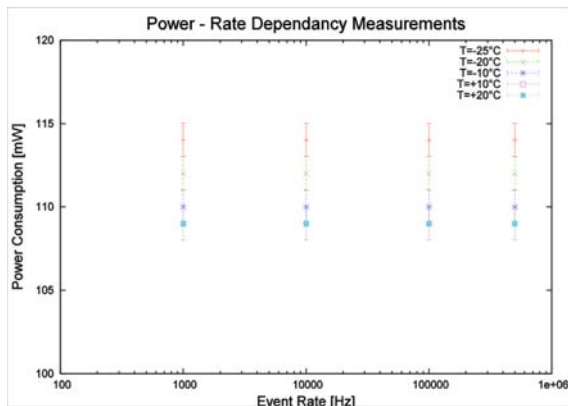


Abbildung 9: Leistungsaufnahme des APFEL-ASICs

lich breiteres Anwendungsspektrum haben kann, zeigt sich daran, dass neben der Anwendung bei PANDA gerade der TASCA-Detektor[8] mit APFEL-ASICs für die Auslese eines Silizium-Streifendetektors bestückt wird. Mit diesem Detektor soll noch in diesem Jahr die Suche nach dem Element 120 aufgenommen werden.

Effekte ionisierender Strahlung

Die ASICs, die für die Experimente in der Teilchenphysik gebaut werden, sind im Experiment meist hohen Strahlendosen ausgesetzt. Um die Auswirkung dieser Strahlung auf die entwickelten ASICs abschätzen zu können, wurden von einem Mitarbeiter der Arbeitsgruppe umfangreiche Untersuchungen zur Charakterisierung von ASICs bezüglich ionisierender Strahlung durchgeführt.

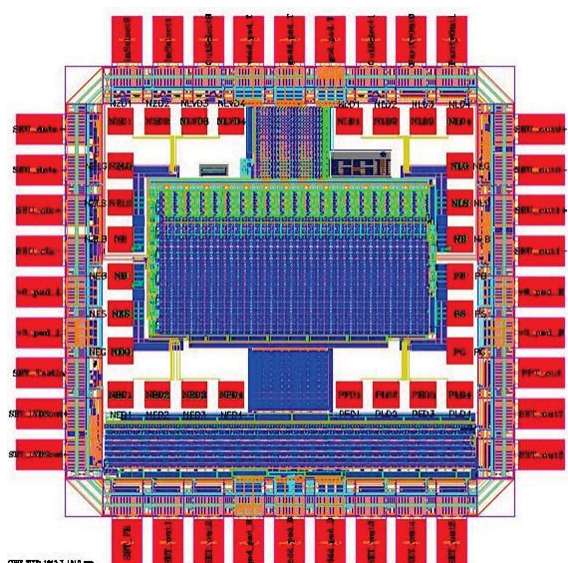


Abbildung 10: Layout des Testchips GRISU



Abbildung 11: Bestrahlungsplatz X6

Dazu wurde speziell der 180-nm-CMOS-Prozess von UMC ausgesucht, da dies die Fertigungstechnologie ist, die im Rahmen von Entwicklungen für CBM bevorzugt wird.

Abbildung 10 zeigt das Layout eines Testchips, der für diese Untersuchungen entwickelt wurde. Der Chip mit dem Namen *GRISU* enthält eine Reihe von Ketten mit unterschiedlichen Flipflops und Invertern. Diese Ketten dienen dazu, den Wirkungsquerschnitt für Single Event Transienten und Single Event Upsets für verschiedene Layoutstrukturen zu ermitteln. Daneben gibt es noch 16 Einzeltransistoren mit verschiedenen Geometrien und verschiedenen Typs, an denen die Effekte akkumulierter Dosis ionisierender Strahlung untersucht werden kann. Hier erwartet man sowohl eine Änderung der Schwellenspannung als auch einen Anstieg der Leckströme[9].

Abbildung 11 zeigt einen Blick auf den Bestrahlungsplatz am UNILAC der GSI, der für diese Messungen zur Verfügung stand. Aufgrund der Eigenschaft des UNILACs als Schwerionenbeschleuniger war es möglich, den *GRISU* mit einem sehr breiten Spektrum verschiedener Ionen zu bestrahlen, die dann auch zu unterschiedlichen Energiedepositionen führten. Zudem gibt es zwischen dem Austrittsfenster aus dem Strahlrohr und dem Bestrahlungsobjekt eine Luftstrecke, in der die Ionen abgebremst werden. Durch Variation der Länge dieser Luftstrecke lässt sich somit die Ionenenergie beim Eintreten in die Chipoberfläche verändern.

Abbildung 12 zeigt das Ergebnis der Wirkungsquerschnittsmessungen für Single Event Transienten bei einem Inverter minimaler Größe. Sehr gut zu sehen ist, wie der große Bereich des Energietransfers (LET) durch die verschiedenen Ionen abgedeckt wird. Unterhalb eines kritischen Energietransfers sinkt der Wirkungsquerschnitt rapide ab. Bei hohen Energietransfers dagegen geht der Wirkungsquerschnitt in Sättigung. Bei Anwendung eines Weibull-Fits erhält man als kritischen Energietransfer

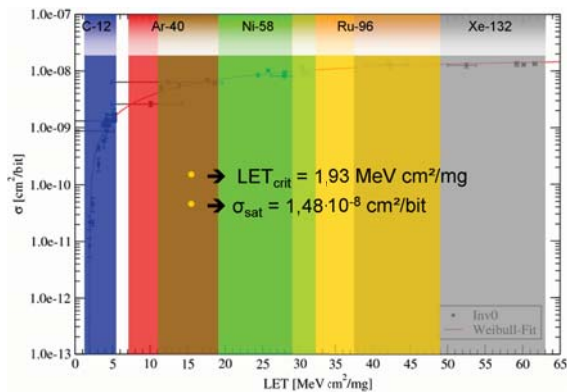


Abbildung 12: Gemessener Wirkungsquerschnitt für Single Event Transienten an einem Inverter

$LET_{crit} = 1,93 \text{ MeVcm}^2/\text{mg}$ und als Sättigungswirkungsquerschnitt $\sigma_{sat} = 1,48 \cdot 10^{-8} \text{ cm}^2$.

Eine Möglichkeit noch genauer zu untersuchen, welche Layoutstrukturen in einer integrierten Schaltung für das Auftreten von Single Event Effekten besonders anfällig sind, bietet der Microprobe-Bestrahlungsplatz an der GSI. Dort können die Strukturen mit einzelne Ionen mit einer Ortsauflösung von ca 500 nm bestrahlt werden. Dabei kann ein Bereich von $10 \times 10 \mu\text{m}^2$ bis $200 \times 200 \mu\text{m}^2$ abgetastet werden. Die Wiederholrate beträgt ca. 1 Ion/ms und die Ionenergie ca 5 MeV/u. Die Bestrahlung erfolgt bei diesem Aufbau komplett im Vakuum.

Abbildung 13 zeigt einen Ausschnitt des GRISU-ASICs mit den angedeuteten Gatestrukturen der Inverterketten. Die Position jedes Ions, das einen Single-Event-Effekt

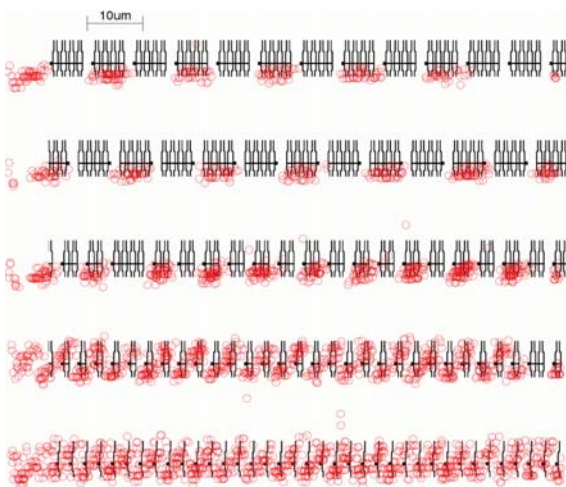


Abbildung 13: Position von Ionen bei erkannten Single Event Effekten

verursacht hat, ist mit einem roten Kreis markiert. Deutlich ist zu sehen, dass sich die Sensitivität der Schaltung auf bestimmte Transistoren konzentriert.

Für die Untersuchung der Einzeltransistoren auf Effekte sich akkumulierender Dosis ionisierender Strahlen wurden Bestrahlungen mit Röntgenstrahlung beim Institut für Experimentelle Kernphysik der Universität Karlsruhe durchgeführt. Dort steht ein Bestrahlungsplatz mit einer Röntgenröhre zur Verfügung, die Photonenergien von bis zu 60 keV erzeugt. Die erreichbare Dosisleistung beträgt bis zu 6 kGy/h. Da ein Dauerbetrieb der Röhre möglich ist, lässt sich in einer überschaubaren Zeit eine Gesamtdosis erreichen, die mit der Dosis vergleichbar ist, die bei den Experimenten typischerweise über die gesamte Laufzeit aufakkumuliert wird.

References

- [1] J. ESCHKE: International Facility for Antiproton and Ion Research (FAIR) at GSI, Darmstadt
J. Phys. G: Nucl. Part. Phys. 31 (2005) S967ff
- [2] P. SENGER: The compressed baryonic matter experiment at FAIR in Darmstadt
J. Phys. G: Nucl. Part. Phys. 30 (2004) S1087ff
- [3] THE PANDA COLLABORATION: Technical Progress Report for PANDA
Darmstadt, 2005, http://www-panda.gsi.de/db/papersDB/PC19-050217_panda_tpr.pdf
- [4] H.G. ESSEL: FutureDAQ for CBM: On-line Event Selection
IEEE Trans. Nucl. Sci. Vol. 53 No. 3, June 2006, S677ff
- [5] H. DEPPE, H. FLEMMING: The GSI Event-driven TDC with four Channels GET4
Nuclear Science Symposium Conference Record, 2009 IEEE
- [6] M. CIOBANU ET. AL.: PADI, a fast Preamplifier - Discriminator for Time-of-Flight measurements
Nuclear Science Symposium Conference Record, 2008 IEEE
- [7] P. WIECZOREK, H. FLEMMING: Low noise preamplifier ASIC for the PANDA EMC
Nuclear Science Symposium Conference Record, 2010 IEEE
- [8] M. SCHÄDEL ET. AL.: The TASCA Project
GSI Scientific Report 2005
- [9] S. LÖCHNER, H. DEPPE, H. FLEMMING: Radiation Studies on the UMC 180 nm CMOS Process at GSI
RADECS 2009

SEM-Grid Prototype Electronics with Charge-Frequency-Converter (QFW)

M. Witthaus, J. Adamczewski-Musch, H. Flemming, J. Frühauf, S. Löchner, P. Skott and H. Reeg

GSI, Darmstadt, Germany

Overview

GSI Beam Diagnostics department together with Experimental Electronics department has started investigations on a new economical solution for SEM-Grid (Secondary Electron eMission Grid) electronics. The front-end amplifiers and control devices of the existing version are outdated and very expensive. After extensive and promising tests with a 4-channel QFW (Charge-Frequency-Converter) test board [1, 2], it was decided to develop a prototype system with 8 QFW-ASICs (see Fig. 1). The goal of the project was to perform a functional test of ASICs connected to a SEM-Grid under real beam conditions at GSI.



Figure 1: Prototype board with 8 QFW-ASICs (left), standard FPGA-I/O VME board (VUPROM) (right)

Hard- and Software

An important point of the new development was to use existing parts of hard- and software in order to save development time. The new SEM-Grid prototype system consists of:

- 32-ch.-motherboard equipped with 8 QFWs (II)
- VME-Crate
- RIO2-Board (MBS and Ethernet-Connection)
- VULOM-Board (for MBS Trigger operation)
- VUPROM-Board (for QFW Control)
- LEVCON Level-Converter
- Power-supply for QFW motherboard (+7V/3A)
- Go4 (GSI Objected Oriented On-line Off-line system)

The QFW motherboard is controlled by the VUPROM-Board, which sets up the QFW motherboard and operates internally its 32 scalars. The scalar data for different time slices are stored and transferred via the RIO2 board into a PC. The beam profiles are displayed and evaluated with online analysis software Go4. The QFW's parameters are set via a terminal program, and the VULOM board is necessary for the MBS trigger operation.

Measurement Results

The QFW board was tested with a 2x16-wire SEM-Grid assembly at the experimental beamline X2, which

already is equipped with three SEM-Grids placed close to each other ($< 1\text{m}$). This experimental setup allowed to perform measurements with the prototype electronics at one SEM-Grid, and to compare the profiles with the two others. As shown in Fig. 2 the beam profiles showed a good signal resolution. Additionally, comparison between old and new electronics using the same SEM-Grid was performed with very good agreement.

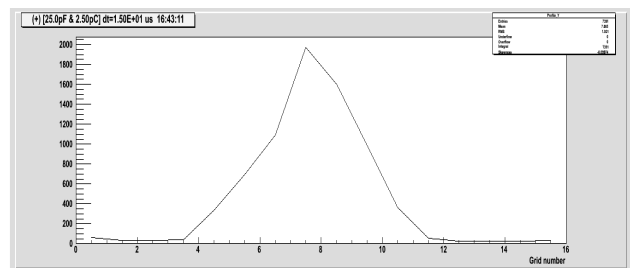


Figure 2: Vertical ion beam profiles obtained with QFW prototype board (grid with 16 wires)

With the support of Go4- and QFW-control software it was possible to display time slices of each beam pulse (see Fig. 3). Observation of the time-dependant changes of the beam profile during a single beam pulse is very helpful for accelerator operations and is not provided by the existing hardware.

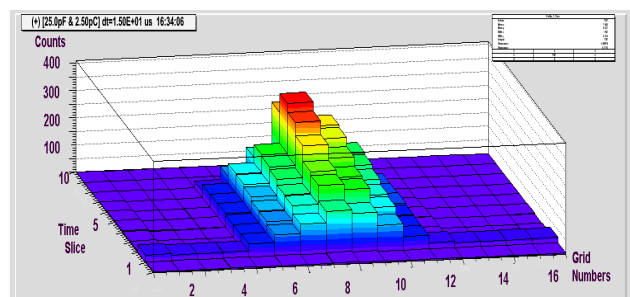


Figure 3: Time dependent and vertical beam profiles. The beam pulse length is around $100\ \mu\text{s}$, slice length is $15\ \mu\text{s}$.

Outlook

After the successful beam tests with the new QFW readout board it is planned to add a second 32-channel motherboard to the existing system. Further experiments with different diagnostic components like MWPC (Multi-Wire Proportional Chamber) as well as with different SEM-Grid types are foreseen.

References

- [1] H. Flemming and E. Badura, "A high dynamic charge to frequency converter ASIC", GSI Scientific Report, 2004
- [2] M. Witthaus et al., "Charge-Frequency-Converter (QFW) Test Board and Results", GSI Scientific Report, 2009

Aufzeichnung von Betriebsdaten bei Neutronen-Instrumenten mit einer Datenbankapplikation in PyQt

20. März 2011 | Vortrag von Sabrina Kirstein | Experimentssysteme | ZEL

Inhalt

1. Motivation

2. Allgemeines

JCNS

TACO

Python

Qt

PyQt

3. Datenbankapplikation

Softwarekonzept

Datenbankstruktur

dlogRun

dlogConfig - Programmaufbau

dlogConfig - Anwendung

dlogShow - Anwendung

4. Ausblick

Motivation

- Neutronen-Instrumente sind komplexe Anlagen
 - Vielzahl mechanischer Freiheitsgrade
 - Vielzahl von Sensoren für Subsysteme (Vakuumsystem, Probenumgebungen, Polarisierung,...)
- Gewünscht ist ein Programm zur Langzeitarchivierung von Prozessdaten
 - Zusätzlich zum Kontroll- und DAQ-System des Instruments
- Das Programm soll langfristig bei allen Experimenten im JCNS eingesetzt werden

20. März 2011

Folie 3

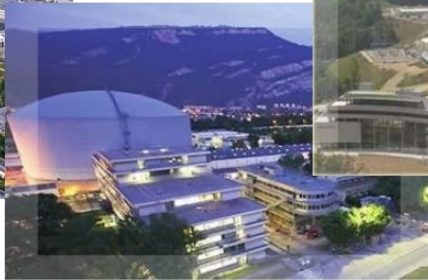
Das Forschungszentrum Jülich betreibt im JCNS (Jülich Centre for Neutron Science) am Forschungsreaktor München 2 (FRM II) in Garching verschiedene Neutronen-Instrumente

Prozesswerte wie Temperatur und Motorpositionen sollen regelmäßig in eine Datenbank eingepflegt werden, um einen Experimentablauf möglichst genau darzustellen

Langfristiger Einsatz bei allen Neutronen-Instrumenten in Garching geplant

Allgemeines - JCNS

- 2004: Abschaltung des Reaktors FRJ2 in Jülich
- Gründung des **J**ülich **C**entre for **N**eutron **S**cience mit Außenstellen
 - am Reaktor FRM-II in Garching
 - am Reaktor ILL in Grenoble
 - an der Spallationsquelle SNS in Oak Ridge, TN
 - Zusätzlich 3 Neutronen-Instrumente am Reaktor CARR in Peking
- Neue Anforderungen für das ZEL



20. März 2011

Folie 4

2004 wurde der Reaktor FRJ 2 in Jülich stillgelegt

2006 wurde das JCNS (Jülich Centre of Neutron Science) gegründet

neue Anforderungen für das ZEL:

Fernwartung

Produktqualität

Allgemeines - JCNS

- Garching (FRM II) : Größte Außenstelle des JCNS (> 30 Mitarbeiter)



20. März 2011

Folie 5

Die Außenstelle in Garching am FRM II ist mit über 30 Mitarbeitern die größte Außenstelle des JCNS

Das JCNS in Garching bietet Zugriff auf Instrumente an der Neutronenquelle

Als der Reaktor in Jülich geschlossen wurde, wurden alle Experimente nach Garching gebracht und dabei modernisiert und umgebaut

Auf dem Bild sieht man die Neutronenleiterhalle mit JCNS Experimenten

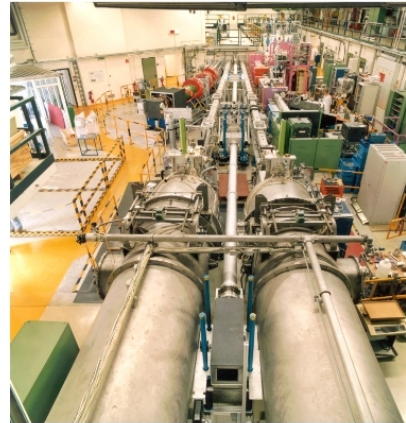
An den Verlängerungen der Strahlrohre des FRM II, der von der Technischen Universität München(TUM) betrieben wird, sind zahlreiche Experimente installiert

Allgemeines - JCNS

- Untersuchung von Materie durch Streuung von Neutronen an einer Probe
- Aufzeichnung des Streubildes durch einen Detektor
- Beispiele Neutronen-Instrumente



Spinecho-Spektrometer



Kleinwinkelstreuanlagen

20. März 2011

Folie 6

Mit der Aufzeichnung des Streubildes kann man Rückschlüsse auf die Struktur der Materie ziehen

Auf dem linken Bild ist ein Spinecho-Spektrometer aus Garching zu sehen

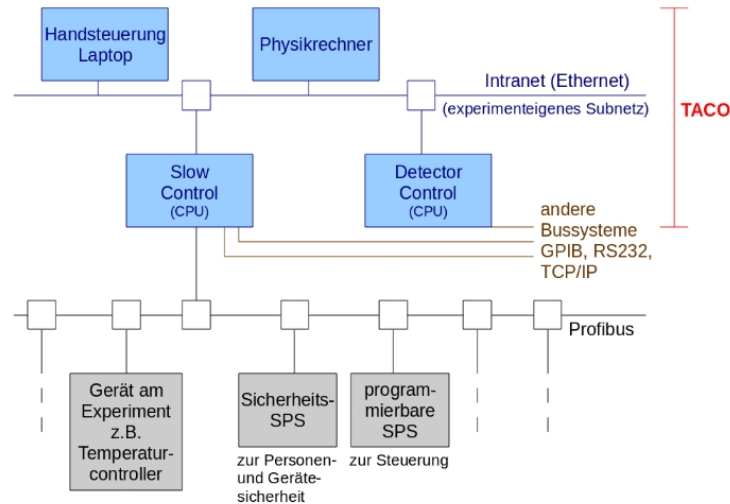
Die Neutronen werden durch 2 Spulen abgelenkt und ihre Streuung mit dem Detektor aufgezeichnet

Auf dem rechten Bild sieht man die zwei Kleinwinkelstreuanlagen KWS1 und KWS2 noch in Jülich

Die Neutronen gelangen über Neutronenleiter zu Proben und werden dann vom Detektor aufgezeichnet

Allgemeines - JCNS

- Typische Struktur des Kontroll- und DAQ-Systems eines Neutronen-Instruments des JCNS



20. März 2011

Folie 7

Jedes Experiment hat ein eigenes Subnetz bestehend aus einem Laptop mit Handsteuerung, einem Physikrechner, SlowControl-PC und Detector-PC

Die Handsteuerung dient dem Techniker für motorische Teilbereiche, zum Beispiel zur Justierung eines Gerätes

Der Physikrechner steuert die Messung und ist für die erste Vorauswertung durch den Wissenschaftler gedacht

Die SlowControl ist mit der SPS(speicherprogrammierbaren Steuerung) und direkt mit Geräten am Experiment verbunden

Der Detector-PC ist mit einem eigenständigen System zur Detektorkontrolle verbunden

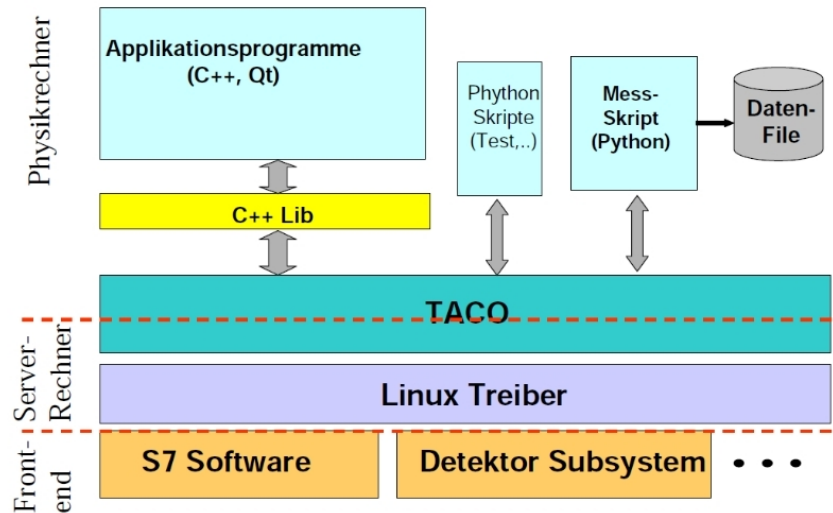
Zur Experimentsteuerung wird das Kontrollsystem TACO verwendet

Auf den SlowControl- und Detector-CPU's laufen die TacoServer, auf dem Physikrechner laufen mit den Messprogrammen die TacoClients

Ein weiterer TacoClient ist die Handsteuerung

Allgemeines - JCNS

- Software-Hierarchie



20. März 2011

Folie 8

Softwaredarstellung des Jülich-München-Standards

Der Physikrechner stellt die Client-Seite einer TACO-Verbindung zur Verfügung

Applikationsprogramme in Qt, Python Skripte zum Testen und ein Mess-Skript in Python greifen über TACO auf den Serverrechner zu

Der Serverrechner hat das Betriebssystem Linux installiert und steht mit meist mehreren TACO-Serverprozessen bereit für Anfragen des Clients

Der Server-Rechner kann dann auf das Frontend, hier SPS-Software oder das Detektor-Subsystem, zugreifen

Allgemeines - TACO

- Kontrollsystem in Server-Client-Architektur zur Kontrolle von Beschleunigern, Strahlrohren und Datenerfassungssystemen
- Entwickelt von ESRF, Grenoble
- Im JCNS zur Experimentsteuerung an der Neutronenquelle
- Basiert auf dem RPC-System von SUN
- Kontrollpunkte werden als Devices repräsentiert
- Devices werden durch Device Server bereitgestellt

20. März 2011

Folie 9

TACO basiert auf dem RPC-System von SUN, das heißt, die Kommunikation beginnt, indem der Client eine Anfrage an einen bekannten Server schickt und auf die Antwort wartet

Der Server bearbeitet die Anfrage und schickt die Antwort an den Client zurück

Nach Empfang der Nachricht kann der Client seine Verarbeitung fortsetzen

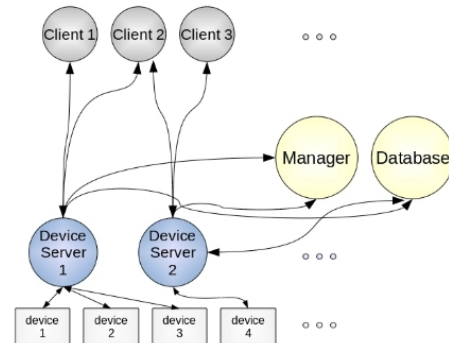
Kontrollpunkte, wie zum Beispiel Motoren, heißen Devices

Devices werden durch Device Server bereitgestellt und sind Objekte, die einer Kontrollklasse angehören

Die Kontrollklasse implementiert die Kontrolllogik des Devices

Allgemeines - TACO

- Clients greifen mit Hilfe einer API über die Device-Server auf die Hardware zu
- Die API von TACO bietet vorgefertigte Funktionen für die Server-Client-Kommunikation
- TACO versteckt die Netzwerkschichten vor Server und Client
- Bietet Datenbank zur Speicherung persistenter Daten und überblickt laufende Devices



20. März 2011

Folie 10

Device Server sind Prozesse, die auf einem oder mehreren Rechnern laufen können

Clients (meistens Messprogramme auf dem Physikrechner und die Handsteuerung) greifen mit Hilfe einer definierten Schnittstelle über Device-Server auf Devices zu

API mit vorgefertigten Funktionen für die Server-Client-Kommunikation vorhanden

Netzwerkschichten werden vollständig von TACO vor dem Device-Server und dem Client versteckt

Allgemeines - Python

- Dynamische Skriptsprache
- Plattformunabhängig
- Objektorientiert
- Minimalistische Sprache
- Unter der PSF-Lizenz vertrieben
- Auf Platz 7 der am häufigsten genutzten Programmiersprachen (August 2010)

Python-Code:

```
#!/usr/bin/env python  
  
if __name__=="__main__":  
    print "Hello world!"
```

20. März 2011

Folie 11

Dynamische Skriptsprache mit plattformunabhängigem Code und objektorientierter Programmierung

Erstmals 1991 veröffentlicht

Syntax betreffend minimalistisch

Leicht zu erlernen

Umfangreiche Standardbibliothek

PSF-Lizenz (Python Software Foundation):

nicht so beschränkend wie die GNU Public License, zum Beispiel kann der Python-Interpreter lizenzkostenfrei in größere, kommerzielle Anwendungen eingebettet werden

Spielt eine Rolle bei der Implementierung von Google und YouTube

Allgemeines - Python

- Download und Installation: www.python.org
- Auflistung von Entwicklungsumgebungen und Editoren für Python:
<http://wiki.python.de/IDEs%20und%20Editoren%20f%C3%BCr%20Python>
- Immer größere Bekanntheit und Verbreitung
- Stärken: Flexibilität, einfache Syntax, Erweiterbarkeit, Objektorientierung
- Vererbung: `class Klasse(Basisklasse):`
- Mehrfachvererbung: `class Klasse(Basisklasse1,Basisklasse2):`

20. März 2011

Folie 12

Flexibilität: kleine, sowie große Applikationen
Serverseitige Programmierung im Internet
Embedded-Bereich,
Skriptsprache für größere C/C++-Anwendungen

Allgemeines - Qt

- C++-Klassenbibliothek zur Programmierung grafischer Benutzungsoberflächen
- Qt wurde von der norwegischen Firma Trolltech entwickelt
- Trolltech wurde 2008 von Nokia aufgekauft
- „Create more, code less“
- Objektorientiert, portabel, schnell und einfach zu nutzen

C++-Code:

```
#include <QApplication>
#include <QPushButton>

int main(int argc, char *argv[])
{
    QApplication app(argc, argv);

    QPushButton button("Hello world!");
    button.show();

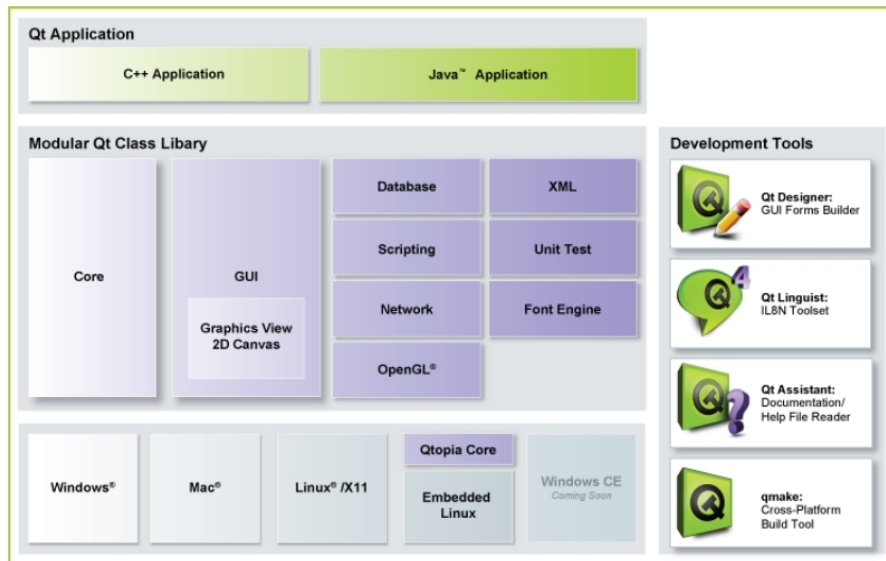
    return app.exec();
}
```

Motto: „Create more, code less“

Ständige Optimierung und Weiterentwicklung von Qt, damit mit weniger Aufwand mehr geleistet werden kann

Qt ist auf vielen Plattformen lauffähig und Source-Code-kompatibel

Allgemeines - Qt



20. März 2011

Folie 14

Eine Qt Applikation kann mit C++ oder Java(Qt Jambi) programmiert werden

Qt ist auf allen gängigen Betriebssystemen, sowie im Embedded Bereich lauffähig

Die Klassenbibliothek besteht aus einem Kern mit Grundfunktionen, der GUI (allen grafischen Komponenten), sowie mehreren kleinen Modulen

Diese Module ermöglichen die Arbeit mit Datenbanken, XML, die Erweiterung mit Skriptfunktionen, das Testen eigener Anwendungen mit Werkzeugen, Netzwerkprogrammierung, die Vereinheitlichung von Fonts, sowie eine Unterstützung von OpenGL

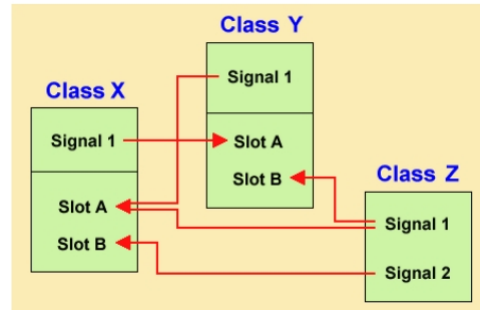
Entwicklungswerkzeuge sind der Qt Designer, der ein grafisches Zusammensetzen der GUI ermöglicht, der Qt Linguist (Übersetzungstool), der Qt Assistant (Dokumentation) und qmake (Build Tool)

Der Qt Creator(seit Qt 4.5) umfasst all diese Entwicklungswerkzeuge und dient als Entwicklungsumgebung

Allgemeines - Qt

- Edit / Compile / Link / Run – Zyklus
- Signal/Slot-Prinzip zur Verarbeitung von Ereignissen
- Signale werden bei Ereignissen ausgegeben
- Slots können auf Signale reagieren
- Viele vordefinierte Signale und Slots
- Syntax:

```
connect ( Sender, SIGNAL(„Signalname(arg)“), Empfänger, SLOT(„Slotmethode(arg)“ ) );
```



20. März 2011

Folie 15

Es müssen immer die Schritte Edit / Compile / Link / Run ausgeführt werden

Es gibt viele Bindigs für andere Sprachen (z.B. C, Python, C#)

Signal/Slot-Prinzip ermöglicht die Kommunikation zwischen Klassen

Signale werden bei Ereignissen ausgegeben und Slots sind Methoden, die auf diese reagieren können

Einem Slot können mehrere Signale zugeordnet werden und ein Signal kann mit mehreren Slots verknüpft werden

Bei der Implementierung von Signals und Slots ist eine Trennung von Header- und Quellcodedateien notwendig

Bekannte Applikationen, die Qt nutzen sind KDE, Google Earth und Skype

Allgemeines - PyQt

- Anbindung an Qt für Python
- Qt muss auf dem System vorhanden sein
- Von der britischen Firma Riverbank Computing
- ca. 440 Klassen mit über 6000 Funktionen
- Einfachere Syntax als Qt
- Benötigt keinen Edit / Compile / Link / Run – Zyklus

20. März 2011

Folie 16

PyQt ist die Anbindung an das plattformübergreifende GUI Toolkit Qt von Nokia für Python

Enthält keine Kopie von Qt, also muss Qt auf dem System vorhanden sein

Klassen und Funktionen von PyQt unterscheiden sich von Qt nur bzgl. der Syntax der Programmiersprachen Python und C++

Funktioniert auf allen Plattformen, die auch Qt unterstützen

Allgemeines - PyQt

- Keine Trennung von Header- und Quellcodedateien
- Weniger strenge Vorgaben beim Signal/Slot-Mechanismus
- „Mit PyQt hat ein Entwickler alle Macht von Qt, aber ist fähig diese mit der Einfachheit von Python zu nutzen.“

Python-Code:

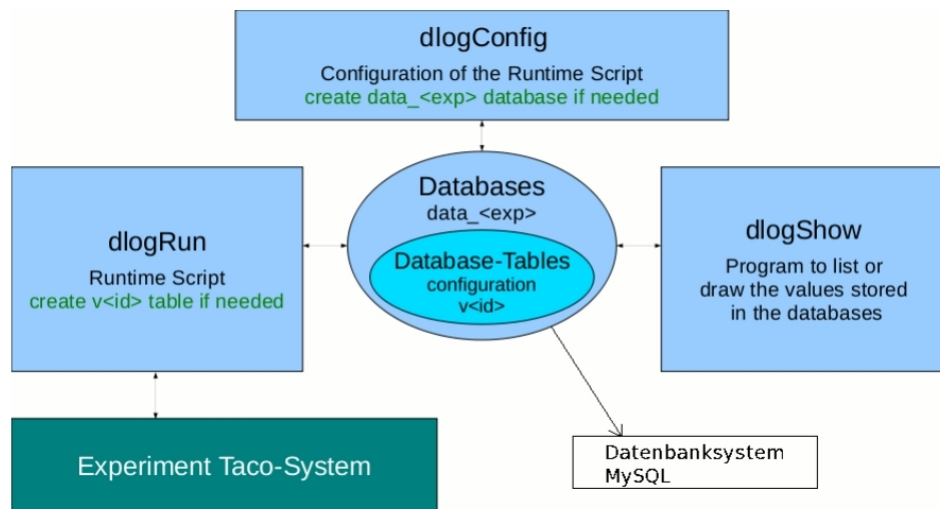
```
#!/usr/bin/python
import sys
from PyQt4 import QtGui as qt
app=qt.QApplication(sys.argv)
w=qt.QPushButton("Hello World",None)
w.show()
app.exec_()
```

Kein Edit / Compile / Link / Run - Zyklus, da Python eine Interpretersprache ist

Signal/Slot-Prinzip ist vielseitiger nutzbar

Alle einzelnen Vorteile von Python und Qt werden kombiniert

Datenbankapplikation - Softwarekonzept



20. März 2011

Folie 18

Da es bei den Experimenten viele Freiheitsgrade und Einstellmöglichkeiten für die Prozesse gibt, wird langfristig eine Applikation benötigt, die es ermöglicht Prozessdaten darzustellen

Im Mittelpunkt der Software sind mehrere MySQL-Datenbanken

Jedes Experiment hat eine Datenbank „data_experimentname“

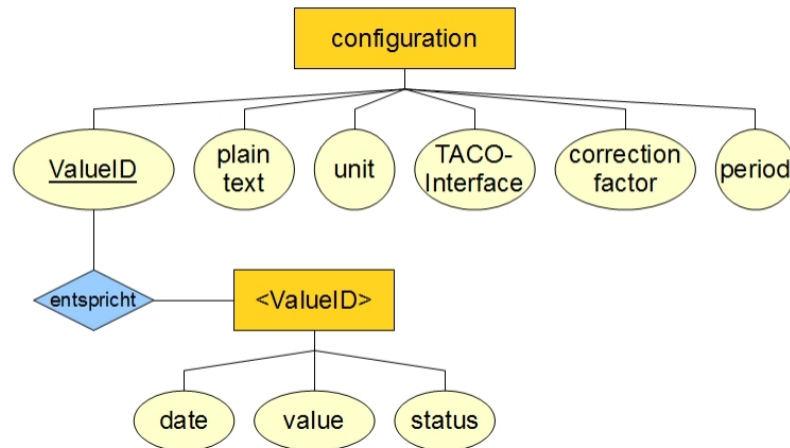
Das Konzept sieht drei Programme vor:

Das Programm „dlogRun“ liest mit Hilfe einer Konfigurationstabelle dynamisch Daten aus dem Experiment und schreibt sie geordnet in die MySQL-Datenbank

Das Konfigurationsprogramm „dlogConfig“ ermöglicht es festzulegen, wie und wann ein Wert aus dem TACO-System gelesen werden soll und speichert Änderungen in der Konfigurationstabelle

Das Programm „dlogShow“ ermöglicht das Auslesen ausgewählter Daten in einem bestimmten Zeitraum und deren Darstellung als Tabelle oder Graph

Datenbankapplikation - Datenbankstruktur



20. März 2011

Folie 19

Für jedes Experiment existiert eine Datenbank „data_experimentname“ wie zum Beispiel „data_kws1“

Jede Datenbank hat eine Tabelle „configuration“

Diese enthält die Spalten „ValueID“, „plaintext“, „unit“, „TACO-Interface“, „correction_factor“ und „period“

Jede Zeile der Tabelle beschreibt die Konfiguration des Einleseprozesses eines Wertes

„TACO-Interface“ enthält Python-Code, der ausgeführt wird, um einen Wert aus TACO zu lesen

„period“ beschreibt die Länge des Zeitraums zwischen dem Auslesen zweier Werte

Zu jeder „ValueID“ existiert eine gleichnamige Tabelle, in der das Einlesedatum, der eingelesene Wert und der zugehörige Status regelmäßig gespeichert werden

Der Status ist entweder eine gültige Information oder ein Fehlercode

dlogRun

- Keine Benutzungsoberfläche
- Wird zusammen mit dem Taco-Manager gestartet und gestoppt
- Wenn eine Zeitperiode vorbei ist, wird der gespeicherte Python-Code ausgeführt
- Bei Problemen mit dem TACO-Server wird nichts in die Datenbank geschrieben

20. März 2011

Folie 20

Keine Benutzeroberfläche, weil es immer im Hintergrund läuft

Wird normalerweise mit dem Taco-Manager gestartet und gestoppt

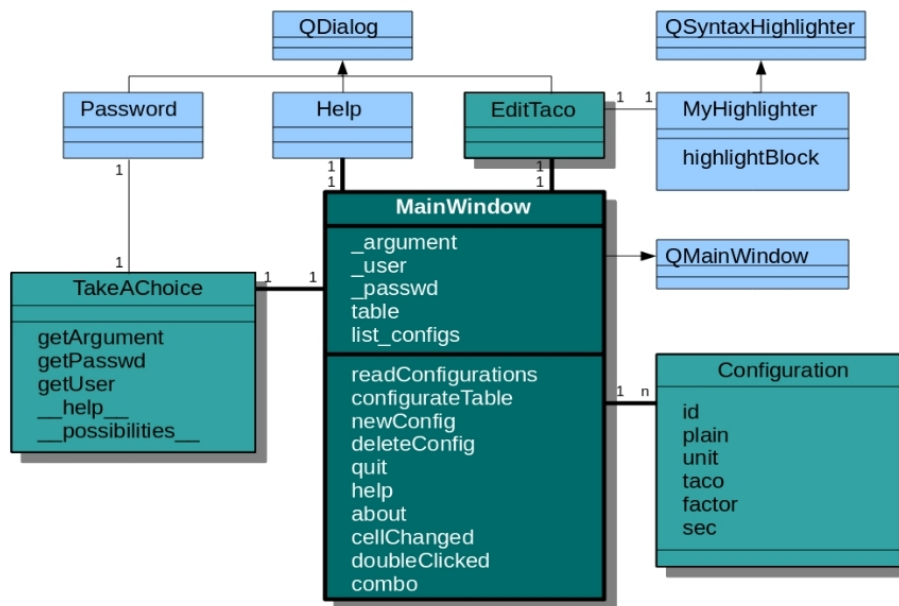
Nach dem Start wird die Konfigurationstabelle eingelesen und überprüft, ob zu jedem Wert eine Tabelle existiert

Dann werden die Daten gesammelt

Das Programm überprüft jede Sekunde, ob eine Zeitperiode vorbei ist und führt dann den Python-Code aus der Konfigurationstabelle aus

Wenn ein Taco-Server nicht verfügbar ist oder ein anderer Fehler auftritt, werden für diese Zeitperiode keine Daten in die Datenbank geschrieben

dlogConfig - Programmaufbau



20. März 2011

Folie 21

Das Klassendiagramm zeigt die Beziehungen zwischen den verwendeten Klassen und deren wichtigste Funktionen

Beim Start des Programms wird ein Fenster zur Benutzerauthentifizierung geöffnet

Wird das Programm über die Konsole aufgerufen, kann man mögliche Datenbanken zur Verwendung anzeigen lassen

Ein Objekt der Klasse Configuration entspricht einer Zeile der Konfigurationstabelle

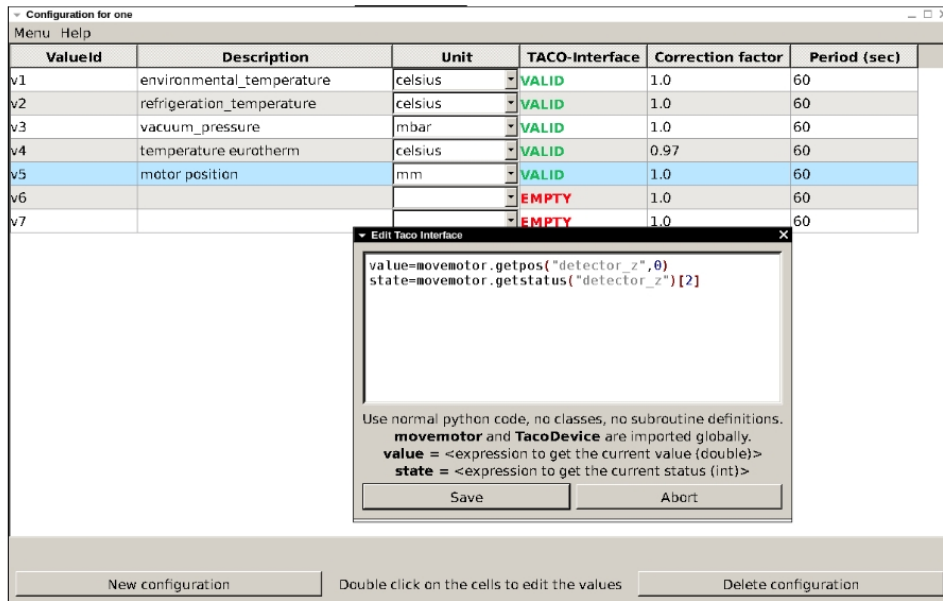
Das Hauptfenster beinhaltet eine Liste mit allen Konfigurationen und eine Tabelle, in der alle Konfigurationen dargestellt werden

Änderungen der Tabelle werden direkt in die Datenbank eingepflegt

Der Python-Code des Taco-Interfaces kann durch einen Doppelklick geändert werden

Es öffnet sich ein Python-Editor, um den Code zu ändern

dlogConfig - Anwendung



The screenshot shows the 'Configuration for one' window with a table of configurations. The table has columns for ValueId, Description, Unit, TACO-Interface, Correction factor, and Period (sec). Configuration v5 'motor position' is selected. An 'Edit Taco Interface' dialog box is open, showing Python code for value and state retrieval. The dialog also includes instructions on using Python code and buttons for Save and Abort.

ValueId	Description	Unit	TACO-Interface	Correction factor	Period (sec)
v1	environmental_temperature	celsius	VALID	1.0	60
v2	refrigeration_temperature	celsius	VALID	1.0	60
v3	vacuum_pressure	mbar	VALID	1.0	60
v4	temperature_eurotherm	celsius	VALID	0.97	60
v5	motor position	mm	VALID	1.0	60
v6			EMPTY	1.0	60
v7			EMPTY	1.0	60

```

value=movemotor.getpos("detector_z",0)
state=movemotor.getstatus("detector_z")[2]
    
```

Use normal python code, no classes, no subroutine definitions.
movemotor and **TacoDevice** are imported globally.
value = <expression to get the current value (double)>
state = <expression to get the current status (int)>

Buttons: Save, Abort

Bottom bar: New configuration, Double click on the cells to edit the values, Delete configuration

20. März 2011

Folie 22

Hier ein Screenshot der Anwendung dlogConfig

Zu sehen ist die Tabelle der Konfigurationen

Beim TACO-Interface wird angezeigt, ob Code vorhanden ist

Mit einem Doppelklick kann man Werte verändern

Bei einem Doppelklick auf Taco-Interface öffnet sich der Editor

Eine neue Konfiguration kann man mit Strg+N, dem Button oder im Menü erstellen

Eine ausgewählte Konfiguration kann man mit Strg+D, dem Button oder im Menü löschen

Im Menü gibt es zusätzlich eine Hilfe

dlogShow - Anwendung



- Liste enthält alle Werte, die man darstellen kann
- In der Tabelle mit schlechten Werten ist ein Fehlercode vorhanden
- „now“ füllt die unteren Textfelder mit dem aktuellen Datum
- „Reset“ setzt alle Einstellungen zurück

20. März 2011

Folie 23

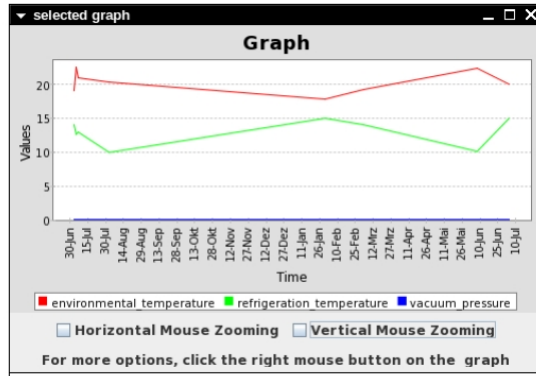
dlogShow - Anwendung

Date	environmental temperature	refrigeration temperature	vacuum pressure
2008-07-03 08:32:00.0	19	14	
2008-07-03 08:32:40.0			0.0005
2008-07-05 09:45:17.0	22.5		
2008-07-05 09:45:20.0			0.00075
2008-07-05 09:45:33.0		12.59	
2008-07-06 15:13:13.0	21		
2008-07-06 15:14:58.0		13	
2008-07-06 15:15:02.0			0.0001
2008-08-01 13:25:37.0	20.35		
2008-08-01 13:25:58.0		10	
2008-08-01 13:26:26.0			0.00035
2009-01-30 12:00:31.0	17.8	15	0.00013
2009-03-03 19:18:17.0	19.2	14	0.0001374
2009-06-07 13:26:17.0	22.3	10.1	0.00043
2009-07-04 15:05:39.0	20	15	
2009-07-04 15:06:02.0			0.000421
2009-07-29 11:27:32.0	24	9.5	0.000453
2010-03-30 07:52:37.0	15.4		

Close

- Tabellenansicht der Werte von Umgebungstemperatur, Kühltemperatur und Vakuumdruck als Beispiel

dlogShow - Anwendung



- Möglichkeiten:
 - Zoomen
 - Drucken
 - Als Bild speichern
 - Graph anpassen

Ausblick

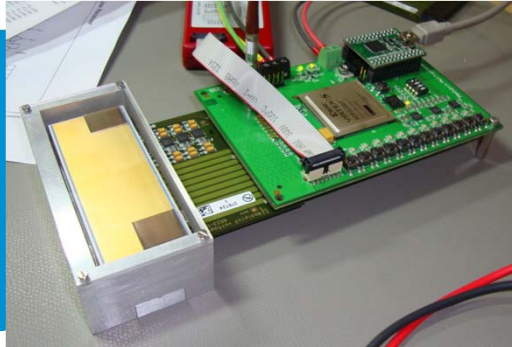
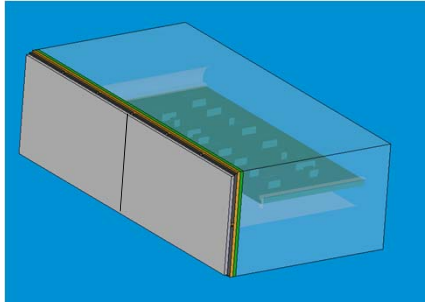
- Die Entwicklungsphase des Projekts ist abgeschlossen
- Die Software soll langfristig für jedes Experiment verwendet werden
- Der Physiker kann das Konfigurationsprogramm über einen Button in seinem Kontrollprogramm aufrufen
- Ab April 2011 Testinstallationen am JCNS

Literatur

- Mark Summerfield. Rapid GUI programming with Python and Qt – The Definitive Guide to PyQt Programming, Upper Saddle River, NJ : Prentice Hall, 2008
- Jasmin Blanchette. C++ GUI programming with Qt 4, Ausgabe: 2nd ed., New York, NY : Prentice Hall, 2008
- URL: <http://www.jcns.info>
offizielle Webseite des JCNS
- URL: <http://www.esrf.eu/Infrastructure/Computing/TACO>
offizielle Webseite von TACO

**Vielen Dank für Ihre
Aufmerksamkeit !**

Developments in DESY FS-DS



Sergej Smoljanin
Detector Group DESY

SEI-Tagung an der GSI, 23.03.2011



What is our mission?

- > Detector support for the experimental stations at DESY-FS:
 - Petra 3 synchrotron
 - Doris 3 synchrotron
 - FLASH free electron laser
- > Support to application scientists at DESY
- > Development of new detectors and detector concepts: Petra 3; E-XFEL (X-ray free electron laser); FLASH.



Who are we?

- > 1 Group leader (scientist)
- > 1 Project Coordinator
- > 2 Detector scientists
- > 2 PostDocs
- > 6 Engineers (3 Microelectronic, 1 Electronic, 2 Mechanical)
- > 2 Technicians (1 Electronic, 1 Mechanical)
- > ½ Draftswoman



Developments

- > **Projects all are collaborations:**
 - Single crystal Diamond BPM with RF readout (ESRF; Instr. Techn.)
 - Adaptive Gain Integrating Pixel Detector (AGIPD) (European XFEL)
 - DEPFET Sensor with Signal Compression (DSSC) (European XFEL)
 - Integrating micro-strip with analogue pipeline: Gotthard (PSI)
 - Germanium pixel detectors (Canberra; IZM-Berlin)
 - 2D Avalanche PhotoDiodes: XNAP (ESRF; U-Heidelberg; PKI; SPring-8)
 - **Large Area Medipix-Based Detector Array / Lambda**



Large Area Medipix-Based Detector Array

- > Development for PETRA 3 synchrotron
 - Opened in 2009, 3 out of 14 beamlines currently in user operation
- > Photon-counting pixel detector array
- > Applications:
 - X-ray scattering
 - X-ray imaging

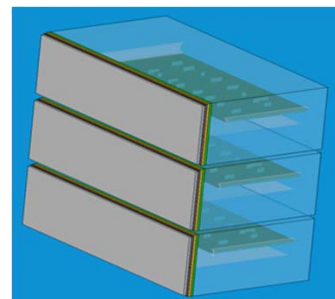
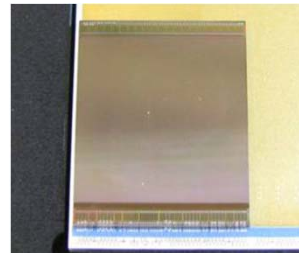


Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 5



Features of detector

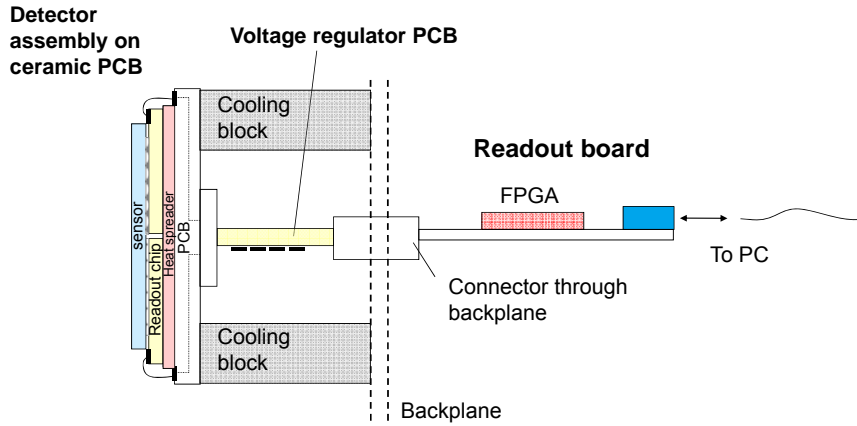
- > Medipix3 readout chip
 - Counts X-ray photons in each pixel
 - Small pixel size (55 μ m, 256*256 array per chip)
 - Can be used with Si, Ge, GaAs etc.
- > Tiling detector array
 - 12-chip module (85mm by 35mm)
 - Small edge area for tiling
- > High speed readout
 - 2000 fps (12-bit counter depth)
 - No dead time



Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 6



System design

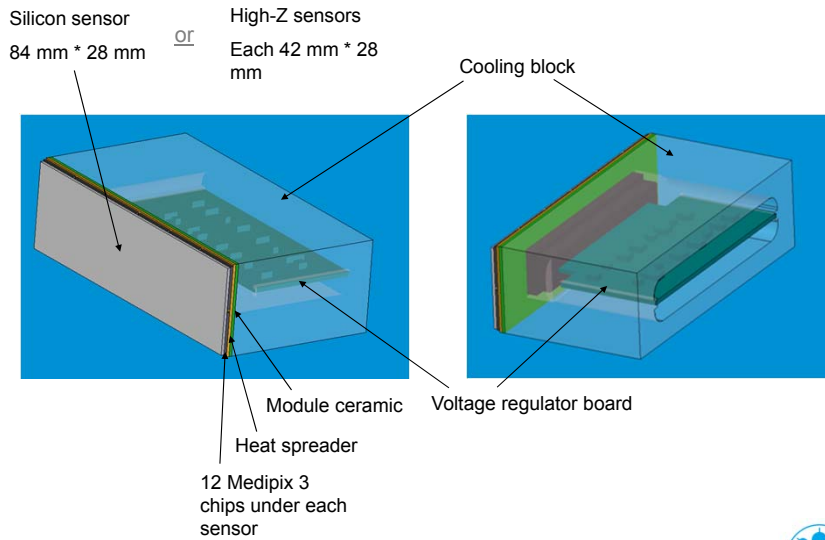


Current design – USB readout for testing and firmware development

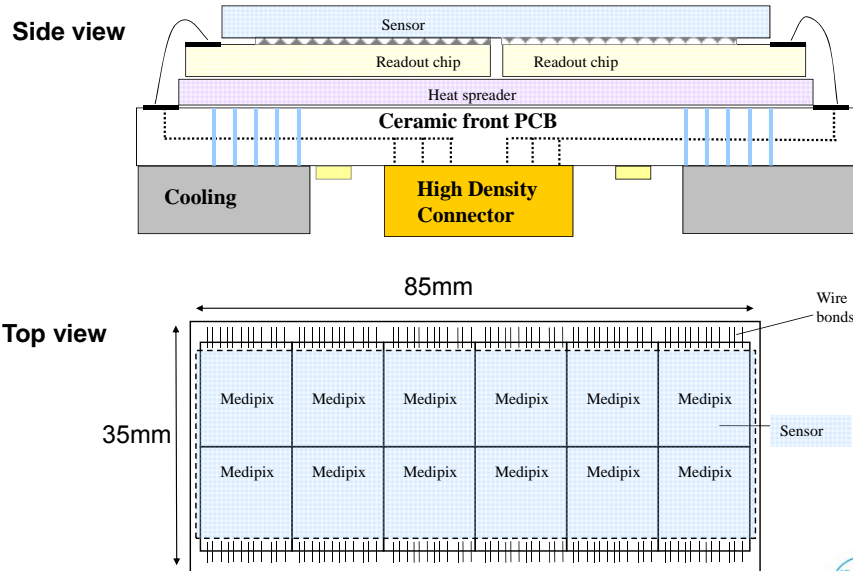
Final design - High-speed readout with 10 Gigabit Ethernet



Detector head



Detector assembly on ceramic PCB



Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 9



Design of front PCB

> Requirements for Front PCB

- 150 LVDS pairs needed (for full speed readout)
- Total current around: 12A
- High Density Connector
- Thermal coupling to each chip
- Low operating temperature for Germanium Sensor: -50°C

> Material of PCB

- Low Temperature co-fired Ceramics (LTCC)

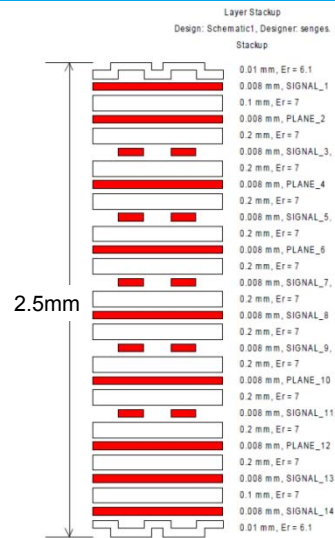
Coefficient of Thermal Expansion (ppm/K)	
GaAs	5.7
Ge	5.9
Si	3.3
LTCC	5.5
FR4	15

Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 10



Multilayer PCB in LTCC Technology (KOA, Japan)

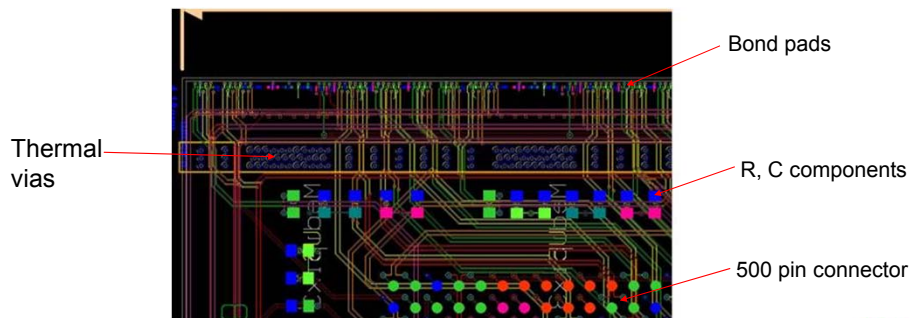
- > 14 Layer
 - Maximum Number of Layers: 20
- > Thickness of Signal Layer 200 μ m
 - Standard thickness: 80 μ m, 100 μ m, 125 μ m
- > Trace Width 70 μ m, 170 μ m Diff Pair Spacing (100 Ω impedance)
 - Minimum Trace Width: 60 μ m
 - Minimum Trace to Trace spacing: 60 μ m
- > Via diameter 100 μ m
 - Available via diameter: 100 μ m, 150 μ m, 200 μ m



Cooling and front PCB design

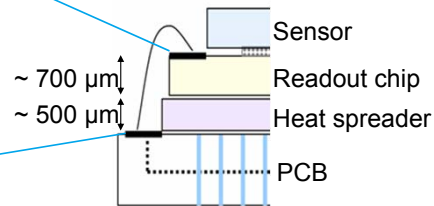
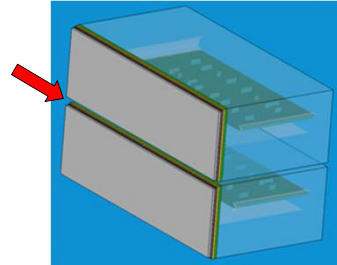
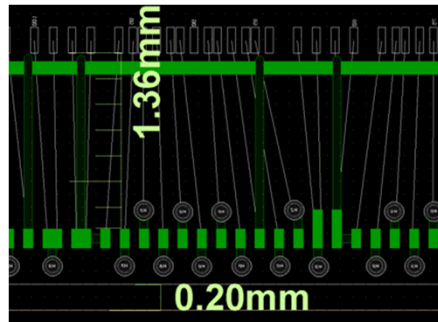
Design issues

- > Cooling frame occupies space on the back underneath each PCB
- > Space available for connector and other components reduced
- > Thermal vias make routing more difficult



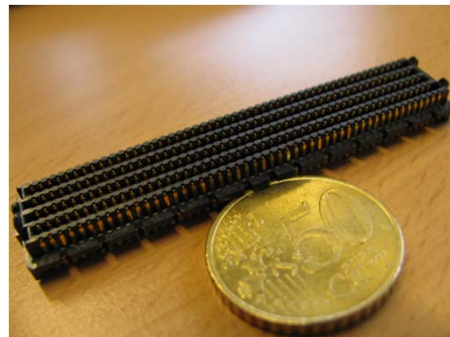
Wire bonding

- > Wire-bonding done in-house at DESY
 - 75 μ m minimum pad width, 75 μ m gap
 - 1.36 mm from readout chip pads to PCB
- > Future design should reduce bond distance

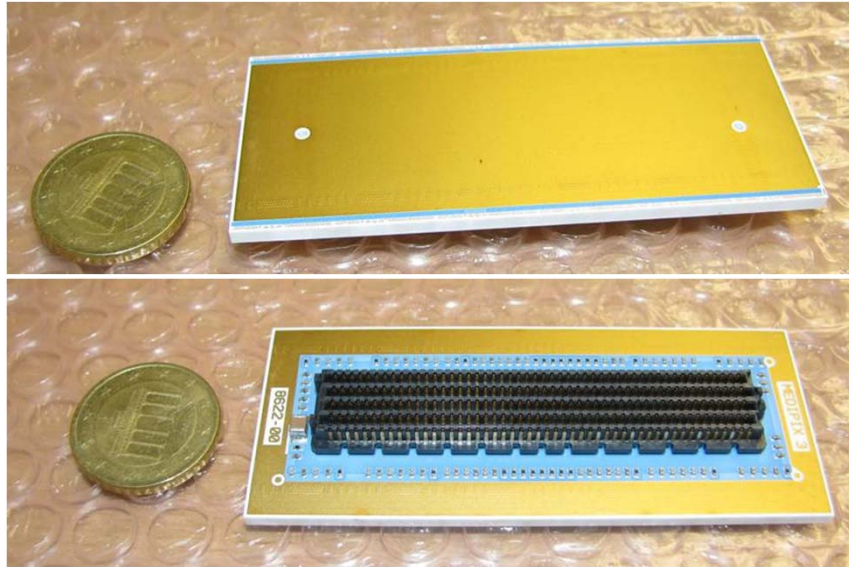


High-density connector for front PCB

- > 500 pins including voltage supplies
- > Samtec High Speed/High Density Open Pin Field Array, SEAM Series
 - Number of rows: 10
 - Number of pins per row: 50
 - pitch: 1,27 mm
 - Operating Temperature Range:
 - 55 $^{\circ}$ C to 125 $^{\circ}$ C
 - Maximum Current per pin: 2A



Completed module ceramic PCB

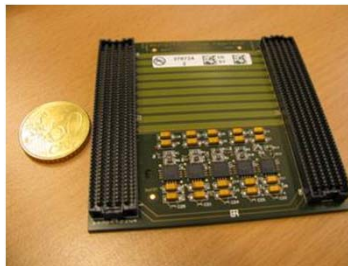
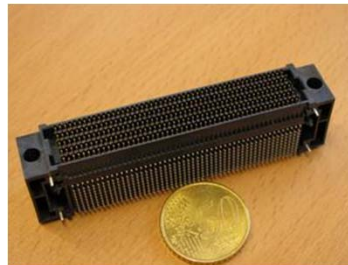


Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 15



Voltage regulator PCB

- > Transfer of the data
 - 150 LVDS through the board
- > Power supply
 - 5 low-dropout linear regulators
 - 4A current per each regulator
- > Hi-Density right angle connector, SEAF-Series
- > Currently, Samtec are having problems!

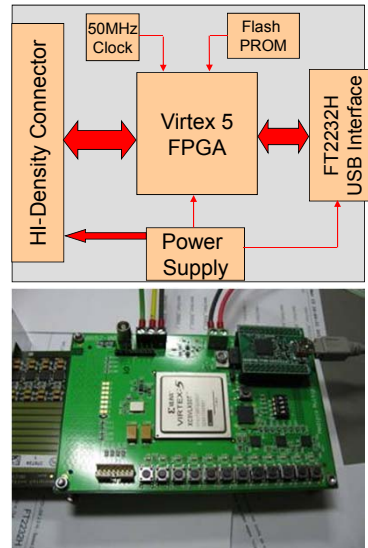


Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 16



Readout board

- > Used for testing of firmware and detector components
- > Central element
 - Virtex 5 XC5VLX50T
- > USB 2.0 Interface for communication with PC
 - FT2232H USB Controller
 - Data throughput around 25 Mb/s

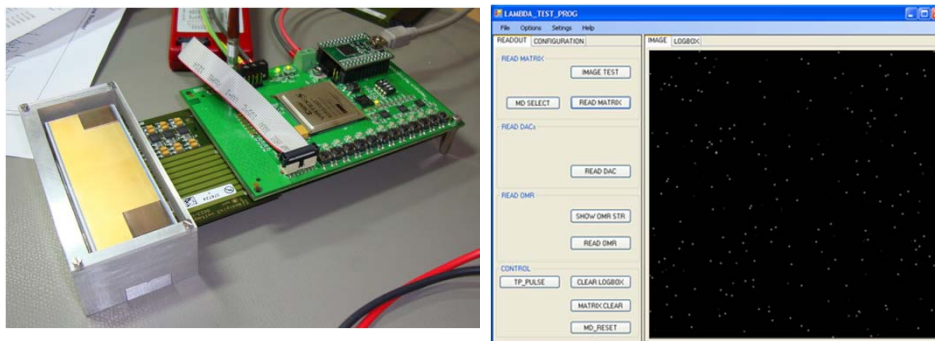


Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 17



Progress to date

- > Prototype system working with 2 bare Medipix3 chips
 - No sensor attached, but can set threshold low and measure hot pixels
- > Preparing to work with 2*2 chip „quad“ sensor
 - Currently wire-bonding quad sensor
 - Developing firmware for multi-chip readout and pixel fine tuning

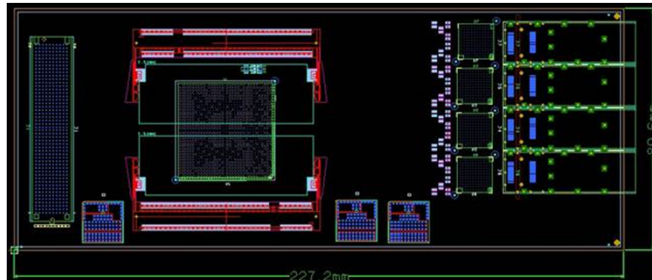


Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 18



Planned High-speed readout board

- > Modified version of XFEL readout board
- > 4 * 10 GBE links to allow continuous readout at full speed (2000 fps)
- > SODIMM memory to allow temporary storage
 - Will allow re-arranging of data, burst operation, processing...
- > Control by USB interface
- > Inputs from beamline control



Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 19



Summary

- > We are developing detectors for Petra 3, E-XFEL and FLASH
- > Example: Large Area Medipix Based Detector Array
- > Developed LTCC board with large number of signal lines
- > Prototype system works with single chips
- > Longer-term developments will allow high-speed readout of sensor array

Sergej Smoljanin | Large Area Medipix-Based Detector Array | 23.03.2011 | Page 20



Large-area Medipix3 project

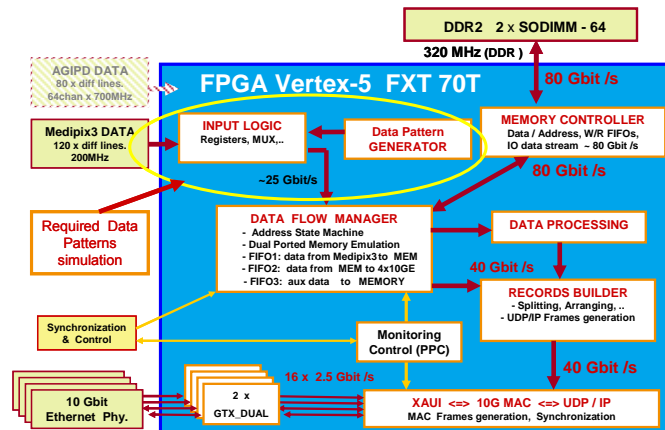
Thanks for listening



Planned high-speed FPGA Firmware

> High data throughput and 10 GBE control being developed by DESY for XFEL

- Manfred Zimmer, Igor Sheviakov (FEA, DESY)

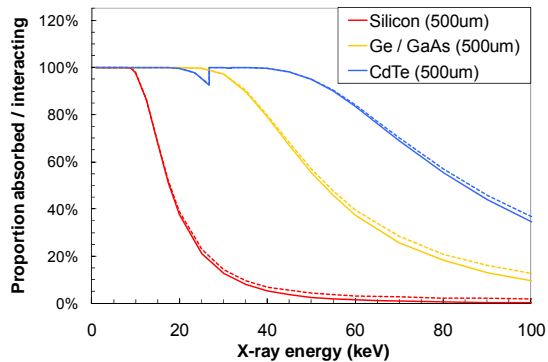


High-Z materials

> Many Petra-III (DESY synchrotron) experiments up to 100 keV x-ray

- Replace silicon with another semiconductor

X-ray absorption / interaction



> Germanium:

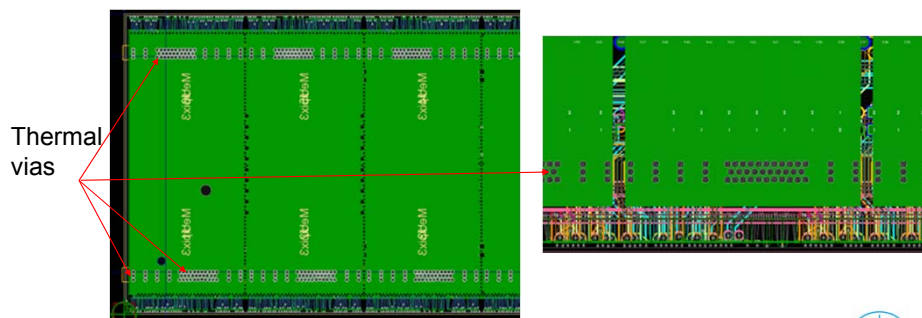
- Germanium (Canberra),
Still tests: How sensitive are diodes to high temperatures
- Indium bump bonding (IZM)
Relatively cold bonding (<100°C)



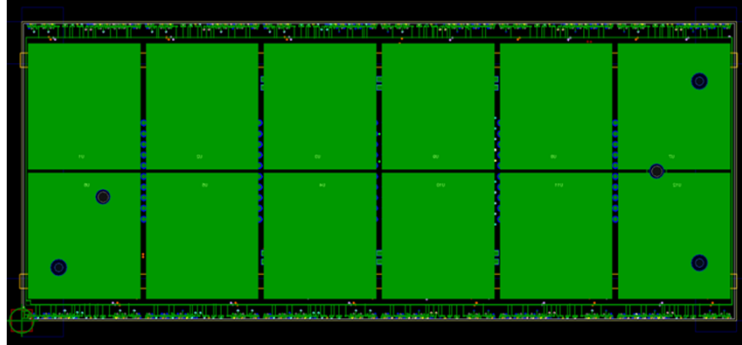
Mechanics and cooling

Design issues

- > Cooling frame occupies space on the back underneath each PCB
- > Space available for connectors reduced
- > Thermal vias make routing more difficult



Ceramic PCB



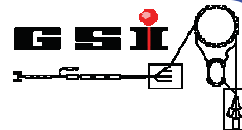


Entwicklung, Anwendungen und Erweiterungen des TACQUILA Meßsystems

Karsten Koch
Experiment-Elektronik
GSI Helmholtzzentrum für Schwerionenforschung GmbH, Darmstadt

- TACQUILA System (Messkonzept, Überblick)
- DoubleHit / ToT
- LANDFEE, TRIPLEX, ...
- Ausblick

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

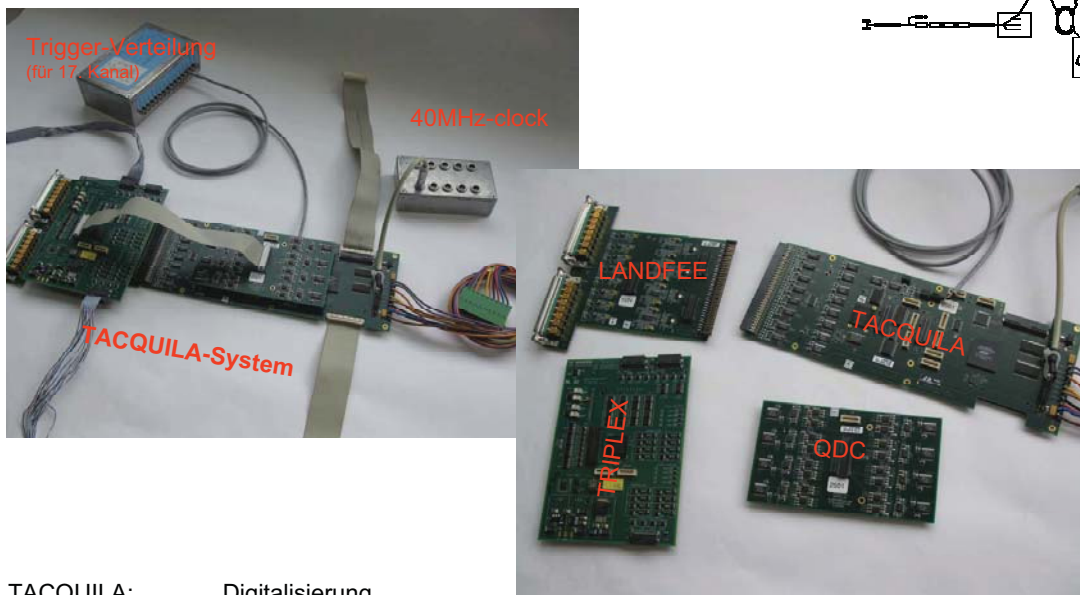
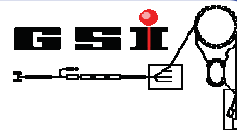


In der Experimentelelektronik realisierte hochauflösende Zeitmesskonzepte:

Konzepte:	Status:	Zeitauflösung:
TAC : TACQUILA	Einsatz an mehreren Experimenten (FoPi, LAND,...)	~ 10 ps
DLL : GET4(ASIC)	Prototyp (Einsatz geplant an CBM ToF)	< 25 ps
FPGA : Virtex4LX40	Evaluationsphase	~ 10ps

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

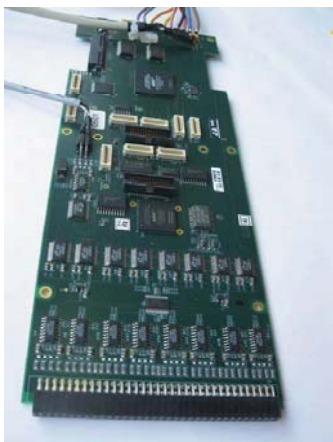
TACQUILA-System



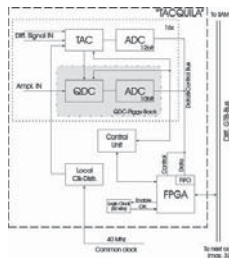
TACQUILA: Digitalisierung
 LANDFEE: Verstärker- und Komparator
 QDC: Ladungs-Messung
 TRIPLEX: Front-End Control

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

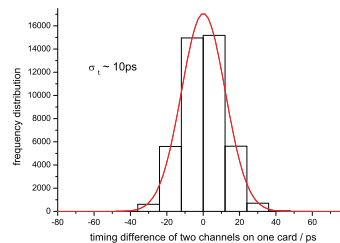
TACQUILA



Zeit-Digitalisierungs-Einheit,
 17 Kanäle mit „common stop logic“



Erfolgreicher Einsatz von ~4000 Kanälen
 bei FoPi RPC TOF (GSI)



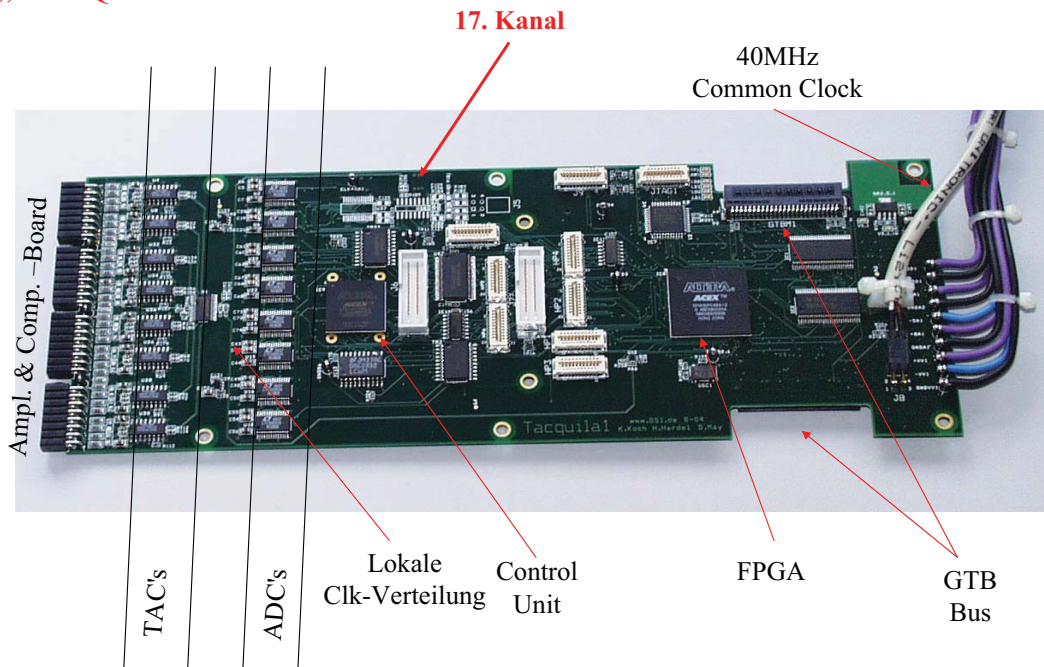
Features of TACQUILA

- 17 Kanal Board, mit GSI TAC ASIC
- geringe Leistungsaufnahme (~ 1/4 W/Kanal)
- exzellente Zeit-Auflösung rms (<10ps intrinsisch, <20ps zwischen 2 Karten)
- 17. Kanal für Messung großer Zeitdifferenzen (>25ns, cycle counter + fine time)

K.Koch, H.Hardel, R.Schulze, E.Badura, J.Hoffmann, "A New TAC-Based Multichannel Front-End Electronics for TOF Experiments with Very High Time Resolution",
 IEEE Trans. Nucl. Sci., vol. 52, no. 3, pp. 745-747, June 2005.

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

„TACQUILA“

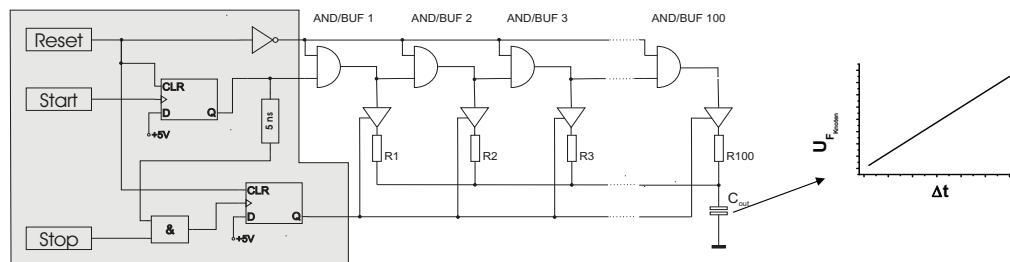


Auszug aus: K.Koch (GSI/DVEE) 6.4.2005

5

Der Zeit-Amplituden Konverter ASIC

Als wesentlicher Teil der "front-end" Elektronik für viele Kanäle, wurde ein hochauflösender TAC-Chip bei GSI in Darmstadt entwickelt. Hergestellt wurde dieser in einem $0.8 \mu\text{m}$ CMOS Prozess beim IMS der Fraunhofer Gesellschaft in Dresden.



Das Funktionsprinzip des Chips ist es, über digitale Verzögerungselemente eine Spannungsrampe kontinuierlich von Null bis zum Endwert zu fahren.

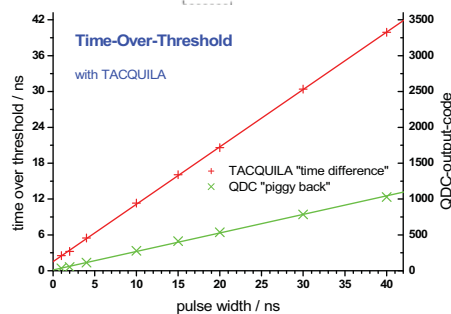
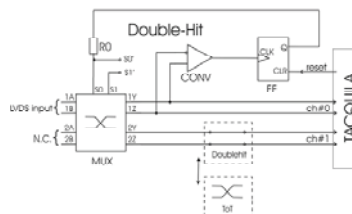
Eigenschaften des GSI TAC ASIC

- hervorragende Linearität
- exzellente Zeitauflösung
- geringe Leistungsaufnahme ($\sim 10 \text{ mW}$)
- Zeitbereich bis zu 35 ns
- sehr gute Reproduzierbarkeit
- geringe Kosten für große Stückzahlen

Auszug aus: K.Koch (GSI/DVEE) 6.4.2005

2

Double Hit / ToT



Erweiterungs-Platine (TACQUILA/Comparator-Board)

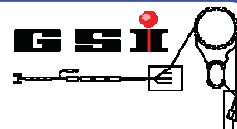
Systemerweiterung zur Messung von „Time over Threshold“ oder mehrfachen Ereignissen pro Kanal.
(Reduziert die Anzahl der Meßkanäle auf die Hälfte)

- $\sim 1\text{ns} < \text{Time over Threshold} < 6\mu\text{s}$
- Minimum Zeitabstand mit „double hit option“: $\sim 7\text{ns}$

K.Koch, E.Badura: High Resolution Double Hit Timing and Time Over Threshold Measurement Feasibility for the TACQUILA System; Nuclear Science Symposium Conference Record, 2007. IEEE

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

LANDFEE



- 16 Kanal Verstärker/Komparator Platine.
- Front-End Stecker passend für LAND PMT's.
- Board mit Lemo Steckern ist verfügbar.
- LANDFEE ist für Zeitmessungen optimiert.
Ein Re-Design mit linearem Verstärkungszweig ist in Arbeit.

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

TRIPLEX



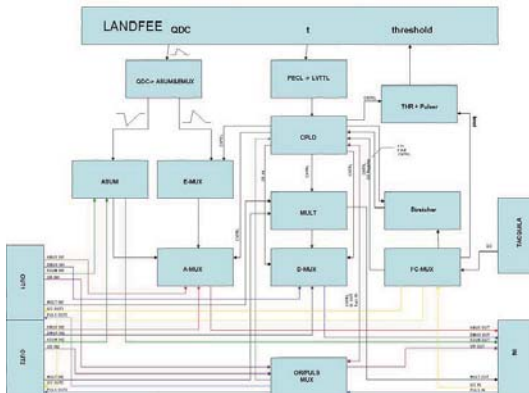
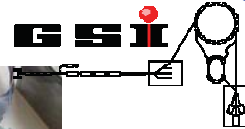
„Front end“ Steuer-Platine:

- 16 individuelle Schwellen
- 16 individuelle oder gem. Pulser
- analoge Summe
- Multiplizität (mit individueller Länge)
- „OR“ Ausgang
- Einzelkanal Multiplexer

- Funktionssteuerung über eigenen I²C Bus (bzw. direkt über TACQUILA)
- Alle Signale werden über eine Baumstruktur verteilt (bis 40 Karten)
- Die Zwischenverbindungen werden differenziell geführt (Analog bzw. LVDS).

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

TRIPLEX



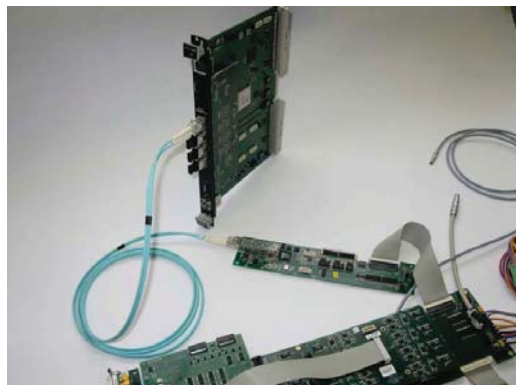
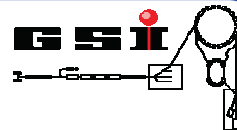
Funktions-Blockdiagramm



I²C / Signal Baumstruktur
(LabVIEW-Interface)

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

Optisches Interface zu TACQUILA



VME Modul 'VULOM5'



GTB optisches Interface zu TACQUILA
'GTBLWL1'

- Vermeidet Masse-Schleifen zum VME Crate
- bis zu 4 GTB Ketten in ein VME Modul
- Software-Implementierung in Arbeit

J.Hoffmann, K.Koch, N.Kurz, W.Ott, P.Skott: Fibre Optical Interface Based FOPI RPC Acquisition System ;
GSI Scientific Report 2007, p. 230 (<http://www.gsi.de/informationen/wil/library/scientificreport2007/PAPERS/INSTRUMENTS-METHODS-24.pdf>)

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

Erzeugung und 1:10 Verteilung des Clock-Signals mit LVDS Pegel

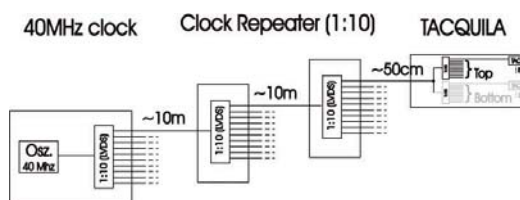
Einsatz bei TACQUILA Zeitmess-Systemen:
als Master-Clock & Verteiler

erfolgreich eingesetzt bei FoPi ToF:
kaskadierte Verteilung über drei Knoten und einer Distanz von ca. 20m

zwei Formfaktoren:



CLKDSTR2 & FopiClkdstr1



Timing jitter (ch/ch): $\sigma < 5\text{ps}$.

Auszug aus: Karsten Koch, GSI Darmstadt, SEI-Frühjahrstagung (HH), 17. März 2010

Signallaufzeitausgleich durch Längenanpassung

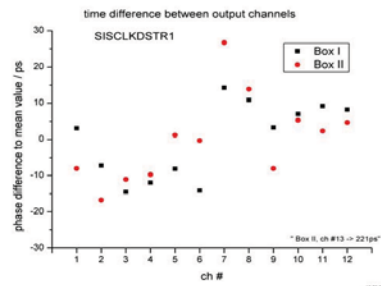
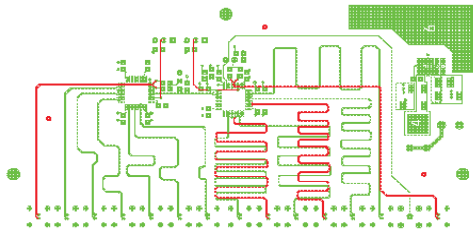
Synchronisation von Ereignissen am SIS
Referenz-Clockzeugung mit STDCLK1

Kann auch verwendet werden zur Ansteuerung
des 17. Kanals von TACQUILA

Ein-/Ausgänge:
1x PECL/LVTTL 12x PECL
2x PECL 2x6 PECL



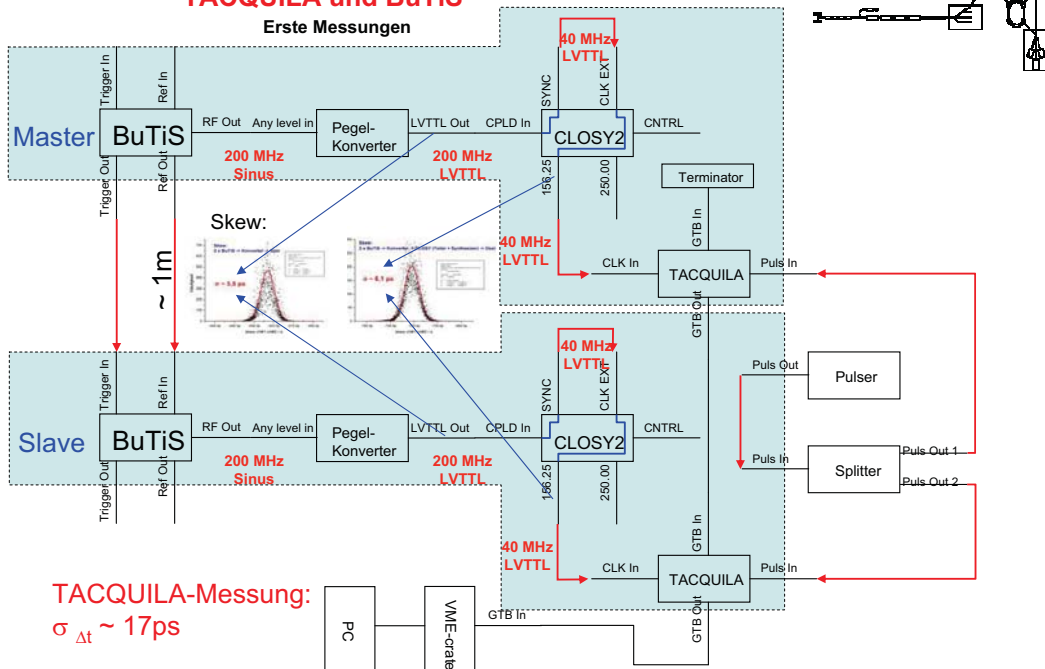
Variation der Laufzeitunterschiede im Baustein ~ Laufzeitunterschiede zwischen Bausteinen



Auszug aus: Karsten Koch, GSI Darmstadt, SEI-Frühjahrstagung (HH), 17. März 2010

TACQUILA und BuTiS

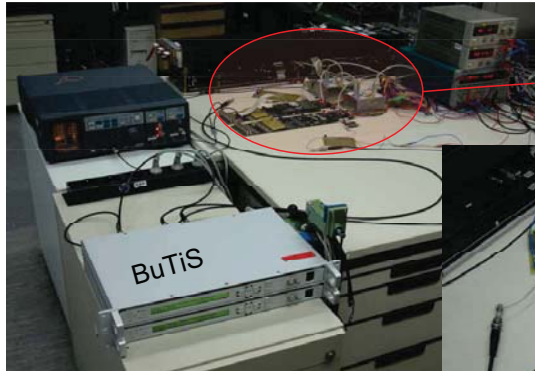
Erste Messungen



Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

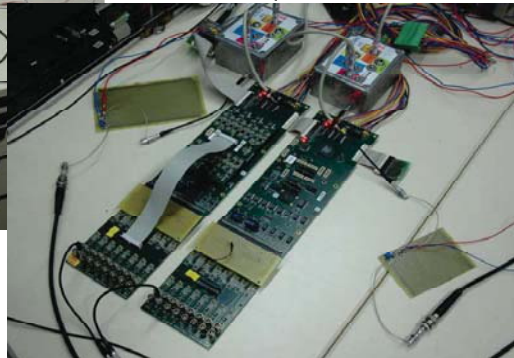


Gesamt-Aufbau



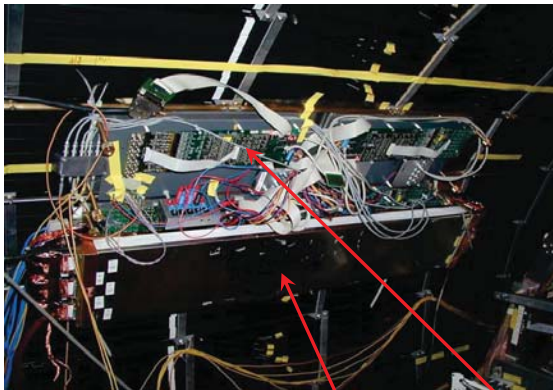
TACQUILA und BuTiS
Erste Messungen

TACQUILA & CLOSY2



Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

TACQUILA an FoPi



Ein Super Modul (Detektor & Elektronik) am Experiment (4π)

Karsten Koch, GSI Darmstadt, SEI-Tagung, 21.-23. März 2011

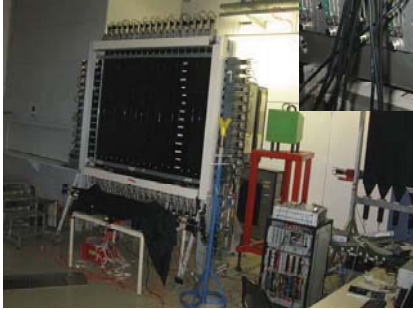
TACQUILA an LAND



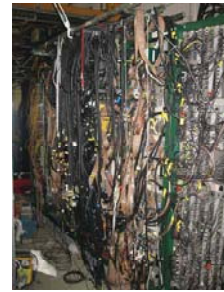
TACQUILA in 19"...



ToF-wall setup



...ersetzt alte Elektronik...



Entwicklung von Feldbusknoten für den wissenschaftlichen Gerätebau

Peter Kaefer, Helmholtz-Zentrum Dresden-Rossendorf; März 2011

Abstract: *Mit der Entwicklung spezialisierter Feldbusknoten lässt sich eine für den wissenschaftlichen Gerätebau in vielen Fällen sinnvolle Aufteilung zwischen selbst entwickelten und kommerziell verfügbaren Komponenten unter konsequenter Nutzung vorhandener Automatisierungssysteme erreichen. Im Folgenden wird vorgestellt, welche Schritte dabei erforderlich sind und welche Möglichkeiten sich mit diesem Ansatz ergeben.*

Die Verwendung industriell verfügbarer Feldbusknoten ist fester Bestandteil von Anlagen, die im wissenschaftlichen Gerätebau verwendet werden. Speziell für leistungsfähige Systeme werden in unterschiedlichen Forschungszentren seit mehreren Jahren Ethernet-basierte Feldbussysteme eingesetzt. Für spezielle Anforderungen im Bereich der Ein- und Ausgabefunktionen, bei schnellen Prozessen oder leistungsfähigen Verarbeitungsfunktionen bzw. speziellen Schnittstellen ist die Entwicklung spezialisierter Geräte unumgänglich.

Im Helmholtz Zentrum Dresden Rossendorf sind industrielle Komponenten in einer Vielzahl von Anlagen unterschiedlicher Größe anzutreffen. Beispielsweise wurde der Beschleuniger ELBE unter Verwendung eines industriellen SPS-Systems aufgebaut. Die Realisierung der Flüssigmetallanlage LIMCAST oder der Steuerung für das Hochfeldlabor erforderten gleichfalls sichere und nicht sichere Komponenten, bei denen der Zugriff auf industriell erprobte und abgenommene Systeme einen großen Geschwindigkeitsvorteil bot. Im Folgenden soll ein Ansatz vorgestellt werden, bei dem auch spezialisierte Endgeräte direkt in die Automatisierungssysteme eingebunden werden.

Während der Schwerpunkt der Entwicklungstätigkeit in wissenschaftlichen Einrichtungen oftmals auf der Bereitstellung der spezifischen Funktionalität liegt, soll hier zunächst der Produktlebenszyklus beleuchtet werden. Die Integration spezialisierter Geräte in vorhandene Experimente stellt einen nicht zu unterschätzenden Aufwand dar, wenn man die Funktionalität betrachtet, die während der Laufzeit der Experimente nach und nach entsteht.

Bei systemkonformer Realisierung spezifischer Geräte kann mit der Projektierung beginnend über den Betrieb bis zu Systempflege mit Wartung und Diagnose der komplette Lebenszyklus des Gerätes bedient werden. Unter der Voraussetzung, dass die Hersteller der Automatisierungssysteme diese kontinuierlich weiterentwickeln und pflegen ist damit eine langfristige Basis für eine funktionierende Experimentalsystemautomatisierung gelegt. Betrachtet man die Verfügbarkeit industrieller Lösungen in der Automatisierungsbranche, so lässt sich sowohl aus deren Kundenstamm als auch aus dem Agieren am Markt ein konservatives Verhalten ablesen, so dass man auch künftig von einer hohen Verfügbarkeit ausgehen kann. Ethernetbasierte Lösungen bieten einerseits den Vorteil eines modernen Entwicklungsstandes, einer großen Anzahl bereits verfügbarer Komponenten und einer guten Performance.

Beispielhaft soll im Folgenden der Fokus auf der Entwicklung von EtherCAT Slave Devices liegen, wobei abschließend ein Ansatz vorgeschlagen wird, der sich mit geringem Aufwand auf Profinet Automatisierungssysteme erweitern lässt.

Zur besseren Einordnung der vorgeschlagenen Lösung und zur Prüfung der Integrationsfähigkeit in Anlagenkonstellationen, wie sie bei der Experimentautomatisierung verwendet werden, wurde am Helmholtz-Zentrum Dresden-Rossendorf eine Zielarchitektur abgestimmt, deren wesentlichste Merkmale in Bild 1 zu sehen sind. In der Leitebene sind vor allem Elemente zur Steuerung des Gesamtsystems anzutreffen. Hierzu gehören graphische Bedienerschnittstellen, die beispielsweise mit WinCC, National Instruments oder mit selbst entwickelten Oberflächen realisiert sind.

Die Kommunikationsschicht dient dem Datenaustausch zwischen Leitebene und den Automatisierungskomponenten, wobei Komponenten wie OPC-Server zur übergreifenden Kommunikation und flexiblen Anbindung dedizierter Subsysteme eine wichtige Rolle einnehmen.

Automatisierungskomponenten bilden die direkte Schnittstelle zum Prozess ab und sind je nach gewünschter Reaktionsgeschwindigkeit, Sicherheitsanforderungen und Systemdesign als dezentrale Peripherie mit eigener Intelligenz oder als reine Ein-/Ausgabegeräte realisiert.

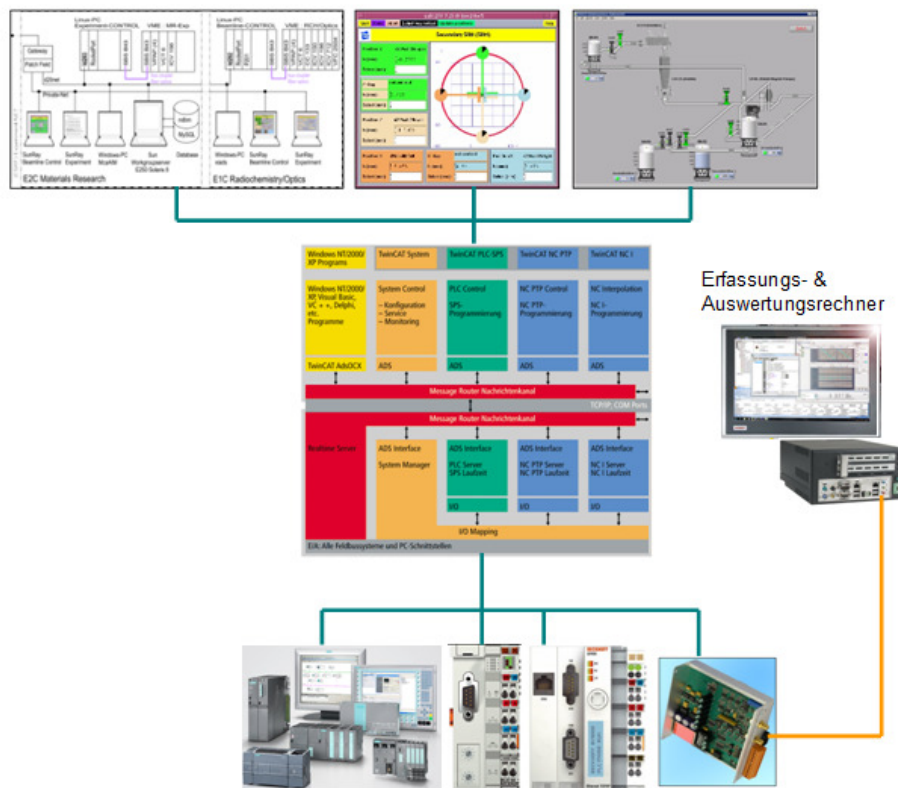


Bild 1 Zielarchitektur Automatisierung

Spezialisierte Endgeräte sind oft mit einem spezialisierten Frontend ausgestattet; in vielen Fällen ist eine zusätzlich eine leistungsstarke Vorverarbeitung der Daten erforderlich. Durch Anbindung an einen Feldbus sind die hier vorgeschlagenen Geräte automatisch vernetzbar, wodurch eine Modularität auf Geräteebene entsteht. Eine finale Messdatenverarbeitung bietet sich gemäß Bild 2 auf einem PC an, der mit dem spezialisierten Feldbusgerät beispielsweise über Ethernet oder PCIe in Verbindung steht. Auf diese Weise ist oft eine kostengünstige und leistungsfähige Verarbeitung möglich.

Kern des hier vorgestellten Realisierungsvorschlages ist die Entwicklung spezialisierter Feldbusknoten. Für eine exemplarische Realisierung wurde zunächst ein Evaluationsboard mit einem EtherCAT Feldbusknoten beschafft. Dieses ist mit einem 16 bit PIC Mikrocontroller ausgestattet, der durch einen leistungsfähigeren ARM9 zu ersetzen war [5]. Zudem waren die eingeschränkten Ein- und Ausgabemöglichkeiten so zu erweitern, dass digitale Ein- und Ausgänge als Bits oder Ports und 16 bit breite analoge Ein- und Ausgänge zur Verfügung gestellt wurden. In Bild 3 ist das erste Funktionsmuster zu sehen, das einen kommerziell verfügbaren EtherCAT Slave Controller sowie ein ARM9 Evaluationsboard nutzt.

Funktion Meßdatenerfassung:

- spezialisiertes Frontend
- leistungsstarkes Preprocessing
- Vernetzbarkeit => Modularität

Meßdatenverarbeitung:

- Standard-PC
- Leistung/Preis +++
- Flexibilität ++

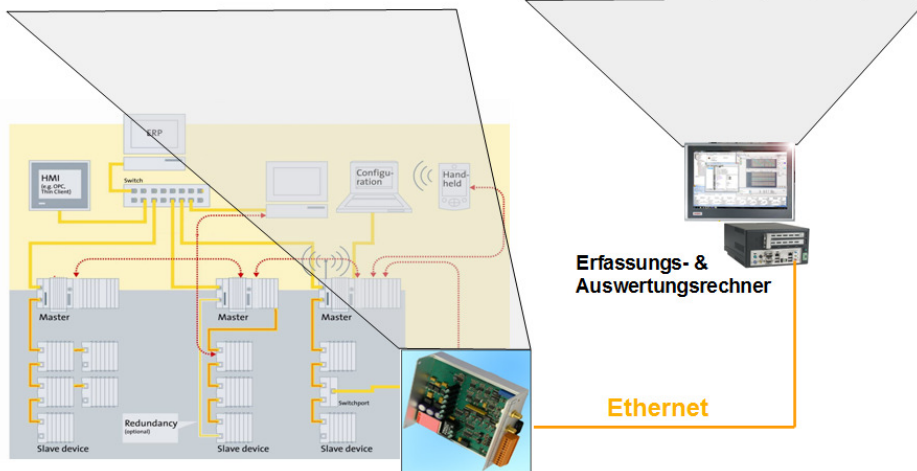


Bild 2 Funktionale Trennung zwischen Mesdatenerfassung und -verarbeitung

Wichtigstes Ziel ist die Übertragung von Prozessdaten zwischen EtherCAT Master und dem hier entwickelten EtherCAT Slave Device. Zur Integration wurde ein Netzwerkstrang aufgebaut, in dem ein PC als EtherCAT Master fungiert [3]. Die Kommunikation in EtherCAT basiert auf dem Master-Slave Prinzip; die vom Master abgeschickten Frames mit den Prozessdaten durchlaufen das Slave Device sowohl auf dem Hinweg als auch auf dem Rückweg. Die Frames enthalten das komplette Prozessabbild mit allen PLC-Daten, I/O-Daten und NC-Daten, wobei das Slave Device beim Durchlaufen des EtherCAT Frames die ihm zugehörigen Daten entnimmt und im gleichen Durchlauf die ihm zugeordneten Eingabedaten in das Frame hineinschreibt.

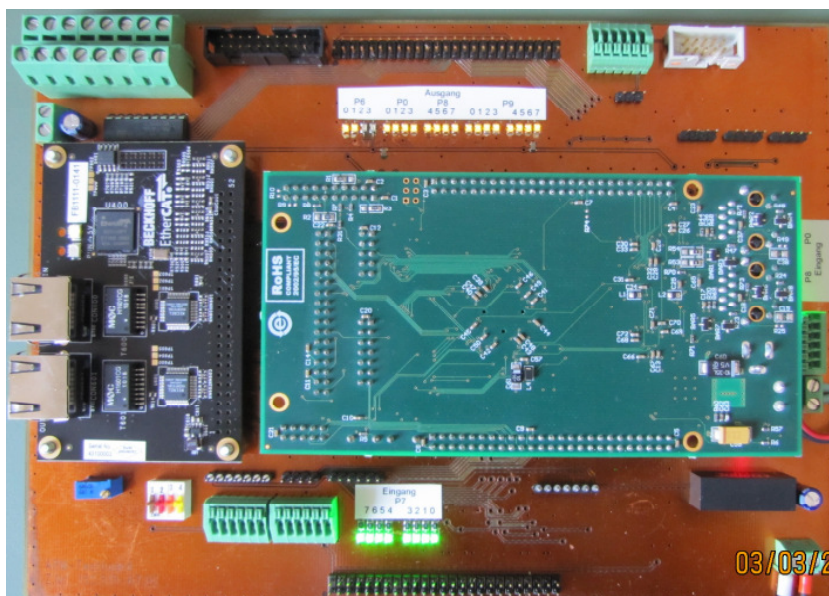


Bild 3 Funktionsmuster eines EtherCAT Slave Device mit ARM9 Mikrocontroller

Bei genauerer Betrachtung vollzieht der in jedem Slave Device vorhandene EtherCAT Slave Controller alle EtherCAT-Bustransfers. EtherCAT Slave Controller [2] stehen als ASIC's oder als IP-Cores für die Realisierung mit FPGA's zur Verfügung. Ihre Aufgabe ist die korrekte Handhabung der Busanschaltung bis zum Transfer der Datenpakete beispielsweise an einen Mikrocontroller. Zur Analyse der Ethercat Frames wurde Wireshark mit einem Plugin erweitert, das die Aufzeichnung

von EtherCAT Frames auf komfortable Weise ermöglicht. Die korrekte Einbindung des EtherCAT Slave Controllers am Bus läßt sich auf diese Weise im Netzwerk überprüfen.

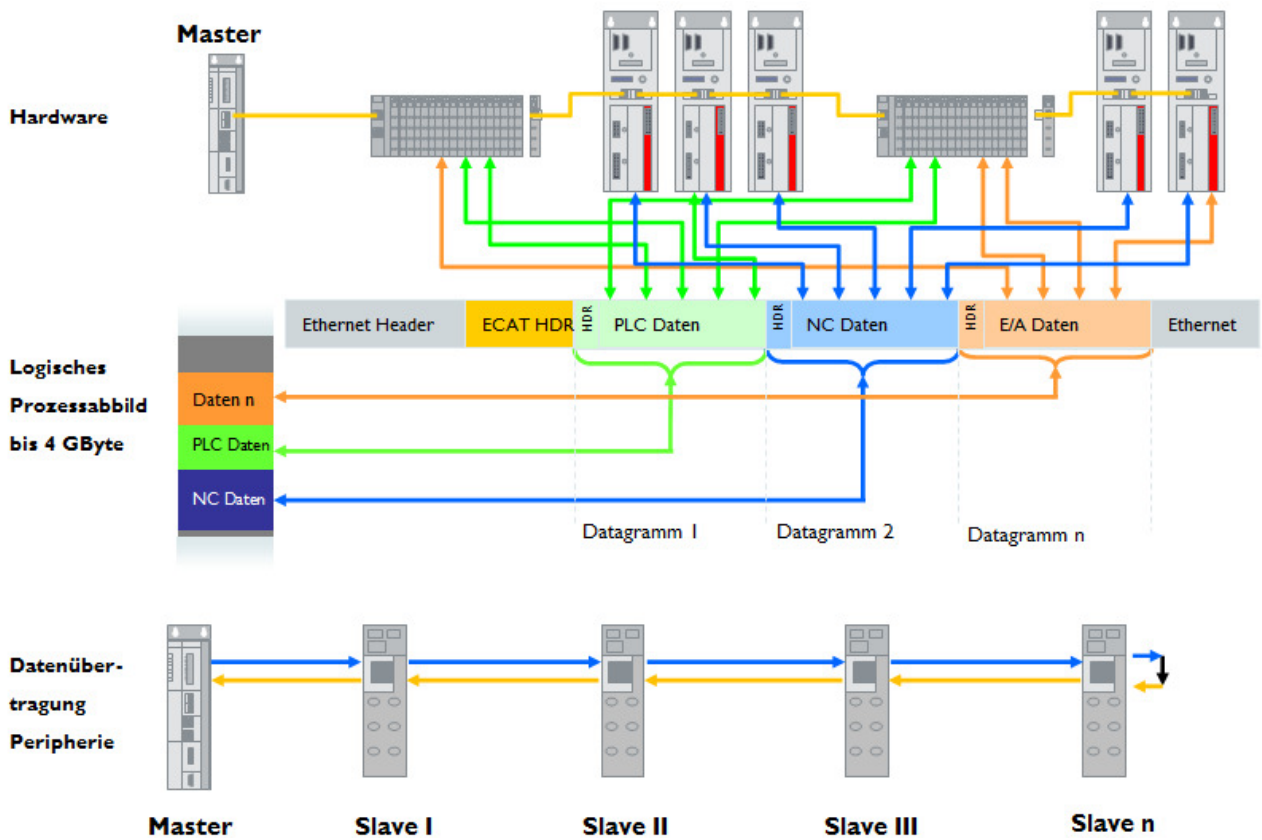


Bild 4: Systemkommunikation bei EtherCAT

Während das Frame die Kette der Slave Devices durchläuft, werden die aktuellen Ausgabewerte entnommen und aktuelle Eingabewerte eingefügt. In jedem Slave Device ist ein EtherCAT Slave Controller implementiert, der für eine Entnahme der an den jeweiligen Slave gerichteten Daten aus dem durchlaufenden Frame sorgt. Das Einfügen der vom Slave Device aus der Umgebung gelesenen Informationen geschieht ebenfalls autark durch den EtherCAT Slave Controller. Dieser stellt auch Signale zur Ansteuerung der Hardware zur Verfügung, die beispielsweise bei Anbindung eines Mikrocontrollers das Auslösen von Interrupts ermöglichen.

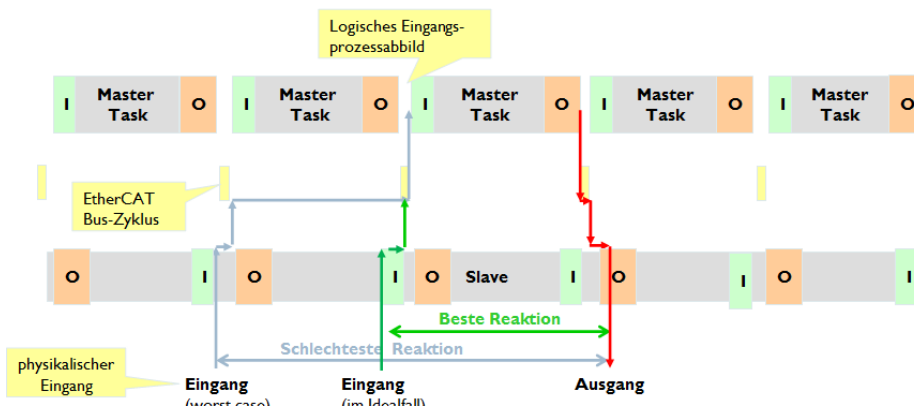


Bild 5: Zeitverhalten bei der Übertragung von Prozeßdatenframes

Beim zyklischen Versenden des EtherCAT-Datenpaketes durch den Master sind zunächst die Abläufe im EtherCAT Slave Controller zu beachten. In Bild 4 wurde ein linearer Strang betrachtet, der keine Verzweigungen oder Hierarchien beinhaltet. Die relevante Zeitdauer für Reaktionen auf einen physischen Eingang durch den Master kann bis zu 2 vollständigen Buszyklen betragen. Je nach Schaltzeitpunkt eines Ereignisses in zeitlicher Relation zum Bustransfer können wie in Bild 5 gezeigt von einem (best case) bis zu zwei Buszyklen (worst case) zwischen Einlesen des Eingangs, dessen Transfer an den Master und der dort stattfindenden Verarbeitung sowie der Übergabe des entsprechenden Ausgabekommandos an den Slave liegen.

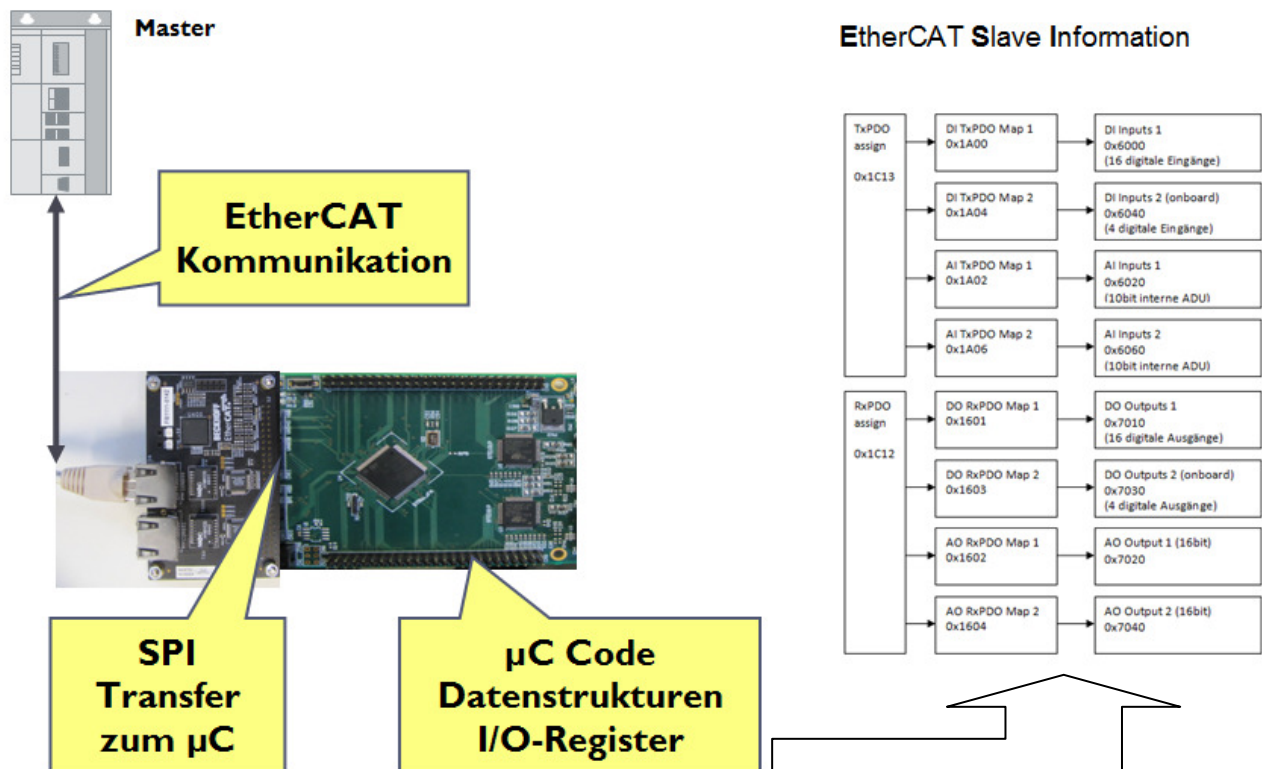


Bild 6: Anbindung des Mikrocontrollers und der Prozessdatenobjekte an EtherCAT

Industriell verfügbare EtherCAT Slave Controller bieten 8 /16 bit breite Schnittstellen bzw. ein 32 bit breites Parallelinterface sowie eine SPI Schnittstelle an, die bis zu 20 MHz betrieben werden kann [2]. Für die hier angestrebte Realisierung wurde eine Schnittstelle gewählt, die auf einer großen Zahl von Mikrocontrollern verfügbar ist und einen geringen Aufwand an Ressourcen benötigt. Die in Bild 6 gezeigte SPI-Schnittstelle hat den Vorteil eines geringen Ressourcenbedarfes auf der Seite des Mikrocontrollers. Nach Festlegung der Anbindung an den Mikrocontroller und Definition der zu realisierenden Schnittstellen ist die Definition der Strukturen zur Beschreibung der Prozessdatenobjekte der nächste logische Schritt. Da sich die Ein-/Ausgabefähigkeiten des Slave Device unmittelbar in diese Datenstrukturen abbilden und den Weg vom Mikrocontrollercode bis zur Verwendung im Master strukturieren, sollen die einzelnen Manifestationen dieser Strukturen im Folgenden erläutert werden.

Bild 7 legt einen Schwerpunkt auf die verschiedenen Ebenen, in denen die Ein- und Ausgabefähigkeiten des Slave Device verwendet werden. Auf Ebene der Mikrocontrollerhardware sind sie in der Regel als Register, im Mikrocontrollercode als Strukturen zum Transfer über die SPI vorhanden. Im EtherCAT Slave Controller werden lokale Abbilder dieser Strukturen für den Transfer in EtherCAT Frames bereitgestellt; im Master dienen Abbilder mit den entsprechend zugeordneten logischen Namen zur Implementierung der Steuerung.

Schematisch wurden für diese Strukturen für unser Beispiel in Bild 7 auf der rechten Seite dargestellt und realisieren in unserem Beispiel mehrere digitale und analoge Eingangs- und Ausgangskanäle.

Die busseitige Anbindung des Slave Device erfolgt dabei im Wesentlichen in 4 Schritten, die aufeinander abzustimmen sind [4]:

1. Programmierung des Mikrocontrollers
2. Beschreibung der Fähigkeiten des Slave Device in einer Konfigurationsdatei
3. Projektierung der auf dem Master implementierten Steuerung unter Nutzung des Slave Device
4. Schreiben der Konfiguration in den EtherCAT Slave Controller

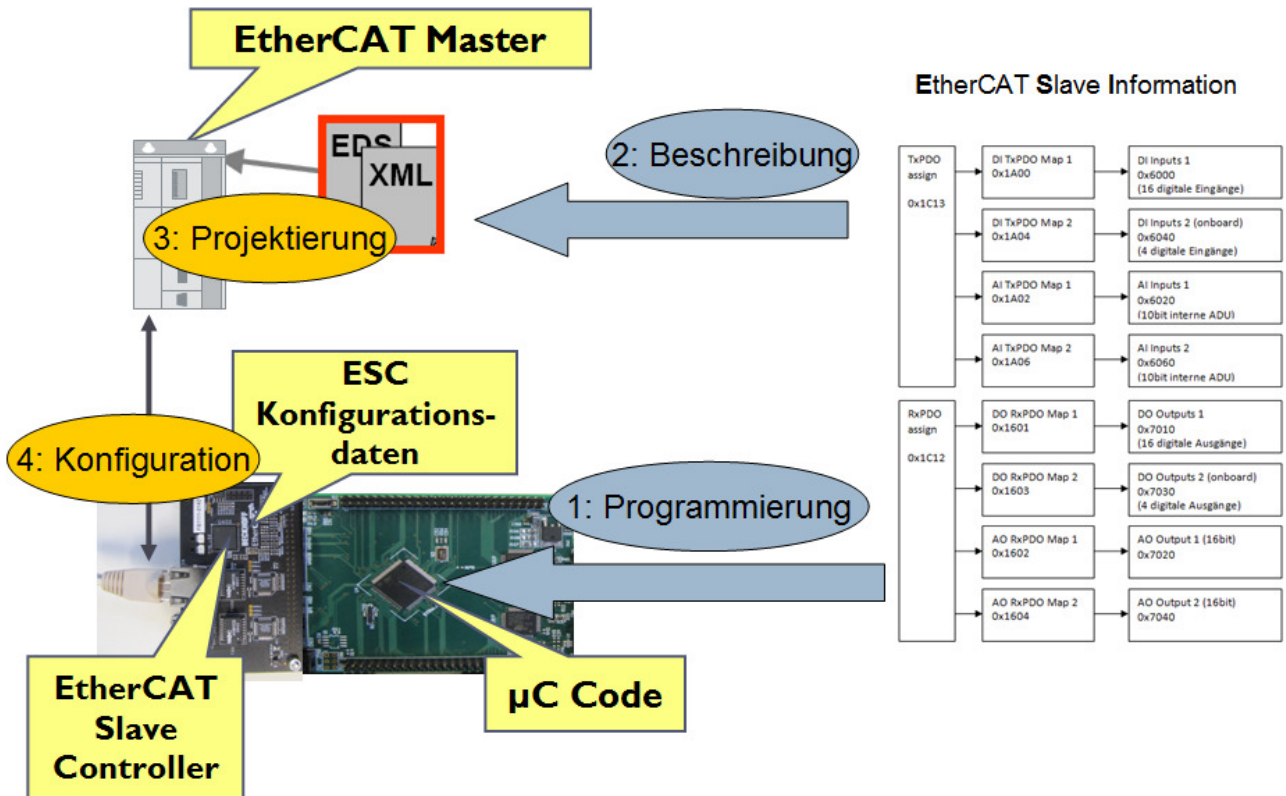


Bild 7: Transfer der Prozessdatenobjekte und Schritte der Einbindung eines Slave Device

Innerhalb des Mikrocontrollercodes werden für den ersten Schritt Listen von Zeigern auf die jeweiligen Prozessdatenobjekte angelegt. Die dazu gehörigen Strukturen werden an eine Funktion übergeben, die das Prozessdatenabbild über die SPI-Schnittstelle aus dem EtherCAT Slave Controller liest. In einem weiteren Schritt wird das Prozessdatenabbild mit den Input- und Outputkanälen des Mikrocontrollers abgeglichen. Der Schritt einer Beschreibung der Fähigkeiten des Slave Device dient der detaillierten Erfassung aller Fähigkeiten des Slave Device sowie dessen eindeutiger Typbezeichnung, deren Daten beispielhaft in Bild 14 dargestellt sind.

Die Projektierung verknüpft unter anderem die logischen Variablen der auf dem Master laufenden Steuerung mit den in der Peripherie vorhandenen Slave Devices auf Ebene der physikalisch vorhandene Kanäle. Eine inhaltliche Konsistenz zwischen Mikrocontrollerprogrammierung und der xml-Beschreibung des Slave Device ist zur korrekten Funktion der Konfiguration am Bus zwingend erforderlich.

Bild 8 zeigt einige der exemplarisch angelegten Ein- und Ausgabekanäle des im HZDR entwickelten Slave Device. Dabei ist zunächst erkennbar, dass 2 digitale Eingabekanäle, 2 analoge Eingabekanäle sowie jeweils 2 digitale und analoge Ausgabekanäle realisiert wurden. Diese sind mit ihren logischen Namen erkennbar. Weiter ist es möglich, eine Gliederung innerhalb eines Eingabewortes vorzusehen, in dem einzelne Bits mit ihren Zuordnungen an den Klemmen gleich im

TwinCAT System Manager zu erkennen sind. Dies kann ggf. die Projektierung vereinfachen. Im hier vorliegenden Beispiel wurde ein digitaler Ausgang mit einzelnen Bits ausgestattet, deren Kontroll-LED's als LED0 bis LED3 bezeichnet sind.

WcState und InfoData beinhalten Standarddaten für EtherCAT, welche beispielsweise die Gültigkeit der Daten kennzeichnen oder die Netzwerkennung des Slave Device sowie seinen Betriebszustand beinhalten

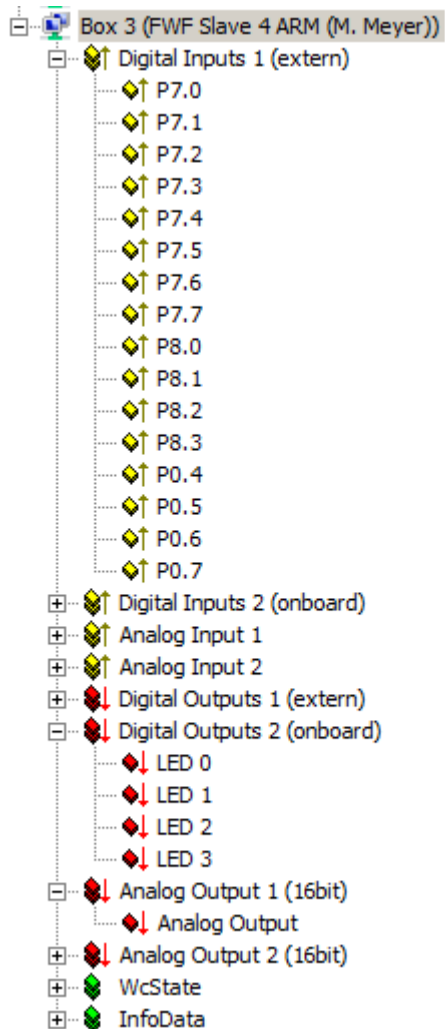


Bild 8: Konfiguration eines am HZDR entwickelten Slave Device im System Manager

In der Realisierung von Beckhoff wird der Transfer zwischen dem Prozessdatenabbild und den Registern des Mikrocontrollers in einem Interrupt durchgeführt, der vom EtherCAT Slave Controller über ein dediziertes Signal ausgelöst wird. Eigene Applikationen zur Verarbeitung von Prozessdaten synchron zum Buszyklus lassen sich an dieser Stelle ebenfalls günstig implementieren, wobei es sinnvoll sein kann, die Verarbeitung zeitlich hinter die Übertragung der Prozessdaten zu legen. Auch nach Abschluss der Interruptserviceroutine ist die Verarbeitung von Prozessdaten möglich, wobei darauf zu achten ist, dass diese asynchron zum Zeitraster des Buszyklus läuft und durch den Interrupt zum Transfer der SPI-Daten unterbrochen wird.

EtherCAT kann mit unterschiedlichen Buszyklen betrieben werden, die als „Sync Manager“ und „Distributed Clock“ bezeichnet werden. Im Betrieb mit Sync Manager versendet der Master in einem vorgegebenen zeitlichen Raster Frames, welche die Kette der Slaves durchlaufen und durch die Verarbeitungs- und Kommunikationsabläufe im Inneren der Slaves auch das zeitliche Verhalten im Gesamtprozess bestimmen. Zum möglichst zeitgleichen Schalten von Ausgängen auf unterschiedlichen Slave Devices wird dagegen die Betriebsart Distributed Clock verwendet. Im

Folgenden soll die prinzipiell unterschiedliche Funktionsweise beider Betriebsarten erläutert werden.

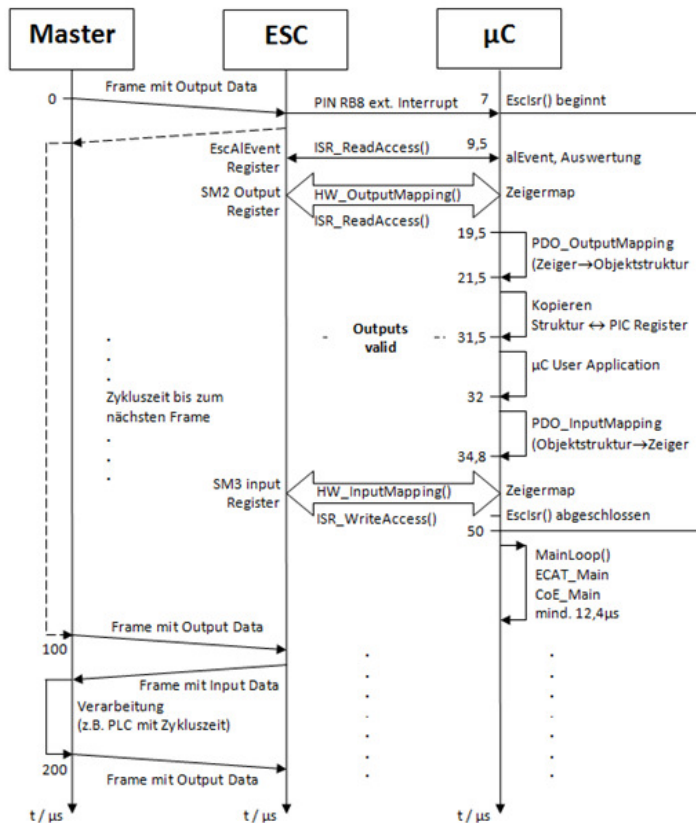


Bild 9: Aktivitäten im Slave Device bei Sync Manager Kommunikation

Die zeitliche Abfolge in der Bearbeitung von Buszyklen vom Transfer der Frames bis zur Reaktion des Mikrocontrollers ist im obigen Bild für den Betrieb mit dem Sync-Manager zu sehen. Nach Entnahme der Eingangsdaten des durch den Master verschickten Frames wird durch den EtherCAT Slave Controller (ESC) ein Hardwareinterrupt ausgelöst, welcher ein Lesen der Prozessdaten über die SPI Schnittstelle zur Folge hat (PDO_OutputMapping). Diese werden darauf an die zugehörigen Register des Mikrocontrollers weitergegeben. Nach Ausführung der lokal auf dem Mikrocontroller realisierten Anwendung werden die als Input der Master-Steuerung verwendeten Datenstrukturen in die Strukturen des Prozessdatenobjektes transferiert (PDO_InputMapping).

Eine Übergabe der Prozessdatenobjekte über die SPI-Schnittstelle schließt den Interrupt ab. Dabei ist zu beachten, dass der Abschluß der Interrupt Service Routine asynchron zum Bustransfer abläuft und in der Regel davon auszugehen ist, dass Input-Daten erst im nächsten Buszyklus transferiert werden können. Aufgabe des EtherCAT Slave Controllers ist an dieser Stelle eine Pufferung konsistenter Input-Prozessabbilder des Slave Device. Freie Zeit des Mikrocontrollers außerhalb der Interrupt Service Routine kann von einer weiteren Applikation verwendet werden, deren Aktivität im Oszilloskopausschnitt auf Bild10 zu erkennen ist.

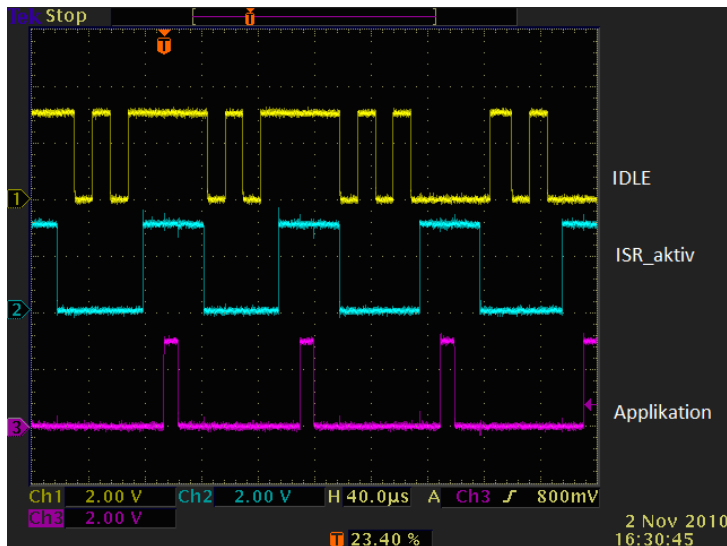


Bild 10: Aktivitäten im Mikrocontroller bei Sync Manager Kommunikation

Der Anspruch eines möglichst zeitgleichen Schaltens von Ausgängen führt zu einem modifizierten Ablauf im Zusammenspiel zwischen EtherCAT Slave Controller und Mikrocontroller.

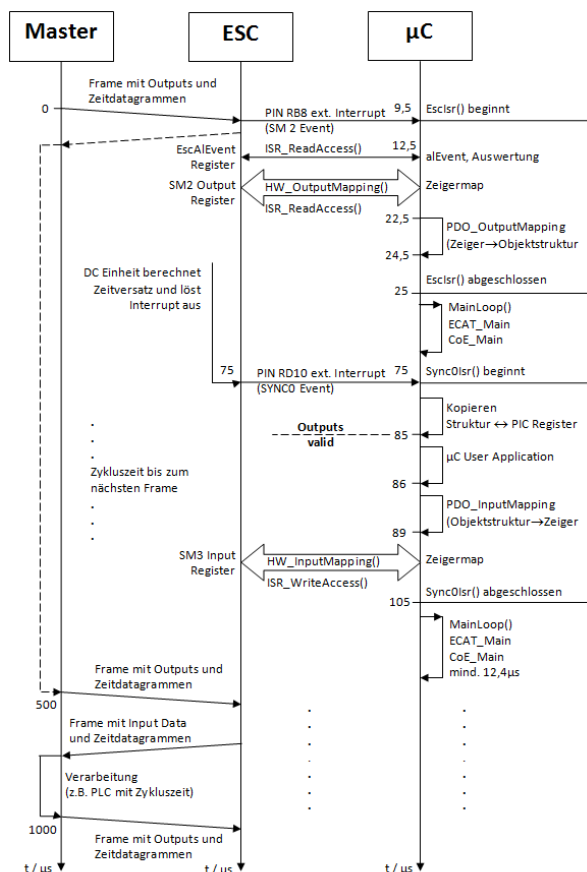


Bild 11: Aktivitäten im Slave Device bei Verwendung von Distributed Clocks

In der Betriebsart Distributed Clocks werden zunächst spezielle Telegramme zur Bestimmung der Verzögerungen und Laufgeschwindigkeit aller lokalen Uhren deren individuelle Parameter ermittelt.

Der Kerngedanke besteht nun darin, unter Nutzung einer vorgegebenen und auf jedes Slave Device lokal umgerechneten Verzögerung dafür zu sorgen, dass die gewünschten Ausgabezeitpunkte für die Ausgänge in der lokalen Zeit mit der Zeitbasis des Masters mit hoher Genauigkeit übereinstimmen. Als Genauigkeitsangabe werden Zeiten besser als 100 ns benannt, wobei Verzögerungen zwischen den gewünschten Transferzeitpunkten und den realen Ausgabezeitpunkten gesondert zu betrachten sind. Diese Funktionalität wird durch den EtherCAT Slave Controller erbracht.

Als Mechanismus zur möglichst schnellen und jitterfreien Ausgabe der Prozessdatenobjekte wird ein zweiter Interrupt genutzt. Die im ersten Interrupt übertragenen Prozessdaten werden bereits in der ersten Interruptserviceroutine in das Mikrocontroller-interne Prozessmodell geschrieben. Im zweiten Interrupt erfolgt lediglich der zeitkritische Transfer vom internen Prozessmodell an die Register des Mikrocontrollers. Latenz und Jitter des Datentransfers über die SPI-Schnittstelle fallen dabei nicht mehr ins Gewicht.

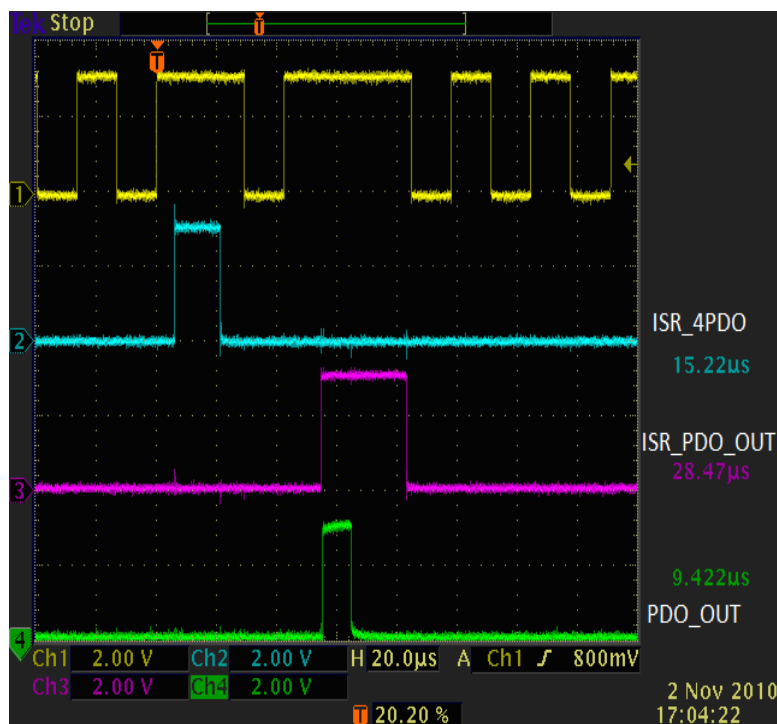


Bild 12: Aktivitäten im Mikrocontroller bei Verwendung von Distributed Clocks

In dieser Betriebsart ist die Zyklusdauer je nach Ausdehnung des Busstranges so einzustellen, dass die erforderlichen Zeiten für den Durchlauf des Frames und die Übernahme der Prozessdaten gesichert sind.

Naturgemäß lassen sich zwar Latenz und Jitter für die eigene Realisierung minimieren; eine Synchronisierung mit anderen Geräten, die ggf. auch andersartige Anbindungen zum EtherCAT Slave Controller realisieren, ist jedoch nur unter Einschränkungen und bei unbekanntem Slave Devices nur durch empirische Einstellungen möglich.

Während die Übertragung von Prozessdaten die wichtigste Möglichkeit zur Nutzung eigener Slave Devices darstellt, bieten FTP-Protokolle und Mailboxen weitere Funktionen. Im Rahmen der hier vorgenommenen exemplarischen Realisierung wird darauf nicht eingegangen, da diese geringere Voraussetzungen an das Antwortverhalten des Slave Device stellen und ihre Komplexität hinter den Prozessdatenobjekten zurückbleibt.

Bei der Nutzung eines derartigen Slave Device lassen sich alle Funktionen des TwinCAT System Managers wie beispielsweise automatische Erkennung der am Bus angeschlossenen Devices, Fehlerzähler, Konfigurationsinformationen, etc. nutzen um das Device am Bus in Betrieb zu nehmen. Die Verbindung zu einem OPC Server ist nach logischer Verknüpfung mit Variablen eines SPS-Programmes ohne weiteres herstellbar.

Abschließend sei bemerkt, dass in der aktuellen Konfiguration die Ankunft von EtherCAT-Frames zur Übertragung der Prozessdaten die einzigen Ereignisse im System darstellen. Bei komplexeren Verarbeitungsfunktionen und ggf. darüber hinausgehender Funktionalität zur Übertragung von Massendaten wird die Beibehaltung einer klaren interne Strukturierung beispielsweise durch ein Betriebssystem ermöglicht.

Da am Helmholtz-Zentrum Dresden-Rossendorf auch Profinet Geräte entwickelt werden sollen, fiel die Wahl bei der Auswahl des Mikrocontrollers auf einen ARM9 in Kombination mit dem freien Betriebssystem ECOS. Von Siemens werden ERTEC-Chips zur Realisierung von Profinet Devices angeboten, die intern mit einem ARM946ES ausgestattet sind. ERTEC Chips sind für die Realisierung von Profinet Feldbusknoten bis zu Profinet IRT geeignet. Eine bestehende Portierung von ECOS für diesen ARM9 motiviert neben den zahlreichen Vorzügen von ECOS dessen Auswahl als Betriebssystem. Die Anbindung eines Ethernet-Anschlusses ist dabei in der Regel bereits vorgesehen und erlaubt perspektivisch die Übertragung von Massendaten auf einem separaten Kanal.

Ziel ist die Nutzung möglichst vieler gemeinsamer Systemkomponenten zur Realisierung von Feldbusendgeräten unter EtherCAT und Profinet für den wissenschaftlichen Gerätebau. Hierbei stellen ein ARM9 Core mit ECOS als Betriebssystem eine günstige Möglichkeit zur Nutzung gemeinsamer Elemente dar. Unterschiedlich sind hierbei die Hardware zur Feldbusanbindung und die feldbusspezifischen Strukturen zur Übertragung der Prozessdatenobjekte.

Die Realisierung von Feldbusknoten in EtherCAT und Profinet ist auf diese Weise unter Nutzung einer Fülle gemeinsamer Softwaremodule für Betriebssystem und Applikationen möglich, was Aufwand und Pflege positiv beeinflusst.

Mein Dank geht an dieser Stelle an die Kollegen in der Zentralabteilung Forschungstechnik für viele fruchtbare Diskussionen und an Herrn Markus Meyer, der im Rahmen eines studentischen Praktikums [1] maßgeblich an der Inbetriebnahme des Evaluationsboards bis zur umfangreichen Portierung des Codes auf den ARM9 mitgewirkt hat.

Quellen:

- [1] **Meyer, M.** *Aufbau eines EtherCAT-Slave mit Beckhoff ASIC und Integration in TwinCAT*; Beleg zum praktischen Studiensemester Fachbereich Elektrotechnik der Hochschule für Technik und Wirtschaft Dresden (FH); 4.3.2011
- [2] **BECKHOFF AUTOMATION GMBH:** *Hardware Data Sheet ET1100 - EtherCAT Slave Controller*. Mai 2010. Download am 04.01.2011 von www.beckhoff.com
- [3] **BECKHOFF AUTOMATION GMBH:** *Beckhoff Information System 01/2011*. Januar 2011. Download am 27.01.2011 von infosys.beckhoff.com
- [4] **EtherCAT TECHNOLOGY GROUP:** *EtherCAT Slave Information Specification*. Mai 2009. Download am 27.09.2010 von www.ethercat.org
- [5] **STMicroelectronics:** *RM0006 Reference manual - STR91xFA ARM9 based microcontroller family*. Juli 2009. Download am 11.11.2010 von www.st.com

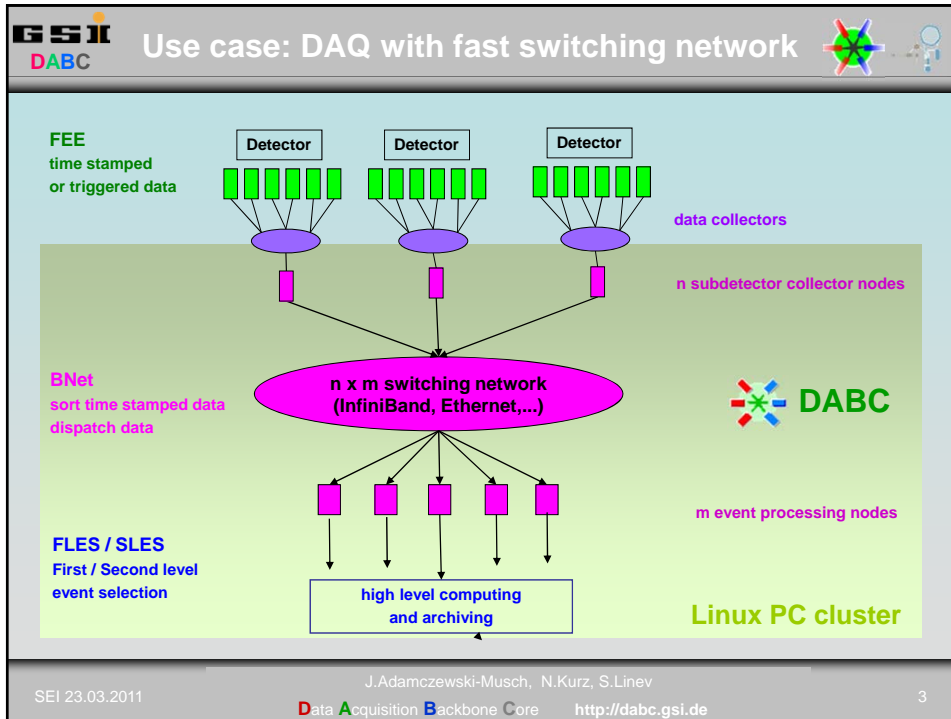
Data Acquisition Backbone Core Framework


(Studiengruppe für Elektronische Instrumentierung, GSI März 2011)

Jörn Adamczewski-Musch, Nikolaus Kurz, Sergey Linev
GSI, Experiment Electronics: Data Processing group





- **DABC Framework overview**
- **Usage and Configuration**
- **Integration of DAQ hardware:**
 - PEXOR (PCIe optical receiver)**
 - CBM: ROC (UDP), ABB(PCIe), Susibo(USB)**
- **DABC at CBM test beamtimes 2011**
- **(Go4 online monitoring)**
- **Summary and Outlook**



- GSI DABC** DABC Framework 
- „General purpose“ DAQ software framework
 - **Goal: collect and process data over fast networks triggered or time-stamped front-ends**
 - **Environment: PC with Linux**
 - **Plain C++ based core**
 - **(user) plug ins for**
 - data formats and processing
 - data input and output
 - control system (DIM, Java GUI)
 - **Supports established GSI production DAQ system MBS**
 - data links to MBS readout nodes (Lynx OS)
 - file I/O with MBS *.lmd formats
 - can emulate MBS data servers -> online analysis
- SEI 23.03.2011 J.Adamczewski-Musch, N.Kurz, S.Linev
Data Acquisition Backbone Core <http://dabc.gsi.de> 4

GSI
DABC

DABC release v1.x

Download via <https://subversion.gsi.de/goofy/dabc>

Controls

[EPICS**] Slim (batch) DIM*

Java GUI*

Core

Plugins

bnet-mbs
mbs
ROC*
ABB*
PEXOR*
ROOT*
IB verbs*

Applications

bnet-mbs
mbs
ROC
ABB
bnet-test
core-test
net-test

Controls: different implementations provided
Plugins: Implementation of applications (programmers)
Applications: Mainly setup or testing programs (users)

* external packages needed
 ** under construction



ROC: ReadOutController board (UDP)
 ABB: ActiveBufferBoard (PCIe)
 PEXOR: PCI Express Optical Receiver
 IB: InfiniBand
 mbs: MultiBranchSystem (GSI DAQ)

SEI 23.03.2011 J.Adamczewski-Musch, N.Kurz, S.Linev 5

Data Acquisition Backbone Core <http://dabc.gsi.de>

GSI
DABC

DABC Software Features 1

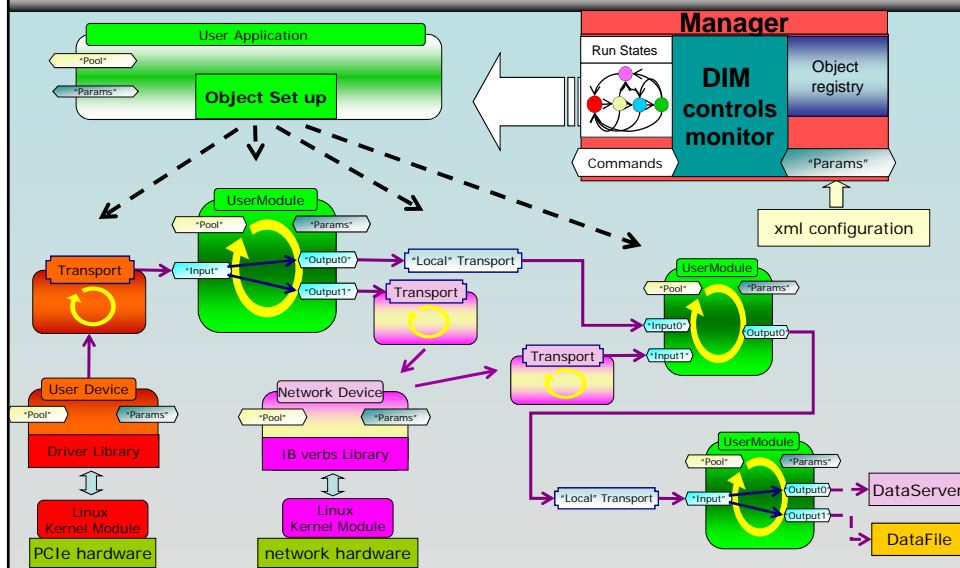
- **Runtime environment:**
 - **Worker** objects with (optional) shared threads
=> avoid wait times in mutex, condition, or context switches
 - **Command** objects executed within Worker context
 - Commands and event signals dispatched via queues
- Memory pools and **Buffer** management
- Data processing code in **Module** objects
- I/O connections in **Device** objects
- Dataflow via **Transport** connections between **Ports** at Modules and Devices

SEI 23.03.2011 J.Adamczewski-Musch, N.Kurz, S.Linev 6

Data Acquisition Backbone Core <http://dabc.gsi.de>



- DAQ node is set up by **Application** singleton
 - Implements **initialization methods** for Modules, Devices, connections, memory pool
 - Defines **Parameter** objects, values assignable from **XML configuration file**
 - Re-Implements control state transitions (optional)
- **Manager** singleton:
 - Object management
 - Defines run control **state machine**
 - Implements **control system** (simple, DIM,...)
 - Dispatches Commands to Processor instances



GSI DABC DABC Node configuration

- DABC Parameter objects:
- Registered in Application or Modules
- Values read from XML config
- Used at (Device) initialization
- Can be monitored by control system
- XML syntax with name wildcards (*) => simplifies set up of many nodes

```

<?xml version="1.0"?>
<dabc version="1">
  <Context name="Pexor-Readout">
    <Run>
      <lib value="libDabcMbs.so"/>
      <lib value="x86_64/libDabcPexor.so"/>
      <lib value="libpexor.so"/>
      <logfile value="ReadoutPexor.log"/>
    </Run>
    <Application class="pexorplugin::ReadoutApplication">
      <PexorID value="0"/>
      <PexorNumSlaves_0 value="0"/>
      <PexorNumSlaves_1 value="2"/>
      <PexorNumSlaves_2 value="0"/>
      <PexorNumSlaves_3 value="0"/>
      <PexorDMALen value="65536"/>
      <PexorDMABuffers value="30"/>
      <ExploDerSubmemSize value="2048"/>
      <PexorFormatMbs value="true"/>
      <PexorOutFile value="" />
      <MbsServerKind value="Stream"/>
      <MbsFileSizeLimit value="110"/>
      <BufferSize value="65536"/>
      <NumBuffers value="100"/>
      <PexorModuleName value="PexorReadout"/>
      <PexorModuleThread value="ReadoutThread"/>
      <PexorDeviceName value="PEXOR2"/>
      <PexorDeviceThread value="DeviceThread" />
    </Application>
    <Module name="PexorReadout">
      <RateMeter name="" debug="true" interval="3" width="5" prec="2"/>
    </Module>
  </Context>
</dabc>

```

Application Parameters

Module Parameters

Runtime Libraries, Logfile

Hardware set up

SEI 23.03.2011 J.Adamczewski-Musch, N.Kurz, S.Linev 9

Data Acquisition Backbone Core <http://dabc.gsi.de>

GSI DABC Hardware integration: PEXOR board

Developed by GSI EE: J.Hoffmann, N.Kurz, S.Minami, W.Ott, S.Voltz

Front End Board

EXPLODER

Detector electronics

FEBEX

PEXOR: Pci-EXpress Optical Receiver

- Lattice FPGA
- 4 lane PCIe
- 4 high speed optical connectors (SFP)

chain

chain

SEI 23.03.2011 J.Adamczewski-Musch, N.Kurz, S.Linev 10

Data Acquisition Backbone Core <http://dabc.gsi.de>



GOSIP protocol for SFP optical communication by FPGA:

(Shizu Minami)

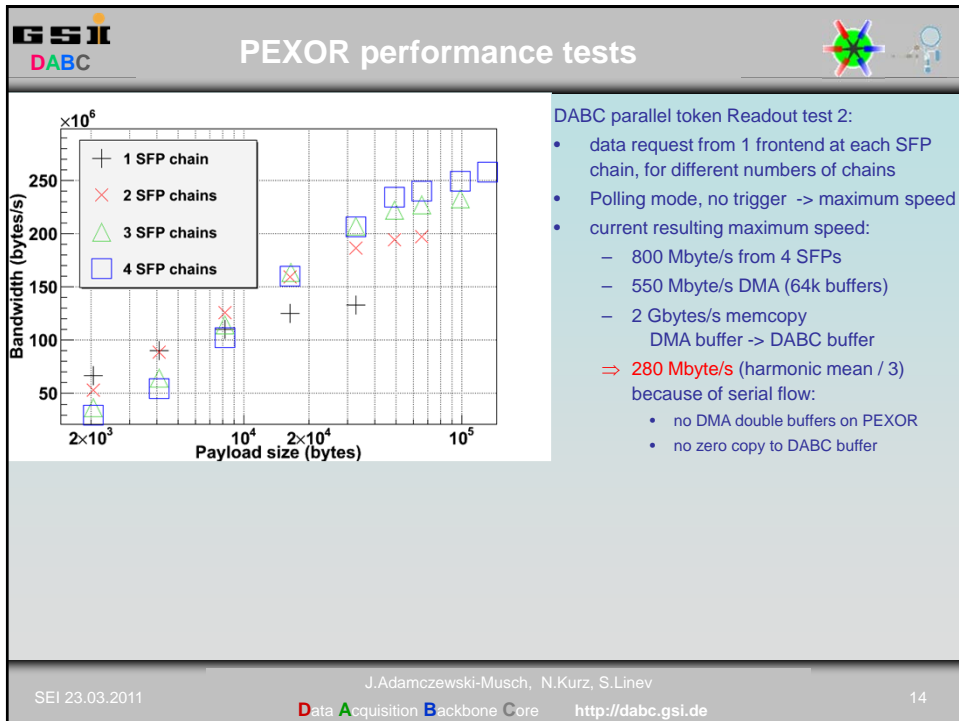
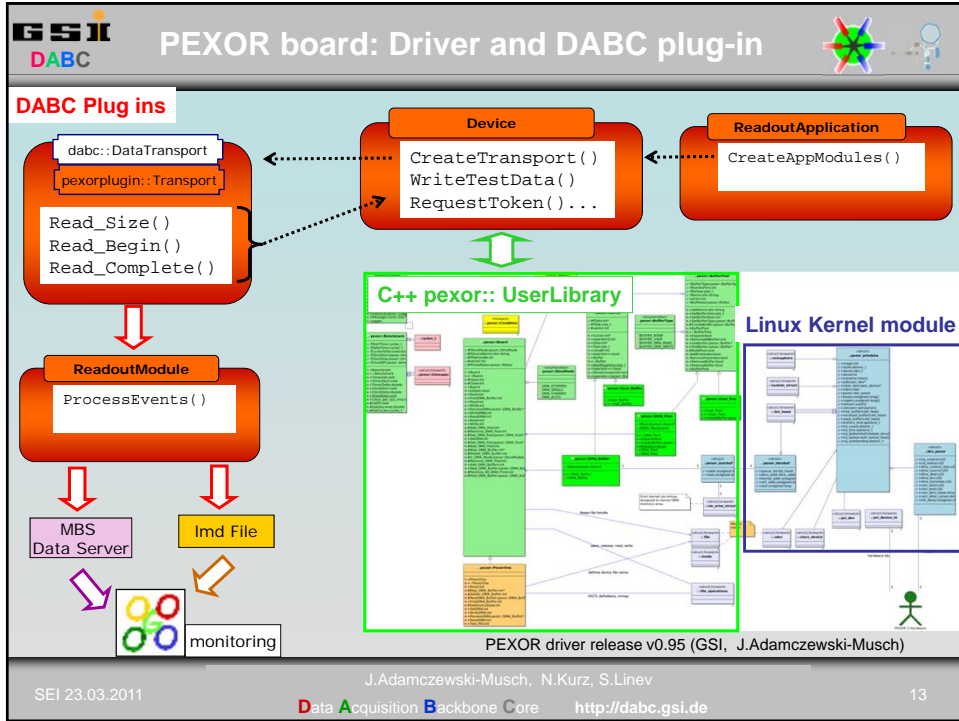
- Chain of up to 256 frontends (FEB) at each SFP
- „Fieldbus-like“ access of any FEB memory address
- Block transfer of all FEB buffer memories to PEXOR memory in a „token mode“ for each chain

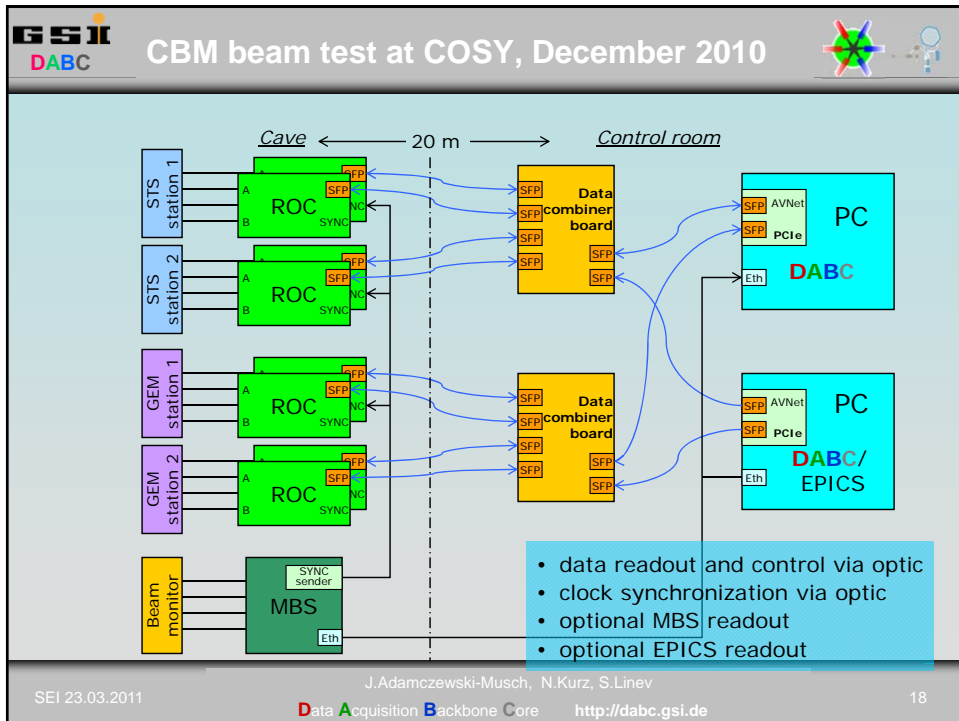
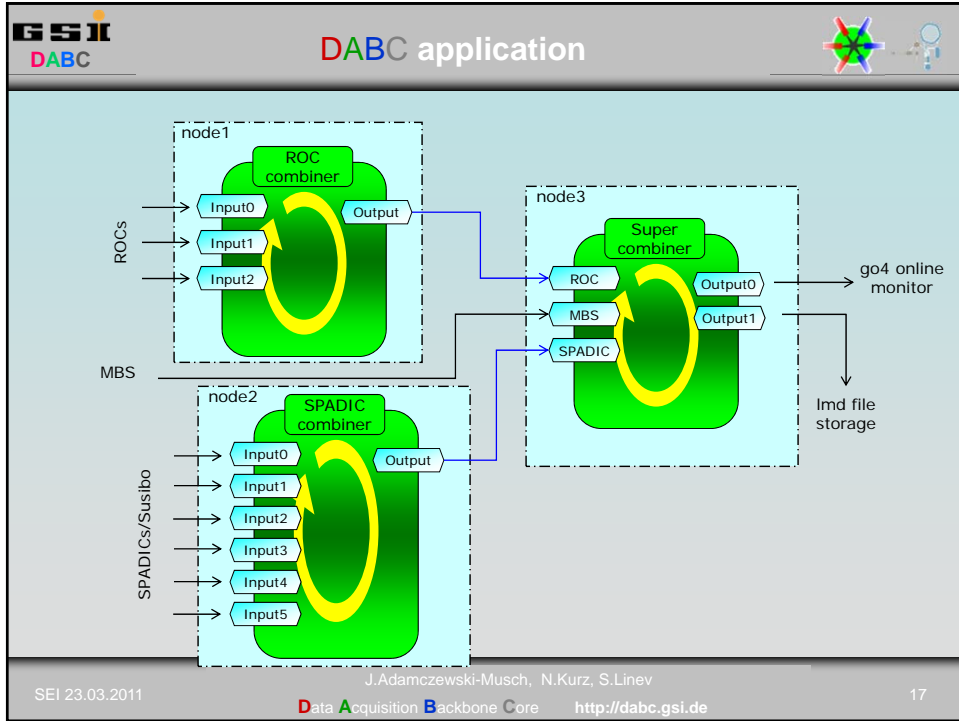
DMA engine (Wolfgang Ott):

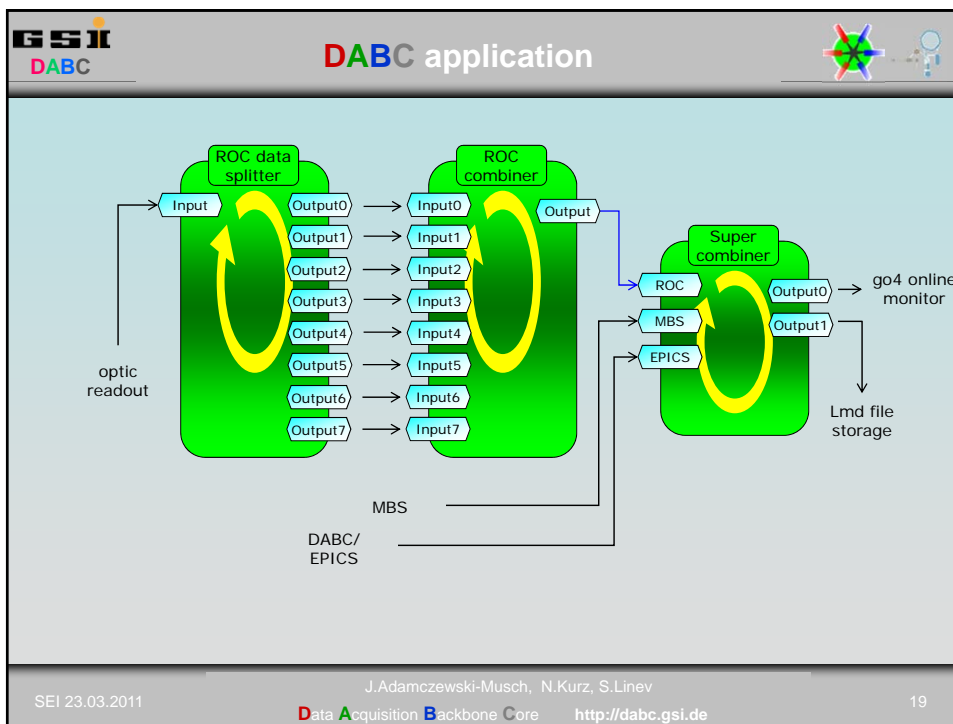
- PCIe 4x DMA from PEXOR to coherent host buffer



- **char driver** with file operations interface
 - *read()*, *write()* do pio on dedicated board memory
 - *mmap()* allocates kernel DMA buffers and map these to user space
 - *ioctl()* for all other functionality
(perform DMA, wait interrupt, free buffers,...)
 - **DMA buffer management** (free, used, received)
 - Handles **trigger interrupts** from TRIXOR extension board
 - Internal support of **gosip protocol** via dedicated *ioctl()*
 - Direct register access via generic *ioctl()*
- => implement new functionalities from user space, **other protocols**







SEI 23.03.2011

19

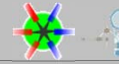
The screenshot shows the Go4 online monitor + analysis software interface. On the left is a 'Browser' pane with a tree view of analysis objects. The main area contains several panels: 'Panel1: Accumulated tof and mass spectra' with a 3D histogram; 'Panel4: Overview Scans' with multiple 2D plots; and 'Panel2: Accumulated tof and mass spectra' with a 2D plot and a 'Condition editor' window. The 'Condition editor' shows 'AnalysisConditions/TOF_gate' with 'Returns Result' set to 'Regular' and 'All counts' at '0.00%'. At the bottom, the 'Analysis Terminal' displays the message: 'DisplayEventData has full buffer memory of depth 5. enable fitting Set data object for fitter - 171789728 - name:Accum_Counts_vs_Scan'. The status bar at the bottom shows 'ML:bit 4 404522 Current Evts 4 232023 Average Evts 555 235 Events 2011-03-15 09:56:34'.

<http://go4.gsi.de>

J.Adamczewski-Musch, N.Kurz, S.Linev
Data Acquisition Backbone Core <http://dabc.gsi.de>

SEI 23.03.2011

20



DABC is modular C++ framework for DAQ processing on Linux

Different use cases –

from small detector tests to multi-node DAQ

Extendable to specific needs by plug-in architecture

Integration of custom hardware by simple interface

PEXOR (PCIe), ROC(UDP), Avnet(PCIe), Spadic(USB),...

CBM experiment uses DABC as production system for test beam times

DABC v1.x available at <https://subversion.gsi.de/goofy/dabc>

DABC v2.0 under construction:

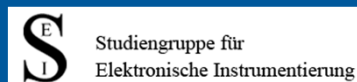
scalability, failure recovery, redesign of control interface,...

*SEI-Tagung an der GSI - Frühjahr 2011
Studiengruppe elektronische
Instrumentierung der Helmholtz-Zentren*

Elektronik für einen Strahllagemonitor (BPM)

A. Büchner
Helmholtz-Zentrum Dresden-Rossendorf e.V.

Darmstadt, am 23.3.2011

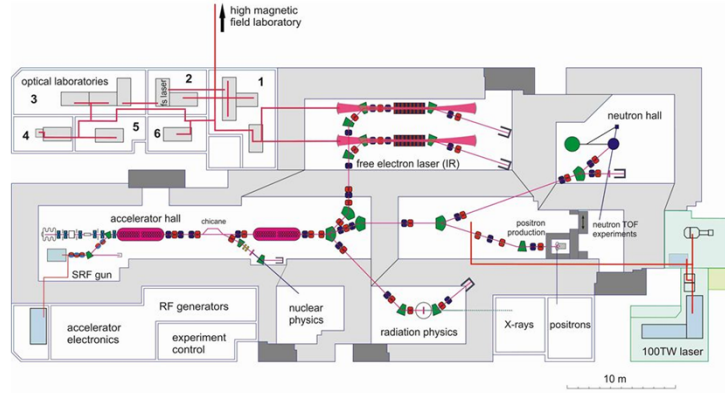


Elektronik für einen Strahllagemonitor (BPM)

A. Büchner
Helmholtz-Zentrum Dresden-Rossendorf e.V.

- Motivation
- Prinzipieller Aufbau
- Details
- Erste Ergebnisse

ELBE Grundriss



- 1: Diagnostic station, IR-imaging and biological IR experiment
- 2: Femtosecond laser, THz-spectroscopy, IR pump-probe experiment
- 3: Time-resolved semiconductor spectroscopy, THz-spectroscopy
- 4: FTIR, biological IR experiment
- 5: Near-field and pump-probe IR experiment
- 6: Radiochemistry and sum frequency generation experiment, photothermal deflection spectroscopy

Schmitt, Andl - 23.12.2009 | Statistik

pDdr-25609

Motivation

Bisheriges BPM-System am ELBE-Beschleuniger:

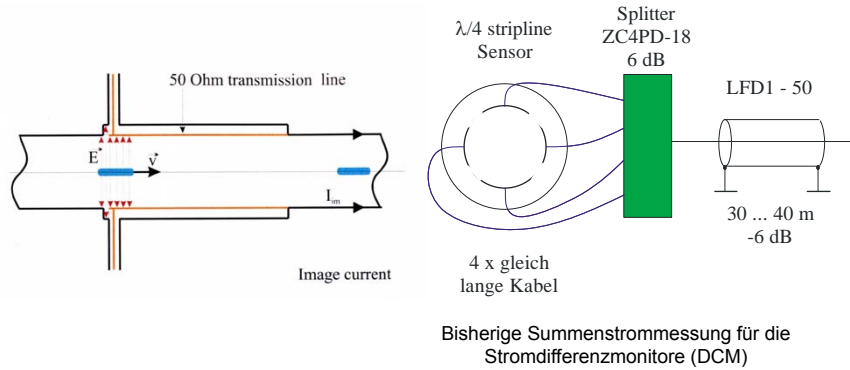
- geeignet für Strahlströme von ca. 10 μA bis 1 mA bei 13 MHz Bunchfrequenz
- Basiert auf analogen Pegeldetektoren AD8313 mit ca. 55 dB nutzbaren Dynamikbereich
- Hat Probleme bei kleinen Strahlströmen, kleinen Bunchfrequenzen
- Funktioniert nicht bei Einzelschuß-Betrieb
- Ist getrennt vom Maschinen-Interlock-System (Differenzstrom-Monitore DCM)

Geplantes Upgrade bei ELBE:

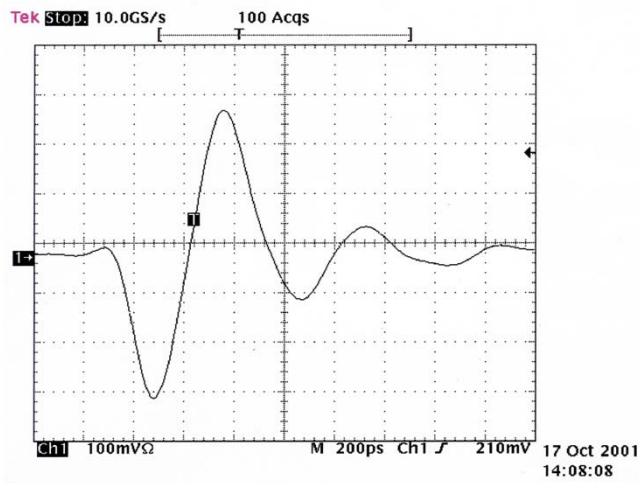
- Verdoppelung der HF-Leistung und damit des Strahlstromes auf bis zu 2 mA
- Erhöhung der maximalen Bunchladung von 77 pC auf 1 nC
- Verstärkte Nutzung kleiner Bunchfrequenzen (26 MHz : 1 ... 256)
- Einzelschußbetrieb (z.B. mit 10 Hz)

- riesiger Dynamikbereich!
- übersteigt die Möglichkeiten der bisherigen BPM- und DCM-Elektronik

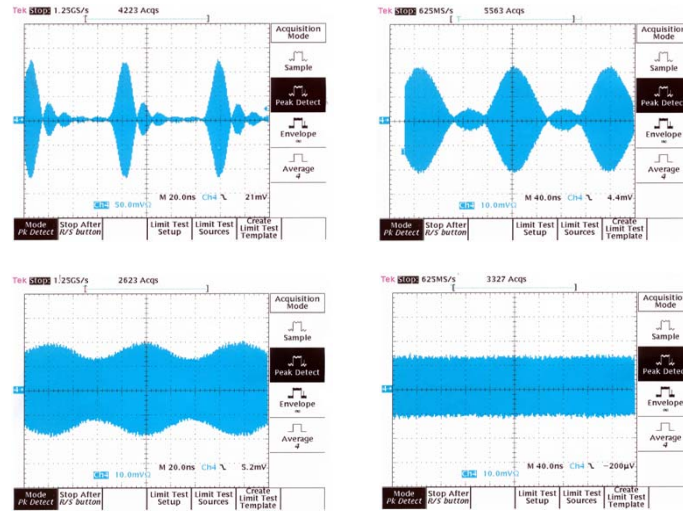
Stripline-Monitor



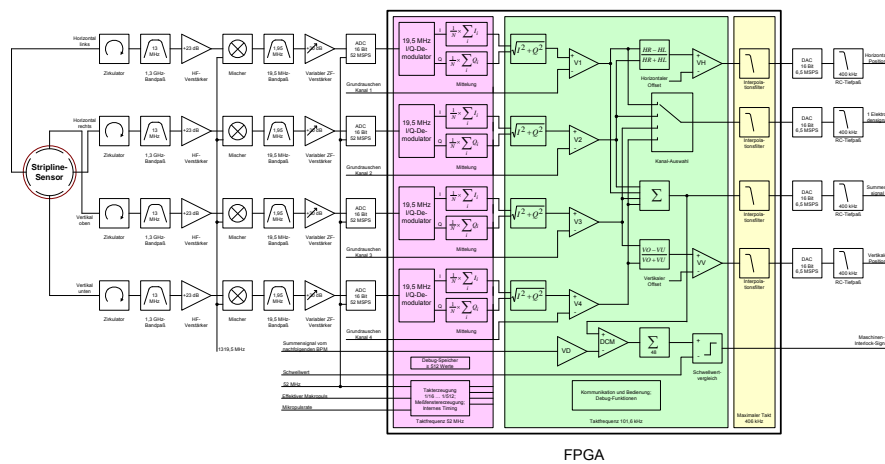
Signal vom $\lambda/4$ -Stripline-Monitor



Hüllkurven nach dem Bandpaß-Filter

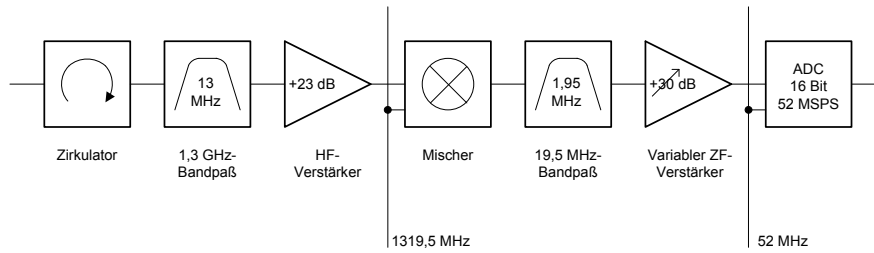


Blockschaltbild vom neuen BPM und DCM

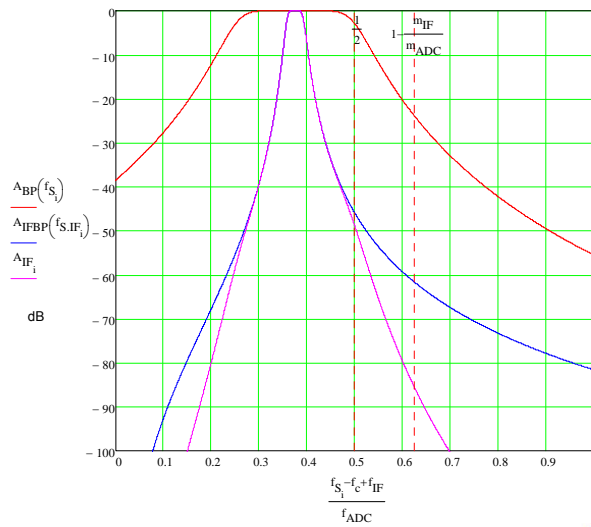


FPGA

Ein Kanal der Analogsignalverarbeitung

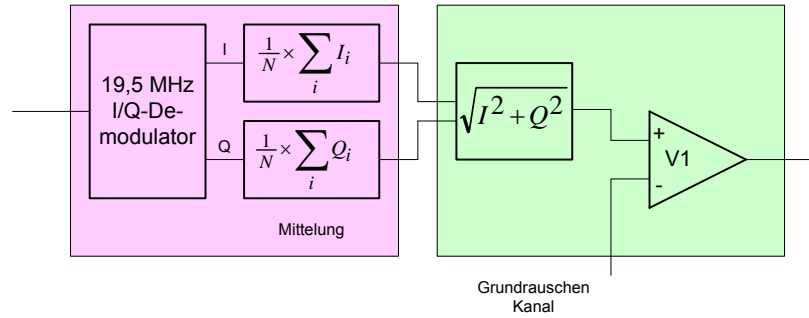


Frequenzgang der Analogsignalverarbeitung



Auf die Sampling-Frequenz normierte Frequenz

Zwischenfrequenz-Demodulation im FPGA

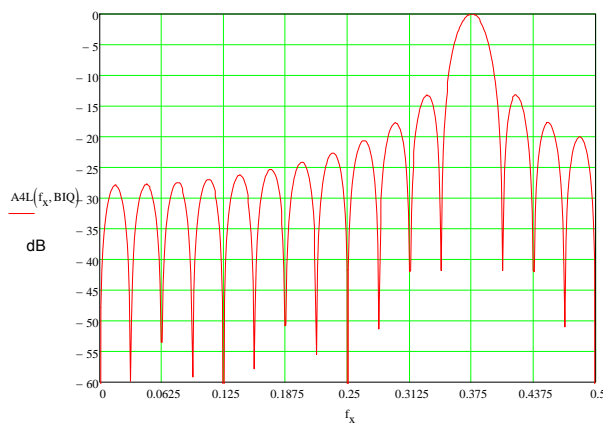


$$I = \frac{2}{m_{ADC}} \cdot \sum_{i=1}^{m_{ADC}} \left(y_i \cdot \sin \left(2 \cdot \pi \cdot i \cdot \frac{m_{HF}}{m_{ADC}} \right) \right) \quad Q = \frac{2}{m_{ADC}} \cdot \sum_{i=1}^{m_{ADC}} \left(y_i \cdot \cos \left(2 \cdot \pi \cdot i \cdot \frac{m_{HF}}{m_{ADC}} \right) \right)$$

$$I = \frac{1}{4} \cdot (z^{-1} - z^{-5}) + \text{SQRT}(2)/8 \cdot (z^{-6} - z^{-2} + z^{-4} - z^0)$$

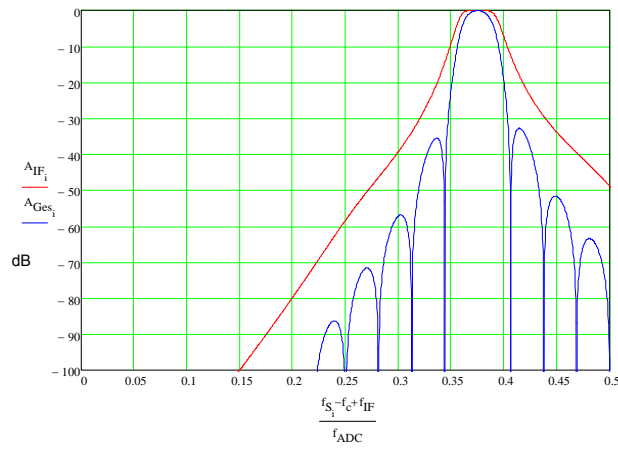
$$Q = \frac{1}{4} \cdot (z^{-7} - z^{-3}) + \text{SQRT}(2)/8 \cdot (z^{-2} - z^{-6} + z^{-4} - z^0)$$

Frequenzgang der I/Q-Demodulation



Auf die Sampling-Frequenz normierte Frequenz

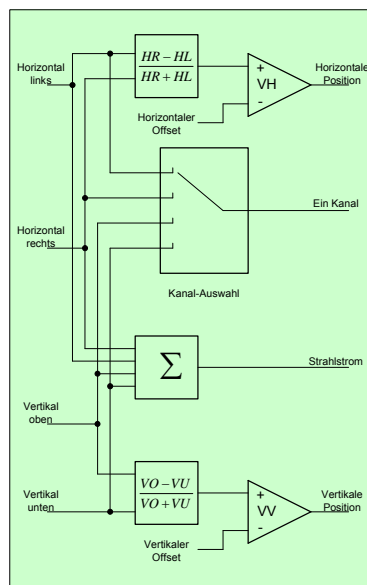
Gesamtfrequenzgang der HF für einen Einzelimpuls



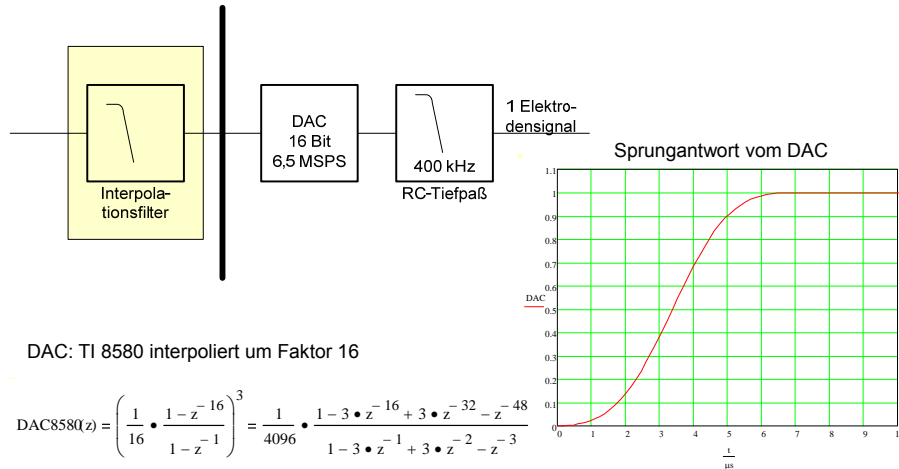
Für 32 Werte

Auf die Sampling-Frequenz normierte Frequenz

Positionsbestimmung im FPGA



Rekonstruktionsfilter



Interpolationsfilter im FPGA

- optimiert für den Zeitbereich
- Überschwingen der Sprungantwort von 1%
- aus einfachen, immer wiederkehrenden Strukturen als Multirate FIR-Filter aufgebaut („raised cosine half-band filter“).

Die drei Grundstrukturen sind:

$$\begin{aligned} \text{IPol2:} & \quad \frac{1}{4} * z^2 + \frac{1}{2} * z^1 + \frac{1}{4} \\ \text{IPol3:} & \quad -\frac{1}{4} * z^2 + \frac{3}{2} * z^1 - \frac{1}{4} \\ \text{IPol4:} & \quad \frac{1}{16} * z^4 - \frac{7}{32} * z^3 + \frac{21}{16} * z^2 - \frac{7}{32} * z^1 + \frac{1}{16} \end{aligned}$$

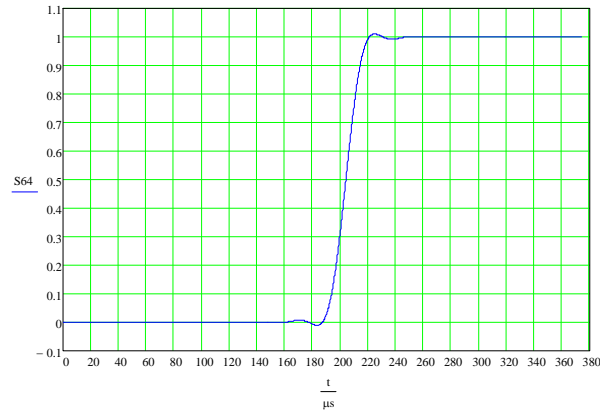
Im Basisband bei 101,6 kHz ist die aufwendigste Filterung nötig: (IPol2*IPol3*IPol4)²

Das nächste Filter erzeugt die Werte für 203 kHz: (IPol2 * IPol3)⁸

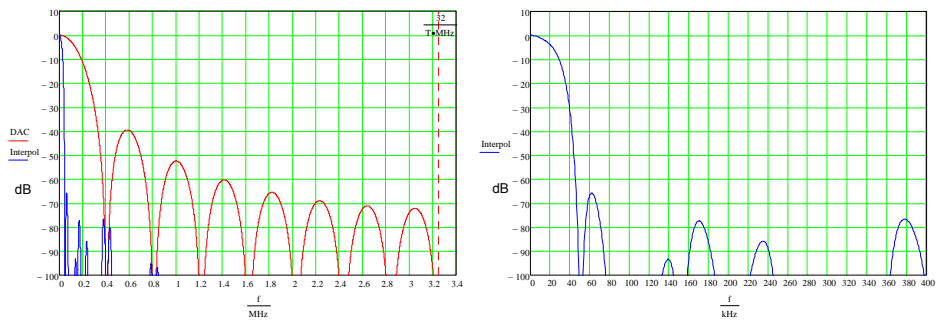
Für 406 kHz ist folgendes Filter zu nutzen: (IPol2 * IPol3)³

- -3 dB-Grenzfrequenz: 17,3 kHz (ca. 1/6 der Abtastfrequenz)
- Unterdrückung von Aliasing: > 66 dB (mit DAC und RC-Filter)
- Anstiegszeit: 20,8 µs
- Verzögerungszeit: 204 µs

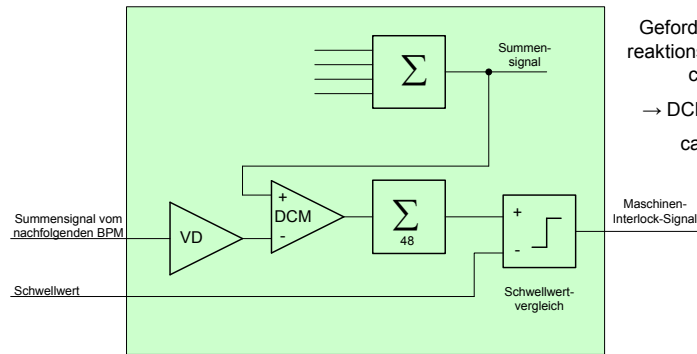
Sprungantwort vom Rekonstruktionsfilter



Frequenzgang vom Rekonstruktionsfilter



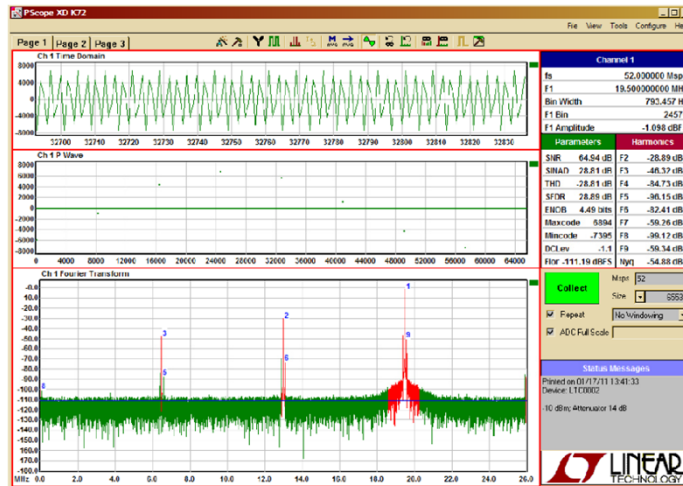
Differenzstrommonitor (DCM) für das Maschinen-Interlock-System (MIS)



Geforderte Gesamtreaktionszeit vom MIS:
ca. 1 ms

→ DCM-Elektronik:
ca. 0,5 ms

Erste Ergebnisse - Meßwerte



Test mit 14-Bit ADC LTC 2259-14 (Evaluationboard DC1369 + DC890)

Erste Ergebnisse – Offline Datenauswertung

CW-Messungen mit 64k Werten

Aussteuerung -7400 ... 6850 LSB:

- a) 128 Meßfenster a 512 Werte: Effektivwert 5102,32 LSB; Rauschen 0,17 LSB
Entspricht einem SNR von 30000 bzw. 90 dB bzw. 16,5 Bit
- b) 2048 Meßfenster a 32 Werte: Effektivwert 5102,45 LSB; Rauschen 0,46 LSB
Entspricht einem SNR von 11200 bzw. 81 dB bzw. 15,1 Bit

Aussteuerung -231 ... 229 LSB:

- a) 128 Meßfenster a 512 Werte: Effektivwert 166,47 LSB; Rauschen 0,071 LSB
Entspricht einem SNR von 2340 bzw. 67 dB bzw. 17,8 Bit
- b) 2048 Meßfenster a 32 Werte: Effektivwert 166,47 LSB; Rauschen 0,31 LSB
Entspricht einem SNR von 540 bzw. 55 dB bzw. 15,7 Bit

Eigenrauschen der Elektronik -17 ... 14 LSB:

- a) 128 Meßfenster a 512 Werte: Effektivwert 0,73 LSB; Rauschen 0,094 LSB - entspricht 17,4 Bit
- b) 2048 Meßfenster a 32 Werte: Effektivwert 0,19 LSB; Rauschen 0,38 LSB - entspricht 15,4 Bit

Keine erkennbaren Störlinien im Spektrum der frequenztransformierten Meßergebnisse

DESY-PROC-2011-02

ISBN 978-3-935702-58-4

ISSN 1435-8077